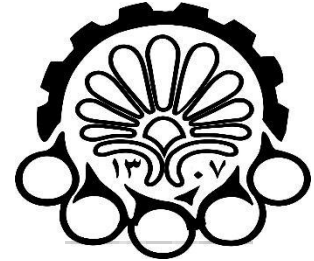


به نام خدا



### تمرین سری دوم معماری کامپیوتر

توضیحات:

- پاسخ به تمرین‌ها باید به صورت انفرادی صورت گیرد و در صورت مشاهده‌ی هر گونه تقلب نمره‌ی صفر برای کل تمرین‌ها منظور خواهد شد.
- تمیزی و خوانایی جواب تمرین‌ها از اهمیت بالایی برخوردار است. در صورت ناخوانایی جواب‌ها پس از تذکر برای بار اول، نمره‌ای به تمرین‌ها داده نخواهد شد.
- لطفا جواب تمرین‌ها را در قالب یک فایل PDF با نام "HW2\_StudentNumber.pdf" در سایت درس و در مهلت معین شده بارگزاری نمایید.
- در صورت داشتن اشکال می‌توانید از طریق ایمیل درس [ca.1402spring@gmail.com](mailto:ca.1402spring@gmail.com) با تدریس‌یاران درس در ارتباط باشید.

نیم‌سال دوم ۰۲-۰۱

## سوال اول

برای یک پردازنده یک حافظه‌ی نهان خارج از تراشه<sup>1</sup> با زمان دسترسی 2ns و نرخ برخورد<sup>2</sup> برابر 98% در نظر میگیریم. در کنار این پردازنده یک حافظه‌ی اصلی با زمان دسترسی 40ns نیز وجود دارد و هیچ نوع حافظه‌ی دیگری برای سیستم در نظر گرفته نشده است.

- الف) با استفاده از فرمول تقریبی؛ زمان موثر دسترسی<sup>3</sup> به داده‌های ذخیره شده در این سلسه مراتب حافظه را به دست بیاورید
- ب) با استفاده از فرمول دقیق میزان زمان موثر دسترسی به داده‌های ذخیره شده در این سلسه مراتب حافظه به دست آورید.

با پیشروی در مباحث درس متوجه خواهید شد که امروزه به دلیل سرعت بسیار بالای پردازنده‌ها و از طرفی کند بودن تکنولوژی‌های مورد استفاده در ساختار حافظه‌های اصلی؛ استفاده از یک لایه حافظه‌ی نهان جوابگو نیست و زمان موثر دسترسی به داده‌های ذخیره شده نسبت به توان پردازنده بسیار بالاست. به همین دلیل چند لایه حافظه‌ی نهان در نظر گرفته می‌شود که حتی در بعضی از موارد برای سرعت دسترسی بیشتر یکی از این لایه‌ها را در داخل تراشه‌ی پردازنده قرار می‌دهند که به این نوع حافظه‌ی نهان؛ حافظه‌ی نهان سطح تراشه<sup>4</sup> می‌گویند.

حال فرض کنید در پردازنده‌ی مطرح شده در صورت سوال؛ بجای حافظه‌ی اصلی مطرح شده یک حافظه‌ی اصلی با تکنولوژی جدیدتر در نظر میگیریم که زمان دسترسی آن 20ns و نرخ برخورد آن 100% است. حال در ساختار جدید:

- ج) با استفاده از فرمول دقیق میزان زمان موثر دسترسی به داده‌های ذخیره شده در سلسه مراتب حافظه‌ی جدید را به دست آورید.
- د) با استفاده از قانون آمدال<sup>5</sup> میزان افزایش سرعت حاصل از اضافه کردن این حافظه‌ی نهان جدید را بدست آورید.

---

<sup>1</sup> off-chip cache

<sup>2</sup> hit rate

<sup>3</sup> Effective access time

<sup>4</sup> on-chip cache

<sup>5</sup> Amdahl's law

## سوال دوم

فرض کنید در یک پردازنده سلسه مراتب حافظه به شکل زیر است:

یک حافظه‌ی اصلی به حجم 64 مگابایت

یک حافظه‌ی نهان به حجم 32 کیلوبایت از نوع نگاشت مستقیم<sup>6</sup>

هر بلوک حافظه 64 بایت باشد

- الف) ساختار کلی حافظه‌ی نهان و حافظه‌ی اصلی را با شماره گذاری کلمات و بلوک‌ها رسم کنید. (نیازی به رسم شکل گیت‌های منطقی و decoder و encoder نیست)
- ب) فرض کنید که پردازنده از قالب درس دهی 32 بیتی استفاده می‌کند؛ اندازه میدان بیتی برچسب<sup>7</sup>؛ اندیس<sup>8</sup>؛ جابجایی در بلوک<sup>9</sup> را مشخص کنید و استدلال کنید که آیا 32 بیت برای این ساختار جوابگو است یا خیر؟

---

<sup>6</sup> Direct mapped cache

<sup>7</sup> tag bit range

<sup>8</sup> index bit range

<sup>9</sup> offset bit range

## سوال سوم

فرض کنید که یک پردازنده از قالب ادرس دهی ۳۲ بیتی استفاده می‌کند و حجم حافظه‌ی اصلی به گونه‌ای است که دقیقاً به ۳۲ بیت برای ادرس دهی نیاز دارد و همچنین در این معماری هر بلوک ۱۶ کلمه<sup>10</sup> را در خود نگه می‌دارد و یک لایه حافظه‌ی نهان از نوع نگاشت مستقیم به حجم ۲۵۶ بلوک را نیز داریم که در لحظه‌ی شروع به کار سیستم هیچ اطلاعاتی را در خود ندارد.

حال فرض کنید تعدادی از ادرس‌های تولید شده توسط پردازنده به صورت زیر است (برای راحتی از اعداد hexadecimal برای ادرس دهی استفاده شده است).

1A2BC012, FFFF00FF, 12345678, C109D532

مشخص کنید که برای هر کدام از ادرس‌های زیر به ترتیب در کدام بلوک حافظه‌ی نهان برای ادرس مطرح شده جستجو خواهیم کرد؛ آیا این جستجو hit می‌شود یا miss؛ اگر miss می‌شود در کدام بلوک حافظه‌ی اصلی جستجو خواهیم کرد؟

---

<sup>10</sup> word