

به نام خدا



دانشکده مهندسی کامپیوتر



دانشگاه صنعتی امیرکبیر

پاسخ تمرین سری اول معماری کامپیوتر

نیم‌سال دوم ۱۴۰۱-۰۲

1) یک کامپیوتر از یک حافظه اصلی با تاخیر 1 میکروثانیه به همراه یک حافظه نهان با تاخیر 6 نانوثانیه و نرخ موفقیت 95٪ استفاده میکند. موارد زیر را محاسبه کنید:

- در صورت حذف حافظه نهان سرعت سیستم چقدر کاهش پیدا میکند.
- در صورت استفاده از یک حافظه نهان سریع تر با تاخیر 4 نانوثانیه و نرخ موفقیت 97٪ سرعت کامپیوتر (حافظه) چقدر افزایش خواهد یافت؟

$$\bar{t} = t_1 + (1 - h_1)[t_2 + (1 - h_2)[t_3 + (1 - h_3)[t_4 + (1 - h_4) \dots]]]$$

متوسط زمان دسترسی به داده با حافظه نهان با تاخیر 6 نانوثانیه و نرخ موفقیت 95٪

$$\bar{t} = 6 + (1 - 0.95)[1 * 10^3 + (1 - 1) \dots] = 56 \text{ ns}$$

متوسط زمان دسترسی به داده بدون حافظه نهان:

$$\bar{t} = 1 \mu s = 1000 \text{ ns}$$

زمان دسترسی به داده با حافظه نهان ذکر شده $1000 - 56 = 944 \text{ ns}$ سریع تر از بدون حافظه نهان است.

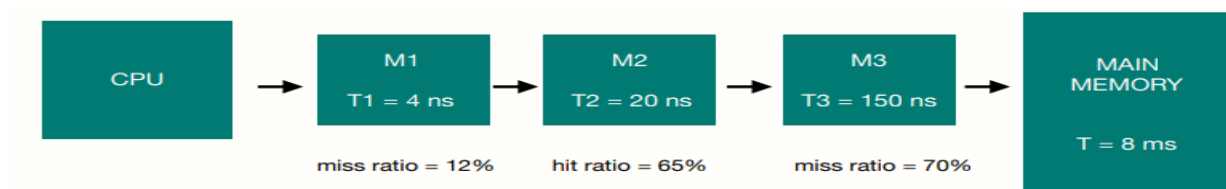
متوسط زمان دسترسی به داده با حافظه نهان سریع تر با تاخیر 4 نانوثانیه و نرخ موفقیت 97٪:

$$\bar{t} = 4 + (1 - 0.97)[1 * 10^3 + (1 - 1) \dots] = 34 \text{ ns}$$

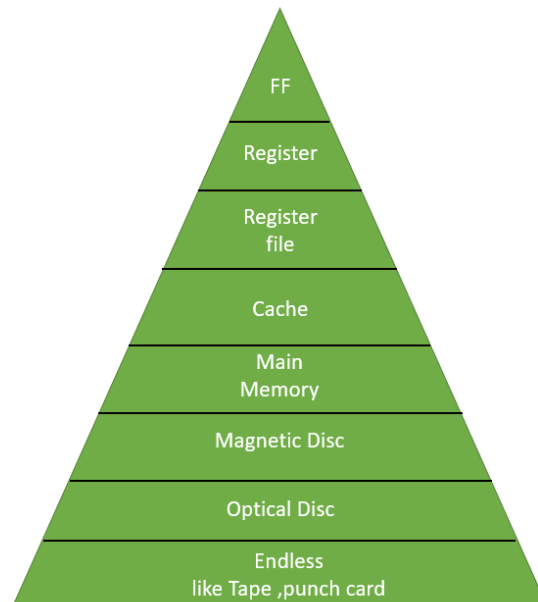
زمان دسترسی به داده با حافظه نهان سریع تر $56 - 34 = 22 \text{ ns}$ سریع تر از حافظه نهان کندتر است.

2) به سوالات زیر پاسخ دهید.

- ♦ منظور از سلسله مراتب حافظه چیست؟
- ♦ علت استفاده از حافظه‌های سلسله مراتبی را توضیح دهید.
- ♦ حافظه‌های پویا و ایستا چه تفاوت‌هایی با هم دارند؟ استفاده از کدامیک راحت‌تر است؟ برای بیان این تفاوت‌ها از رسم شکل این حافظه‌ها استفاده کنید.
- ♦ متوسط زمان دسترسی برای کامپیوتر زیر را محاسبه کنید.



- ♦ در معماری کامپیوتر سلسله مراتب حافظه، در واقع فضاهای ذخیره سازی کامپیوتر هستند که براساس زمان پاسخ یا سرعت آن‌ها به سلسله مراتبی تقسیم شده اند. زمان پاسخ به ظرفیت و پیچیدگی این حافظه ها نیز مرتبط هست میتوان گفت از این نظرهم مراتب حافظه سلسله بندی شده اند که به شرح زیر میباشد.



در سلسله مراتب حافظه از بالا به پایین ظرفیت افزایش می‌یابد و قیمت کاهش می‌یابد. همچنین از پایین به بالا سرعت افزایش می‌یابد.

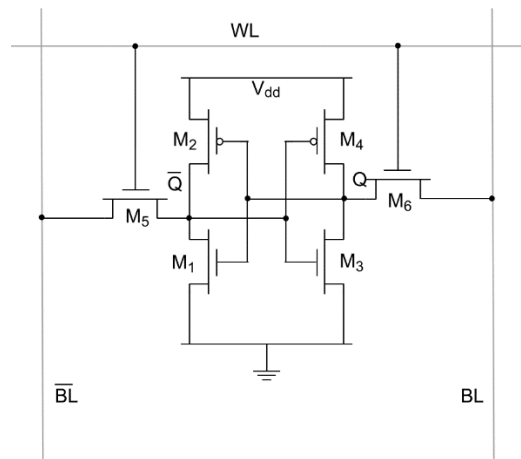
- ♦ علت اصلی استفاده از سلسله مراتب حافظه، افزایش سرعت پردازش است.

- ♦ تفاوت SRAM و DRAM

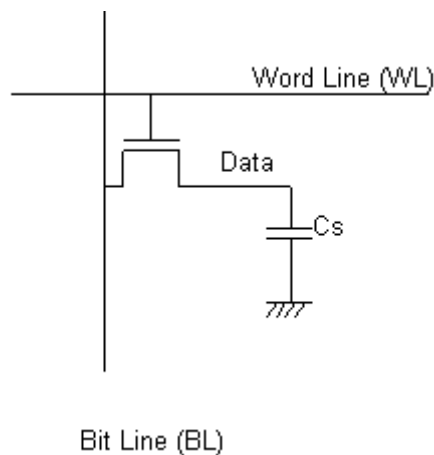
SRAM	DRAM	
سریع تر	کند تر (زیرا باید صبر کنیم تا خازن شارژ شود).	سرعت
گران تر	ارزان تر	هزینه
کمتر	بیشتر (انرژی بیشتری مصرف میکند زیرا ما خازن را شارژ و دشارژ می‌کنیم و ممکن است به علت عایق نبودن خازن مجبور شویم دوباره شارژ کنیم).	توان مصرفی
زیاد	کم	مساحت (هزینه)

چگالی بیتی	پایین	بالا
نیاز به refresh	ندارد	دارد

استفاده از SRAM ساده تر و راحت تر است زیرا خودش پایدار می ماند و نیاز به refresh ندارد.



SRAM



DRAM

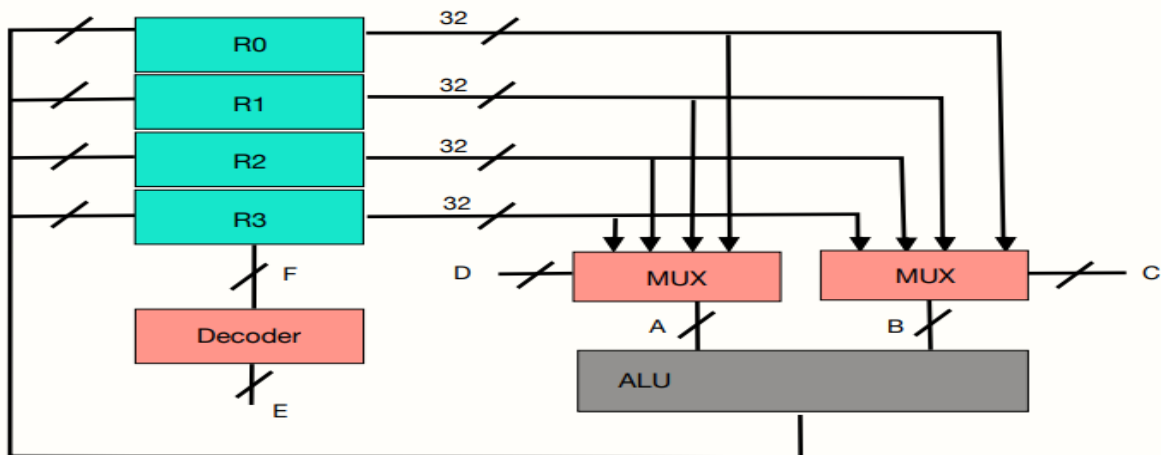
در بالا شکل کامل حافظه های SRAM , DRAM را مشاهده میکنید. SRAM از فلیپ فلاپ ها تشکیل می شوند در حالی که DRAM از خازن تشکیل شده است. SRAM از تعداد بیشتری ترانزیستور تشکیل شده است در نتیجه مساحت آن بیشتر است. بطبع آن هزینه اش نیز بیشتر است. در DRAM شارژ و دشارژ خازن طول میکشد در نتیجه سرعت آن کمتر است. در SRAM کافی است Q و \bar{Q} را یک بار مقدار دهیم و بعد قطع کنیم خودش loop می زند و پایدار می ماند و نیازی به refresh ندارد.

♦ محاسبه متوسط زمان دسترسی:

$$\bar{t} = t_1 + (1 - h_1)[t_2 + (1 - h_2)[t_3 + (1 - h_3)[t_4 + (1 - h_4) \dots]]]$$

$$\bar{t} = 4 + (0.12)[20 + (1 - 0.65)[150 + 0.7(8 * 10^6 + 0 * \dots)] = 235212.7 \text{ ns}$$

(3) مشخص کنید هریک از خطوط A, B, C, D, E, F چند بیتی هستند.



C و D ، خطوط select برای mux با 4 ورودی هستند. در نتیجه:

$$4 = 2^n \Rightarrow n = \log_2 4 = 2 \Rightarrow C \text{ و } D = 2 \text{ تعداد بیت خطوط}$$

A و B ، خروجی mux هستند و یکی از ورودی های mux به خروجی متصل میشود در نتیجه، A و B مانند ورودی های

mux ، 32 بیتی هستند.

خروجی های decoder به پایه های load ثابت های R0 تا R3 وصل هست تا انتخاب کند خروجی ALU به داخل کدام

ثبات ریخته می شود. در نتیجه از دیکورد باید 4 سیم خارج شود و هر کدام به یک ثبات وصل شوند پس F ، 4 بیتی هست و در

نتیجه آن ورودی decoder (خط E) باید 2 بیتی باشد.