

七段数码管显示

实验目的

- (1) 掌握 7 段数码管的显示原理，学会设计八进制数、十六进制数的七段数码管显示。
- (2) 掌握数码管分时复用显示原理，学会多个数码管同时显示不同数据。
- (3) 学会使用显示模块和多路选择器设计组合逻辑电路。
- (4) 巩固 IP 封装和调用过程。

实验内容

- 1) 设计实现将 4 个 3 位二进制数以八进制数形式选择显示到一个七段数码管上。
- 2) 设计实现将 4 个 3 位二进制数以八进制数形式同时显示在 4 个七段数码管上。
- 3) 设计实现一个能将 16 位的二进制数以十六进制形式显示到 4 个七段数码管上的显示模块 IP 核，并编写顶层模块调用该 IP 核验证其正确性。

实验原理

参见文档“七段数码管显示原理 basys3”。

实验步骤

- 1) 学习指导书“七段数码管显示原理 basys3”，掌握 FPGA 开发板上的 7 段数码管的显示原理及数码管分时复用显示原理。
- 2) 在 Vivado 中新建项目，设计实现一个将 3 位二进制数以八进制数形式显示到数码管的显示模块。
- 3) 设计或调用基础类实验中完成的 3 位的 4 选 1 多路选择器。
- 4) 编写顶层模块，组合步骤 2) 中的八进制数显示模块和 3 位 4 选 1 多路选择器，实现将 4 个 3 位二进制数以八进制数形式选择显示到一个七段数码管上，仿真验证其正确性。
- 5) 下载至开发板验证，拨码开关 SW15~SW14 控制选择，将拨码开关 SW11~SW9、SW8~SW6、SW5~SW3、SW2~SW0 以八进制数形式显示在 1 个七段数码管上。

- 6) 在 Vivado 中新建项目，设计实现 3 位二进制数以八进制数形式显示到七段数码管的显示模块，设计实现 4 个七段数码管分时复用的显示模块，编写顶层模块，调用八进制数显示模块和分时复用模块，设计实现将 4 个 3 位二进制数以八进制数形式同时显示在 4 个七段数码管上。仿真验证其正确性。
- 7) 下载至开发板验证，拨码开关 SW11~SW9、SW8~SW6、SW5~SW3、SW2~SW0 分别以八进制数显示在 4 个七段数码管上。
- 8) 在 Vivado 中新建项目，设计实现一个能将 16 位的二进制数以十六进制形式同时显示到 4 个七段数码管上的显示模块。仿真验证其正确性并将其封装成 IP 核。
- 9) 在 Vivado 中新建项目，编写顶层模块调用步骤 5) 中封装的显示模块 IP 核，下载至开发板验证其正确性。