

A老师

数字逻辑知识点分解

填空题 ——十几分的小题

代码题

分析设计

B老师重点圈画

C老师重点圈画

D老师

不考的内容为：

考察重点（建议将最后几节课的课件以及以下重点内容的相关课件好好复习）：

竹四好bro专用版

A老师

卡诺图不会考对偶那种特别难的

触发器：了解基本的，凑项，加两个杠，逻辑代数变

知道Mealy型和Moore型：输出与输入的关系，状态图

是否考虑无关项

险象 竞争的概念

不会考触发器怎么构成，但需要会写方程

程序不会让你写测试 initial

timescale的意思！！ 哪个是哪个，哪个一定比哪个大

完整的状态机，写成三坨。

数字逻辑知识点分解

填空题 ——十几分的小题

1. 基础性知识 概念套在题里
2. 补码、反码、源码、计算、什么进制
3. 公式化简、德摩根定理（两个杠，一个函数的反的反是它本身）
4. 最小项 m_0 m_3 是什么意思需要明白
5. 对代码最基本的理解 Verilog程序的代码结构分为哪些部分
6. 那些代码说明（例如timescale）是什么意思。不会考得很复杂，但是你得会，最基本的必须会，背！
7. 常见的组合逻辑的器件，常见的时序逻辑的器件。编码器，译码器！限定在作业，实验就足矣，不用在网上看那些五花八门的。哪一种是有优先级的？为什么有优先级，怎么实现优先级的，if写在前面，switch的各种case互斥。
8. 时序逻辑里面的东西，基本代码，电线类型，缺省的是什么，module是什么，描述几方面的信息，方向呢？

9. 时序逻辑里的触发器

1. JK
2. T
3. D

清清楚楚地知道，方程描述。时序逻辑的状态机，有限状态机，时序状态机，输出逻辑分为Mealy，Moore。哪个和输入有关系，两个单词要写对

1. 传统电路没有讲过异步，在Verilog中才讲过异步。异步清零，同步清零，异步使能，同步使能。描述出了一个险现象，那么这是同步处理的还是异步处理的？
2. 竞争冒险是一个重要的知识点，什么时候成为险象。

代码题

1. 给你一段代码怎么生成电路。不会考太复杂，最基本的。赋值的方式导致电路不一样。最基本的，体现不同的赋值方式对电路的影响；最基础的组合电路。
2. 电路分析的有两道题，做分析设计。组合逻辑设计+时序逻辑设计
3. 图 状态转移 电路图 全部都要展示出来。也就是设计过程
4. 考熟练程度而不是能力。每道题十五分，很硬。

分析设计

1. 用Verilog代码书写 四道大题。代码就够了，不用宏语言，不用测试。写做事物的模块。
2. 类似于：分频，逢几进一，检测电路，1011那种 不用画原始电路图。快！
3. 追求精准度，速度，不用很美观。
4. 只写那个module怎么实现。
5. 怎么用基础的器件往上构建。

B老师重点圈画

1. 与非，或非门以及特性（式子，符号，运算规则）
2. 阻塞与非阻塞的区别（RTL，常用，会画符号）
3. fork join不考
4. 逻辑电路图
5. Timing图不考
6. 逻辑函数式的八种常见形式及变换
7. 最小最大项（定义，怎么写）理解，运用
8. 逻辑函数表达式的标准形式（与-或，或-与）
9. 与或，或与逻辑网络（看了理解即可）
10. 卡诺图化简
11. 信息编码

12. 编码之间的转换 (P40)
13. Verilog语言 模块结构
14. Test Bench (掌握, 会写) 套模板
15. reg型变量使用 (往往代表触发器)
16. 避免生成不想要的触发器
17. reg与wire的区别
18. 会画部件
19. 阻塞与非阻塞区别 (RTL, 优化)
20. 正确使用if语句, 使不生成不需要的锁存器
21. task 可以不掌握
22. timescale 时间精度, 时间单位
23. 掌握时间单位的大小
24. 组合电路PPT中都掌握
25. 时序逻辑电路
26. Mealy Moore
27. 时序电路三大方程 三大图表
28. 时序电路的设计

C老师重点圈画

1. 同步时序电路设计步骤: 三大方程, 画图, 验证自启动
2. 掌握基本触发器
3. 进制转换, 原码补码反码, 逻辑代数基础, 卡诺图化简, 无关项填写X
4. 给代码画图: 阻塞赋值与非阻塞赋值的区别 $a \leq b$ $c \leq a$ 和 $a = b$ $c = a$ 的图不一样
5. 8位计数器, 全加器, tt较器代码, PPT里
6. 二选一 四选一表达式 真值表 画图
7. 仿真 1ns/100ps 单位/精度 测试例子
8. include
9. 编码, 译码, 选择及其变体, 加法, 比较, 数据分配器, 表达式, 真值表, 代码。
10. 竞争和冒险
11. 触发器的特征方程, 状态转移图 RS D JK T T' 代码
12. 传输延迟的影响
13. 计数器: 理解掌握代码原理
14. 时序逻辑 同步 异步 Mealy Moore 状态转移表/状态转移图 时序图
15. 有限状态机 代码
16. 组合 触发 时序 状态机

D老师

不考的内容为：

1. ASCII码，Unicode，可靠性编码，随机运算
2. 编码器和译码器的电路，超前进位加法器
3. 数字系统设计概述（EDA、FPGA、PLD等）
4. fork-join、function、task
5. 主从触发器，边沿触发器的电路原理
6. 多功能集成寄存器，时序逻辑电路的竞争冒险

考察重点（建议将最后几节课的课件以及以下重点内容的相关课件好好复习）：

1. 组合逻辑电路设计：包括真值表、逻辑计算表达式化简、最简式、标准式、卡诺图化简、香农表达式、电路图设计等
2. 时序逻辑电路设计：包括状态机、状态转换表、状态方程、电路图设计等
3. 电路的Verilog设计与测试代码
4. 其它电路设计过程中设计到的相关基础知识