

数字电路与逻辑设计实验报告

学院：数据科学与计算机

专业：计算机类

姓名：郑康泽

学号：17341213

日期：2018 年 6 月 9 号

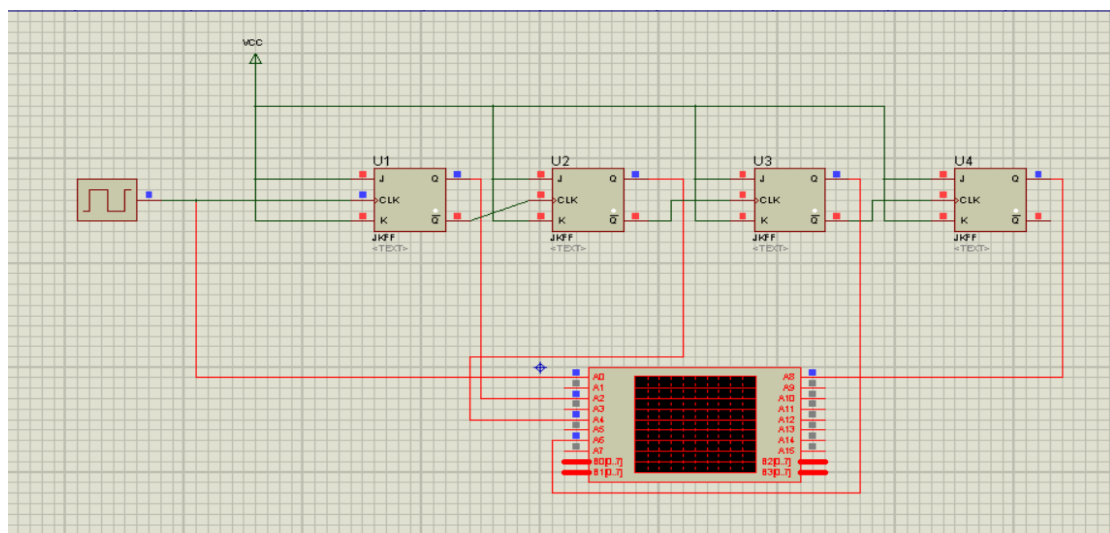
实验题目：计数器的设计实验

内容一预习报告兼实验报告

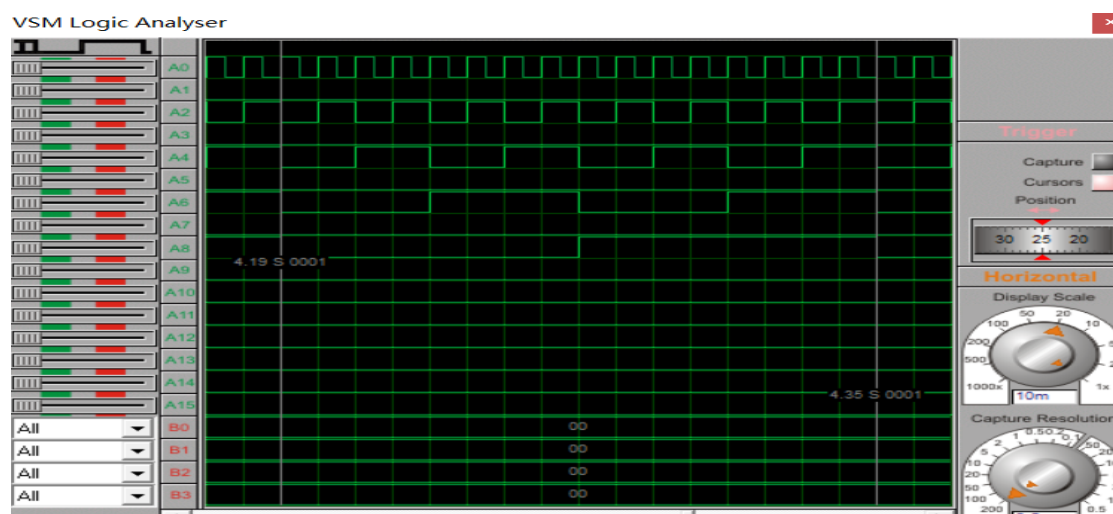
要求：使用 JK 触发器设计一个 16 进制异步减法计数器，并用逻辑分析仪观察并记录 CP 和每一位的输出波形。

思路：前面一位由 0→1→0 时，后面一位就得变为 1，由于 JK 触发器是上升沿触发，所以前面一位从 1 变为 0 时，应有一个上升沿，所以应给后一位触发器的时钟端接前一位触发器的输出的取反。

仿真电路：



波形图：



备注：从上到下依次是时钟、第一个触发器、第二个触发器、第三个触发器、第四个触发器

的波形。结果符合 16 进制计数器的波形。

内容二预习报告兼实验报告

要求：使用 JK 触发器设计一个 16 进制同步加法计数器，并用逻辑分析仪观察并记录 CP 和 每一位的输出波形。

思路：状态图显而易见是由 0000->1111，所以只需画出每个 JK 触发器输出的次态卡诺图，并根据 $Q_n^+ = J\bar{Q}_n + \bar{K}Q_n$ 来确定 J、K 的表达式。

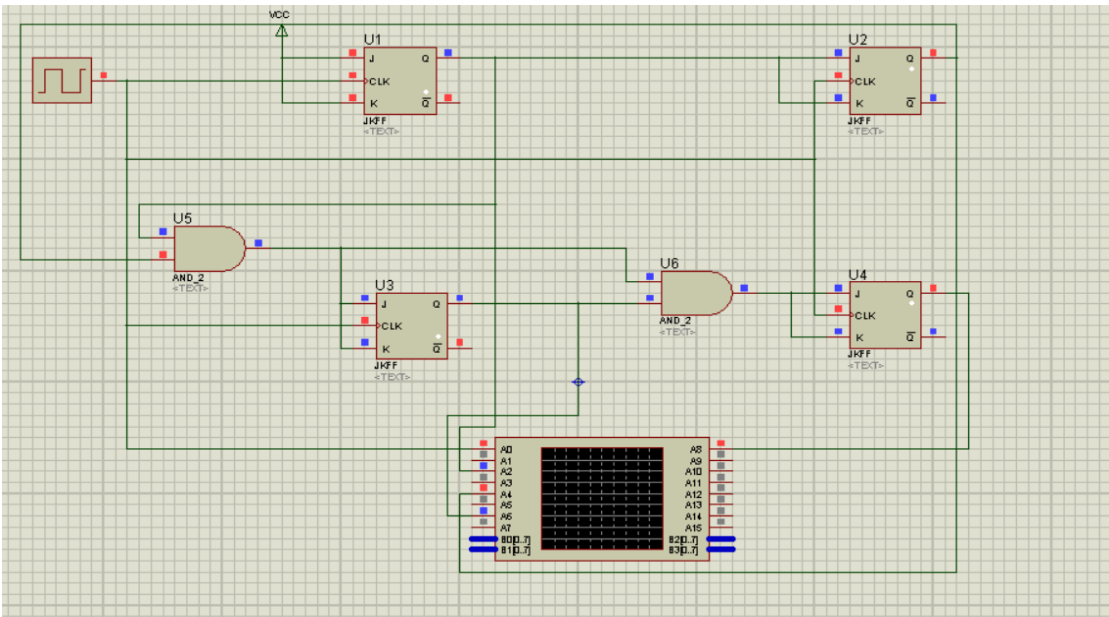
Q3 的次态卡诺图：

Q3Q2		Q1Q0			
		0 0	0 1	1 1	1 0
0	0	0	0	0	0
0	1	0	0	1	0
1	1	1	1	0	1
1	0	1	1	1	1

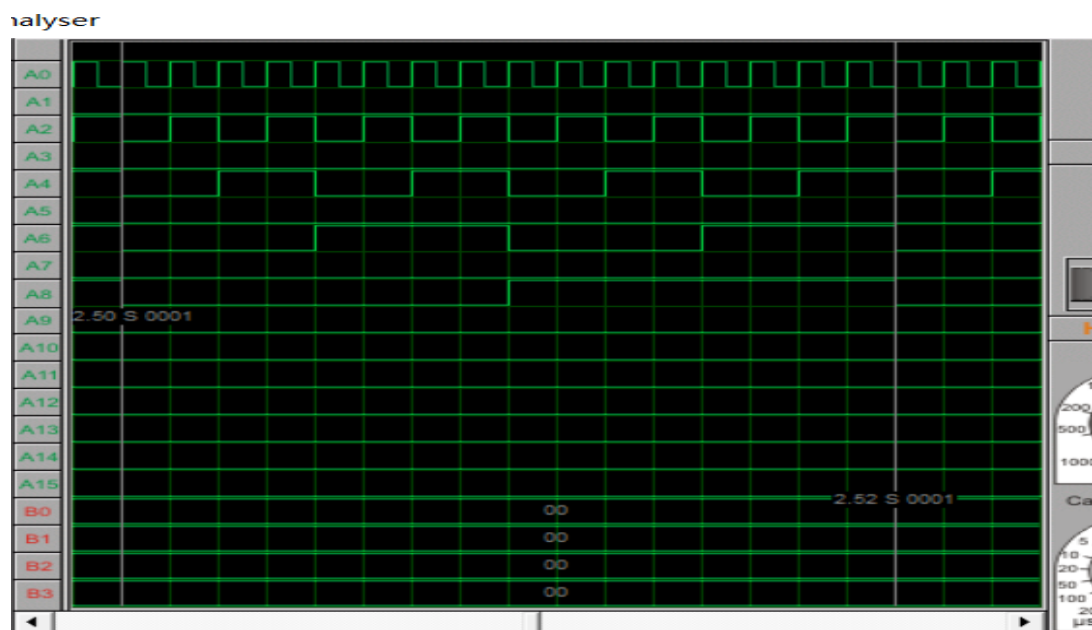
所以 $Q_3^+ = Q_3\bar{Q}_2 + \bar{Q}_3Q_2Q_1Q_0 + Q_3Q_1\bar{Q}_0 + Q_3\bar{Q}_1$ 再由公式可得： $J_3 = Q_2Q_1Q_0$ ， $K_3 = Q_2Q_1Q_0$

同理可得： $J_2 = K_2 = Q_1Q_0$ ， $J_1 = K_1 = Q_0$ ， $J_0 = K_0 = 1$

仿真电路：



示波器：



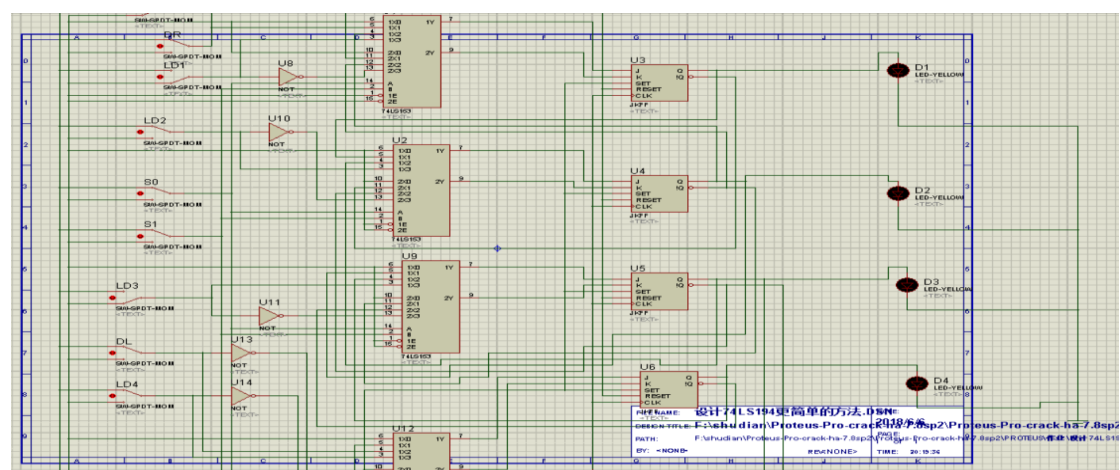
从上到下依次是时钟、 Q_3 、 Q_2 、 Q_1 、 Q_0 的波形，完全符合 16 进制计数器的波形。

内容三预习报告

要求：使用 JK 触发器和门电路设计实现一个二进制四位计数器模仿 74LS194 功能。要求在实验箱上设计实现左移或右移功能；在 proteus 软件上实现置零，保持，左移，右移，并行送数功能。

思路：由于 194 有 4 个功能，可以考虑用 4 选 1 的数据选择器，将每个 JK 触发器的 J、K 端都连一个选择器，将所有选择器的输入接开关，当 S_0 、 S_1 都为 0 时，应实现保持的功能，所以选择器的第一位选择是低电平；当 S_0 、 S_1 为 1、0 时，实现右移，所以每一个 JK 触发器的 J 端连接的选择器的第二位是前一位的输出，而 K 端连接的选择器的第二位是前一位输出的取反（除了表示最高位的 JK 触发器的 J 端连接的选择器的第二位是连一个开关，选择输入的高低电平）；当 S_0 、 S_1 为 0、1 时，实现左移，方法类似右移；当 S_0 、 S_1 为 1、1 时、实现并行送数，每个 JK 触发器的 J 端连接的选择器第四位连接开关，选择送进去的高低电平，而 K 端连接的选择器第四位连接送进去的电平的取反。

仿真电路：



内容四预习报告

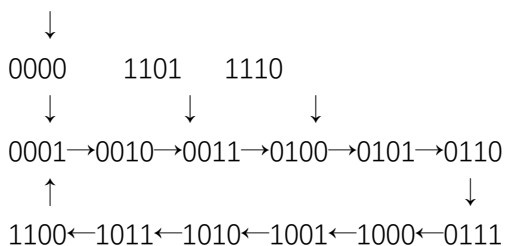
注意：这个 12 进制同步计数器没有 00 状态，要考虑自启动

(2) 画出 Q_3 的次态卡诺图:

Q1Q0 \ Q3Q2	00	01	11	10
00	X	0	0	0
01	0	0	1	0
11	0	X	X	X
10	1	1	1	1

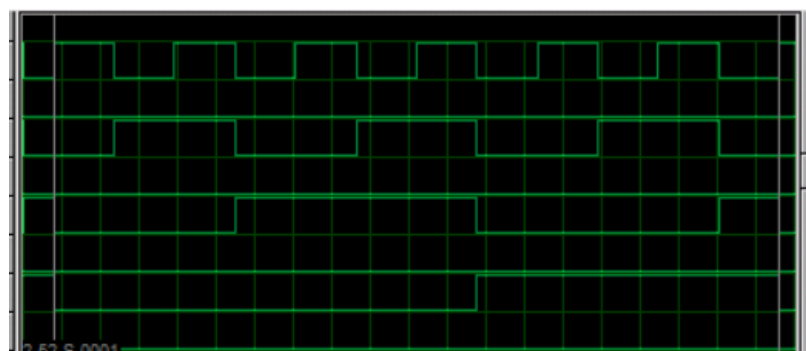
同理可得: $J_2 = Q_1 Q_0$, $K_2 = \overline{Q_3 Q_1 Q_0}$, $J_1 = K_1 = Q_0$, $J_0 = K_0 = 1$

1111



波形图：

5c1



从波形可以看出：计数器的状态由 0001 一直加到 1100 然后又回到了 0001，符合实验要求。

内容五预习报告兼实验报告

要求：使用 Protues 实现一个有控制变量 D 的 12 进制计数器，并在 7 段数码管上显示计数结果；使用 Vivado 实现一个有控制变量 D 的 12 进制计数器，并在 7 段数码管上显示计数结果。

思路：

(1) 依旧是找到状态图，加法计数器的驱动方程已经找到，现在要找减法计数器的驱动方程；

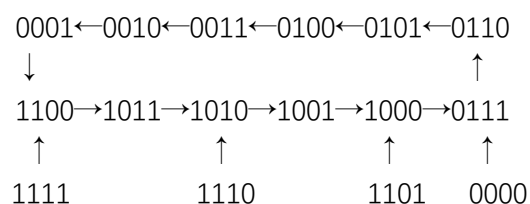
Q3 的次态卡诺图：

		Q1Q0			
Q3Q2		00	01	11	10
00		X	1	0	0
01		0	0	0	0
11		1	X	X	X
10		0	1	1	1

所以 $Q3^+ = Q_3Q_2 + Q_3Q_1 + \overline{Q_2}\overline{Q_1}Q_0$ 解得 $J_3 = \overline{Q_2}\overline{Q_1}Q_0$, $K_3 = \overline{Q_2}\overline{Q_1}\overline{Q_0}$

同理可得： $J_2 = \overline{Q_1}(\overline{Q_0} + \overline{Q_3})$, $K_2 = Q_3 + \overline{Q_1}\overline{Q_0}$, $J_1 = K_1 = \overline{Q_0}$, $J_1 = K_1 = 1$

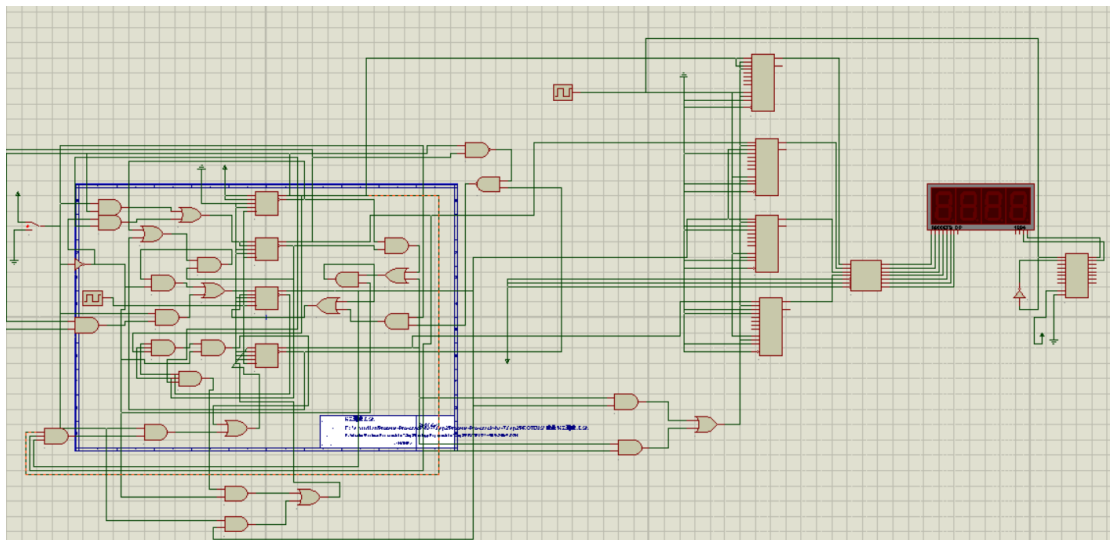
(2) 检查自启动：



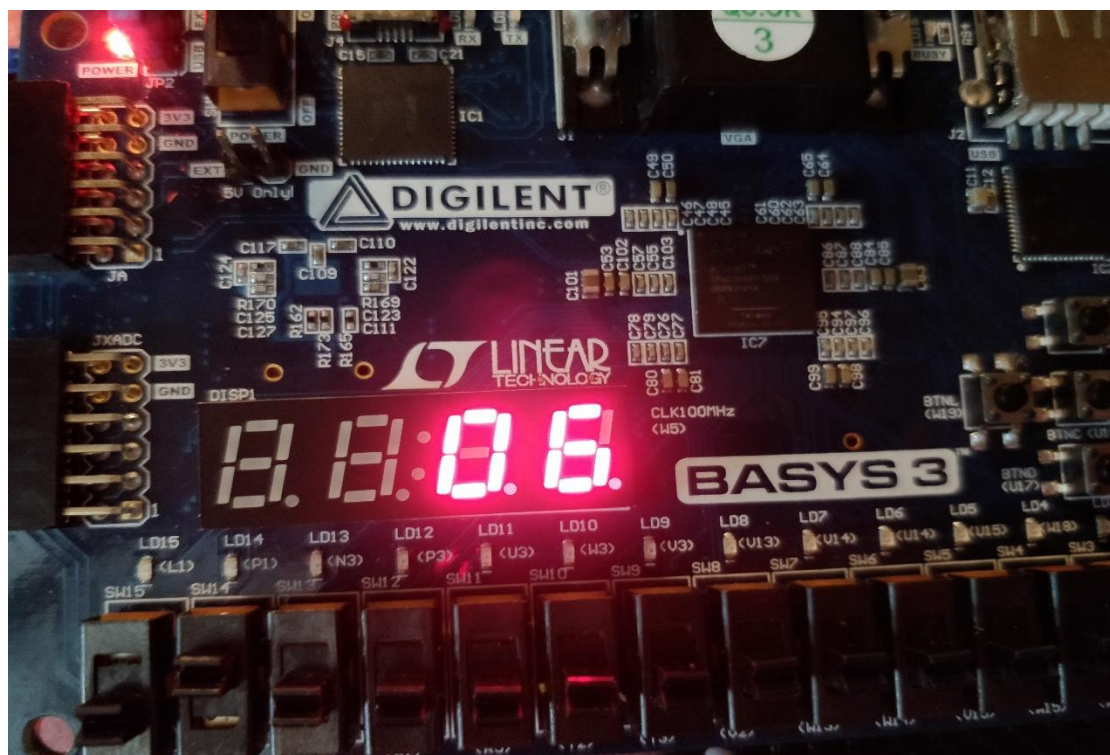
(3) 由于具有控制变量，所以所有 JK 表达式都要有控制变量 D 控制，这里我选择 D 为高电平时为加法计数器，反之为减法计数器，所以在加法计数器的所有 JK 的驱动方程乘上 D，在减法计数器的所有 JK 驱动方程乘上 \bar{D} ，然后相同的 JK 做个或运算，就是整个计数器的 JK1 驱动方程。

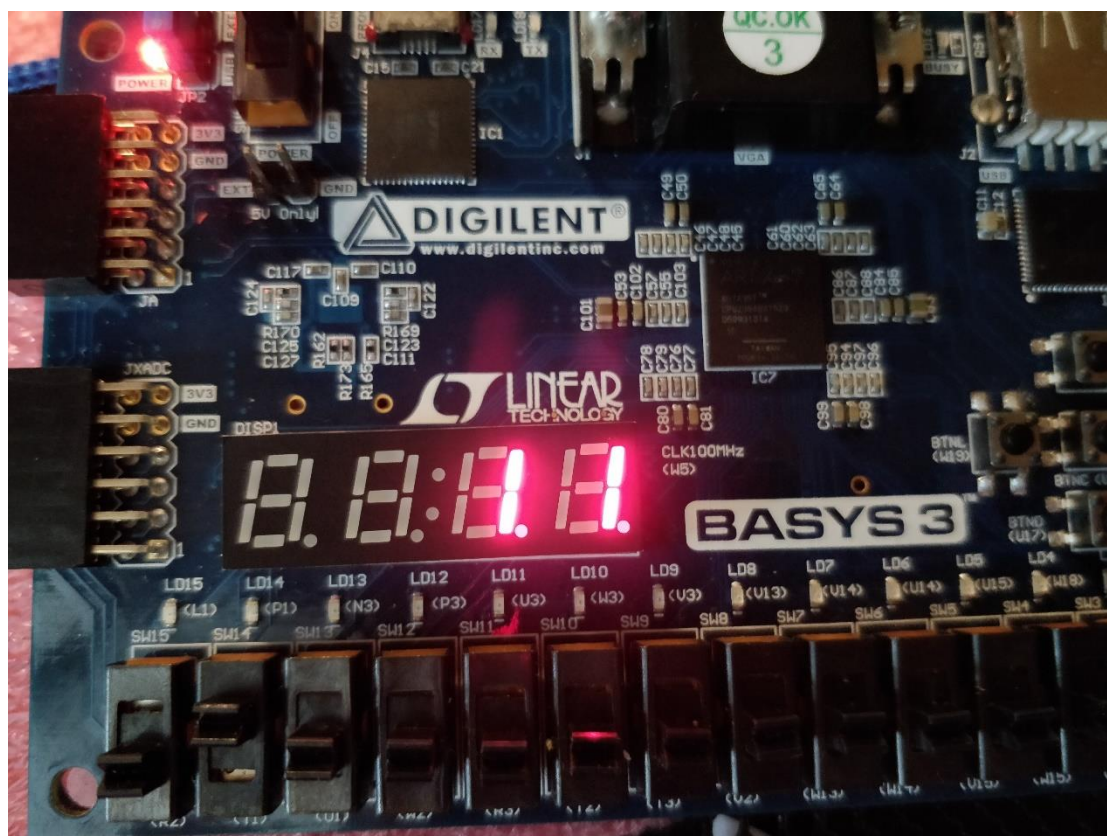
(4) 显示数字，由于 7 段数码管一次只能显示一位数，所以要用一个时钟控制显示个位还是十位，在这里我用时钟的低电平显示个位，高电平显示十位。如何显示 01~12 呢？用 74LS151 选择即可。显示过程中出现一个问题就是，十位显示不出，不知道为什么，最后只能在时钟后面加个 JK 触发器或者锁存器，至于为什么能解决就不知道了。

仿真电路：



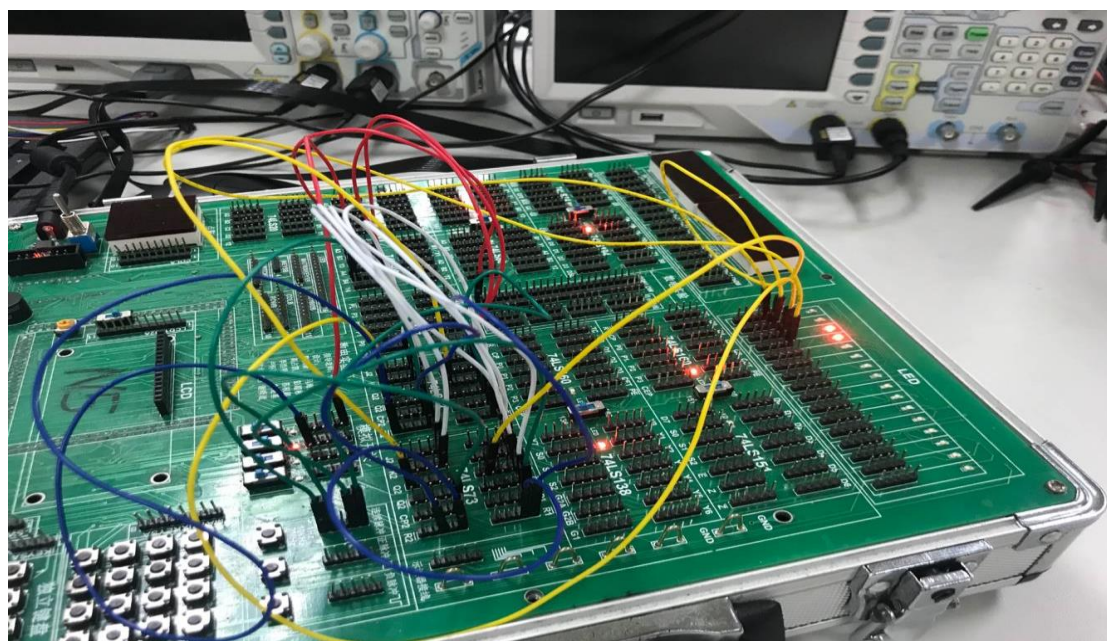
Vivado 连法类似，效果如图：

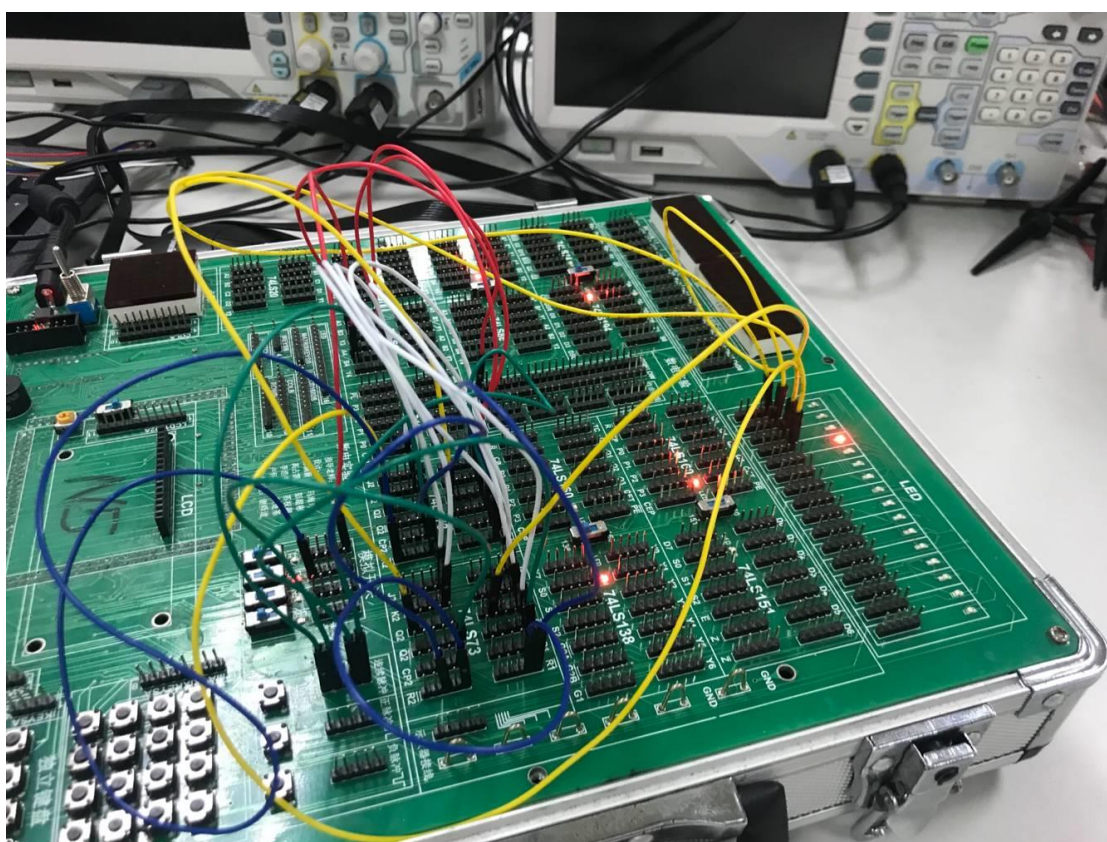
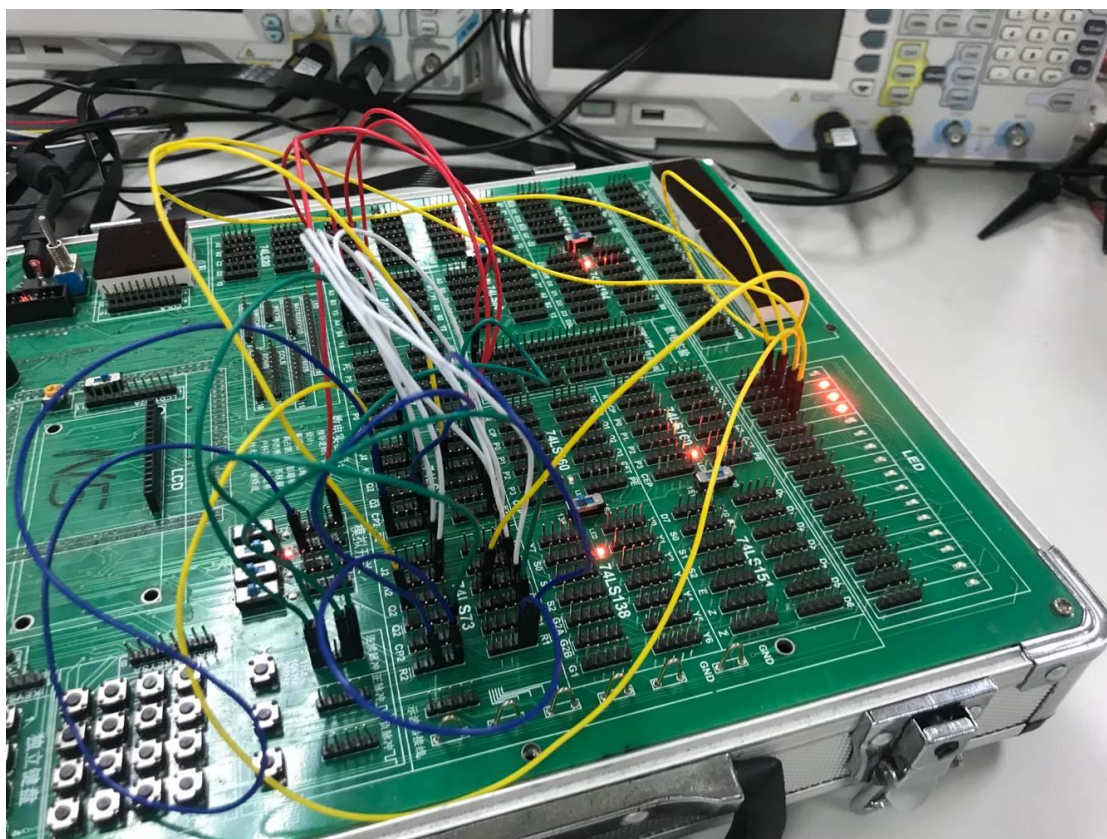




内容三实验报告

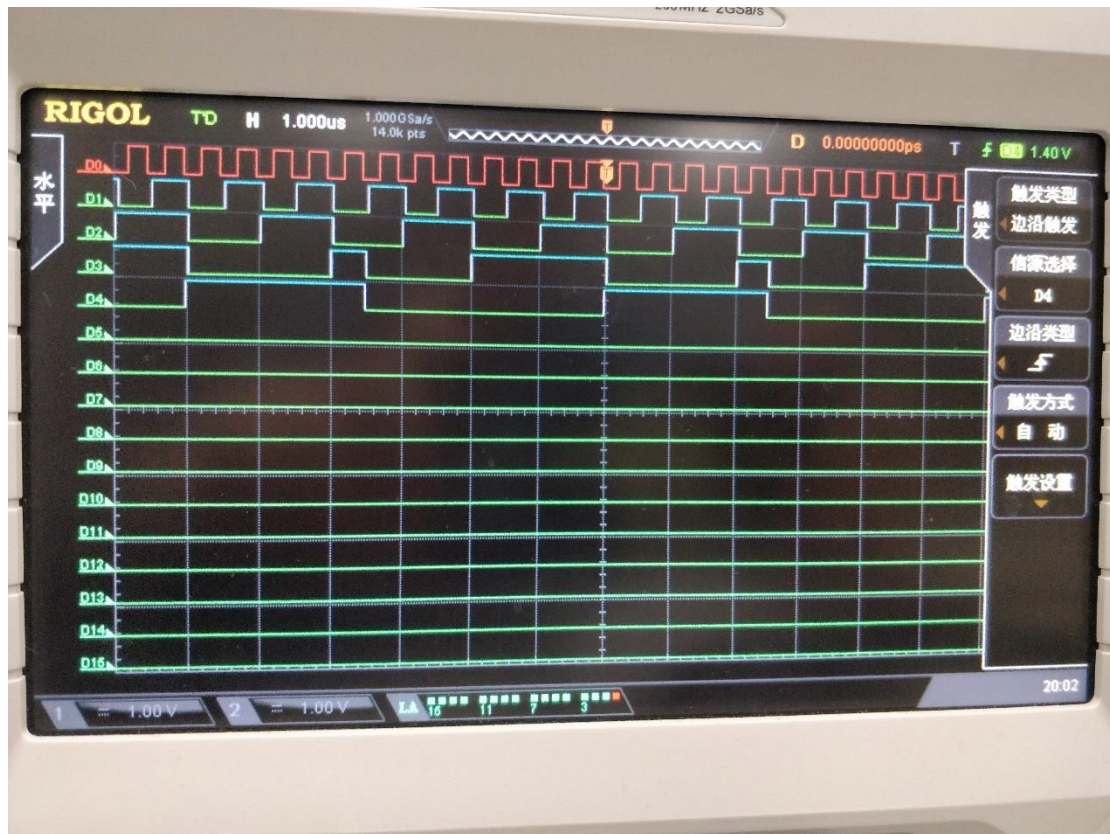
1. 实验仪器：数字电路实验箱
器件：74LS73、LED 灯
2. 代码转换电路设计：具体设计与仿真已在预习报告中完成
3. 转换电路效果检验：
实验连接电路：





内容四实验报告

1. 实验仪器：数字电路实验箱
器件：74LS73、74LS00、74LS08
2. 代码转换电路设计：具体设计与仿真已在预习报告中完成
3. 转换电路效果检验：
实验连接电路：（忘了拍了）
4. 波形分析：



备注：从上到下依次是时钟、最低位 JK 触发器、第二位 JK 触发器、第三位 JK 触发器、最高位 JK 触发器的波形图，由图很容易看出计数器是由 0001 变成 1100 的。

实验心得与体会：

1. 学会如何搭建一个循环状态的计数器，只要找到状态图和次态卡诺图即可。
2. 重新温习了如何调出满意的波形
3. 了解了同步计数器和异步计数器的优缺点。
4. 学会了用 JK 触发器搭建移位寄存器。