



计算机组成与系统结构

期末复习 (2)

吕昕晨

lvxinchen@bupt.edu.cn

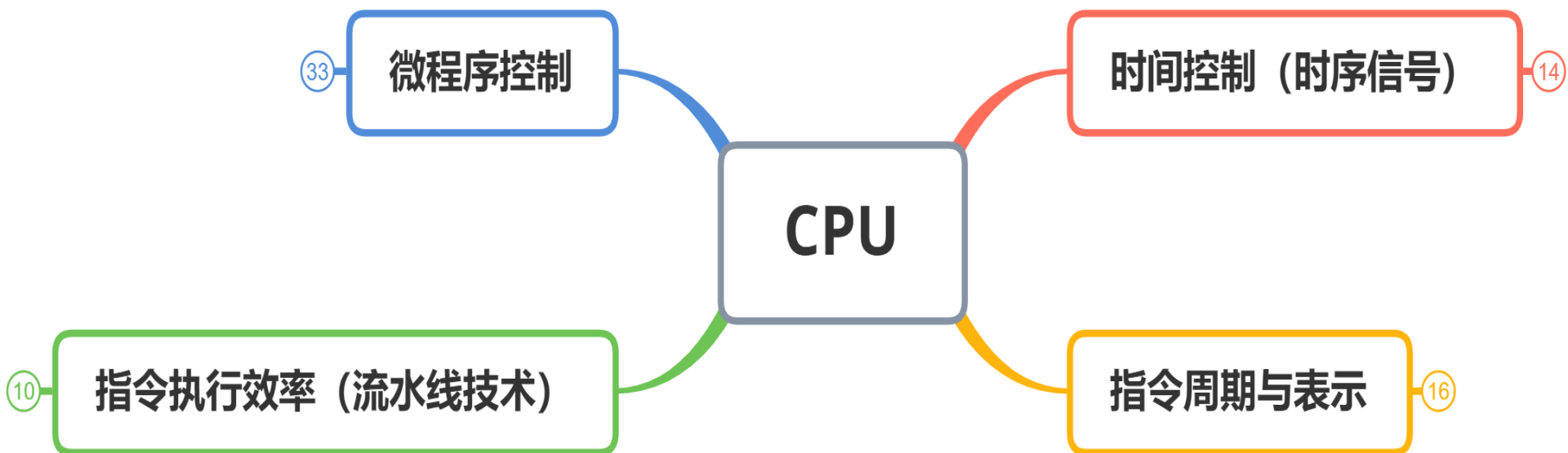
网络空间安全学院



期末复习

- 第五章 中央处理器
 - 微程序控制方式
 - 流水线技术与冒险
- 第六章 总线系统
- 第七章 外存与I/O设备
- 第八章 输入输出系统

中央处理器





CPU功能：自动取出指令，译码、并执行

时间控制（时序信号）

电位-脉冲制

多级时序系统

指令周期

CPU周期/机器周期-电位

T周期/节拍脉冲-脉冲

时钟周期

结合课件时序图理解

定长控制

同步控制

不定长控制

中央与局部控制结合

控制方式

异步控制

无CLK基准时钟、大规模系统

联合控制



指令周期与表示

模型机/CPU基本组成

理解CPU各部分功能与数据通路构建

PC、IR、DR、AR、D-Cache、I-Cache、M...

典型指令指令周期

CPU周期：取指译码、执行、（回写）

指令类别：运算、存取、跳转

ADD、MOV、LAD、STO、JMP

指令周期图形化表示

方框图

CPU周期：方框

菱形符号：判别译码

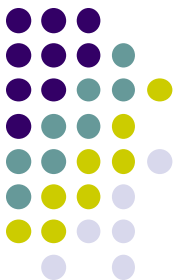
波浪：公操作

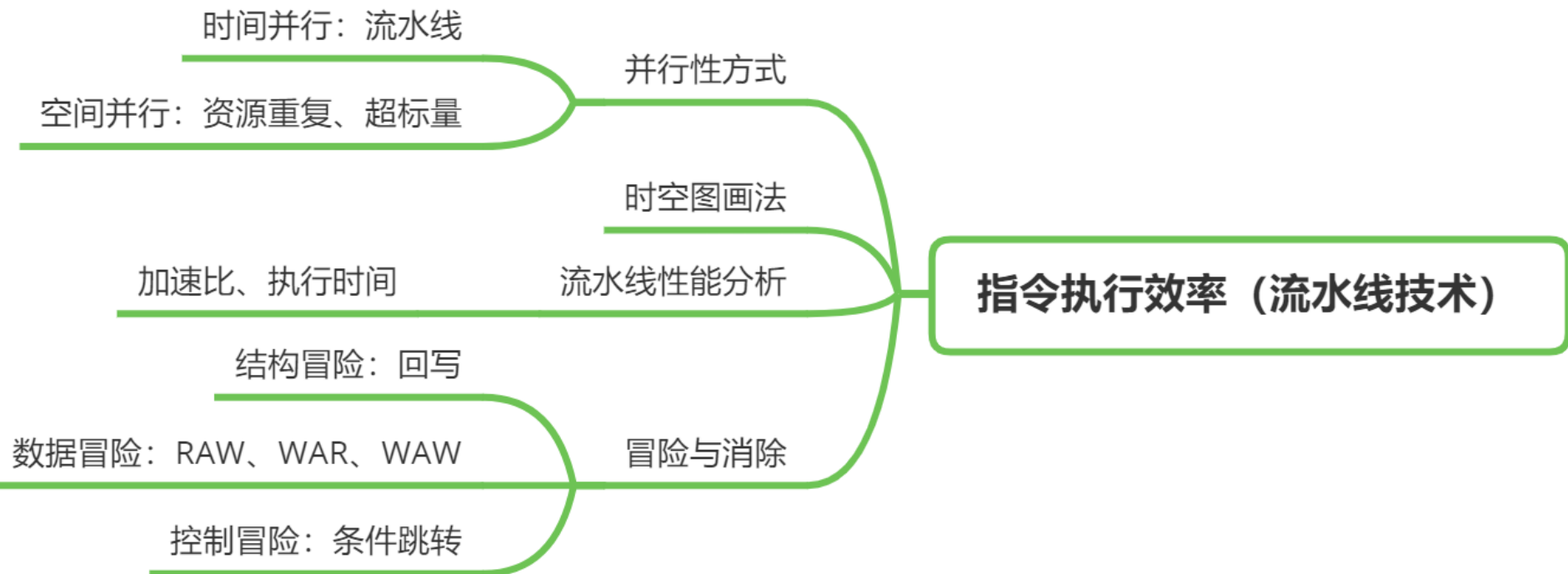
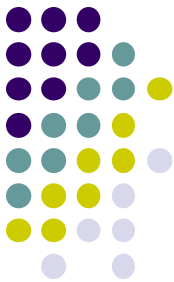
指令周期流程图

区别：方框-数据通路

标明控制信号

同一数据通路下，取指周期相同

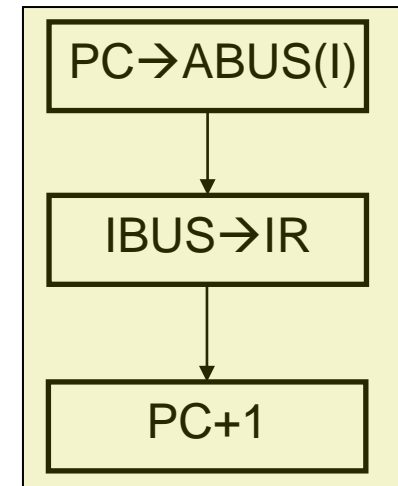
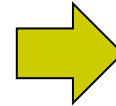
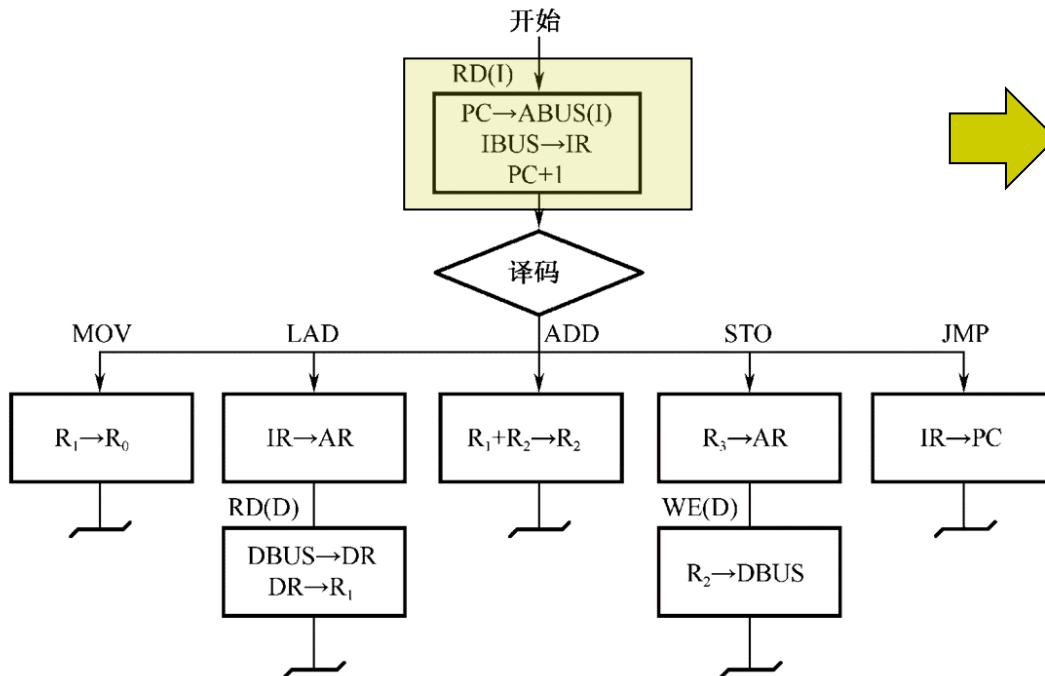






指令周期流程图

- 将方框图进行进一步细化，明确机器周期内各操作顺序
- 方框：代表一个操作（数据通路、计算过程）
- 方框内容：1个操作
- 方框外标明所需控制信号（按要求）



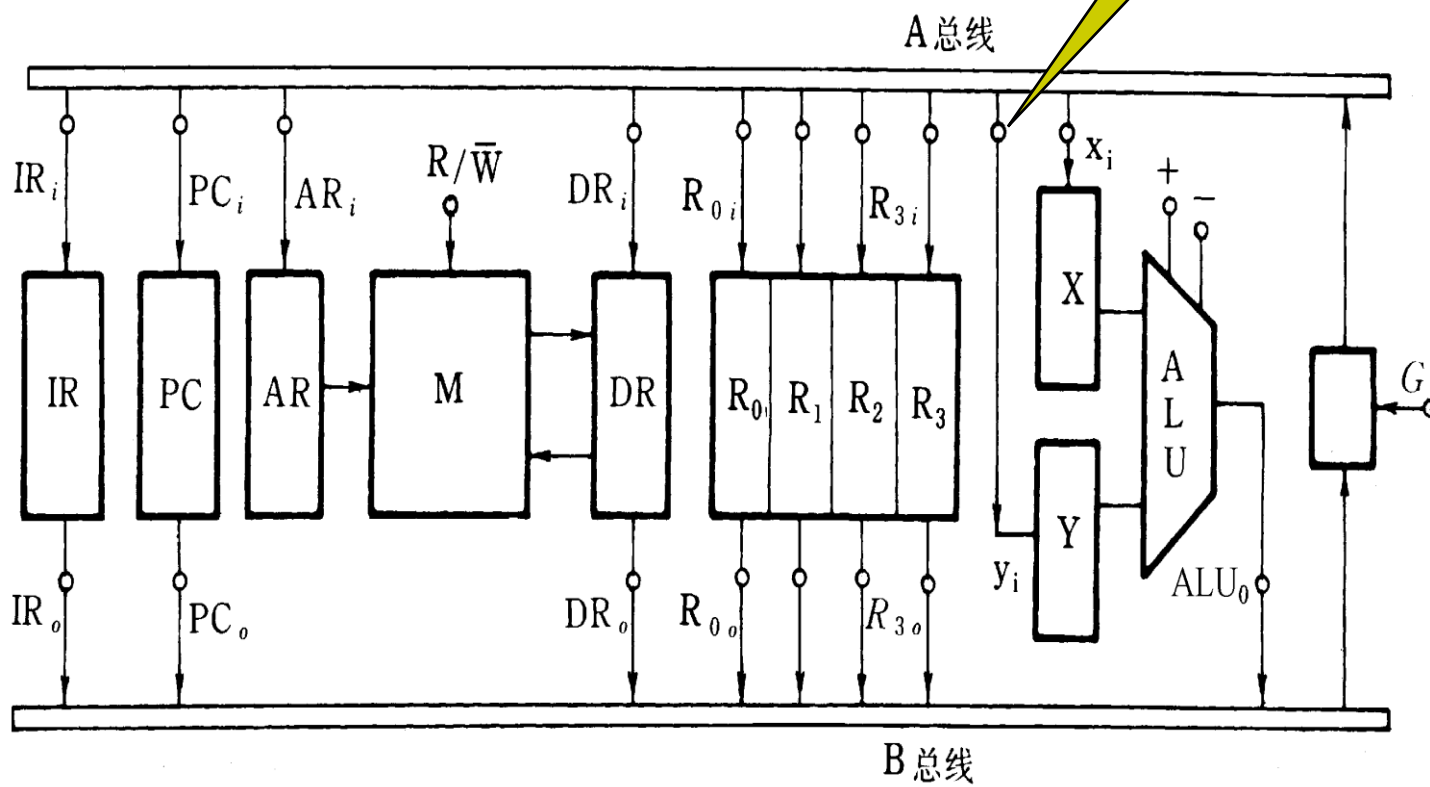
指令流程图例题

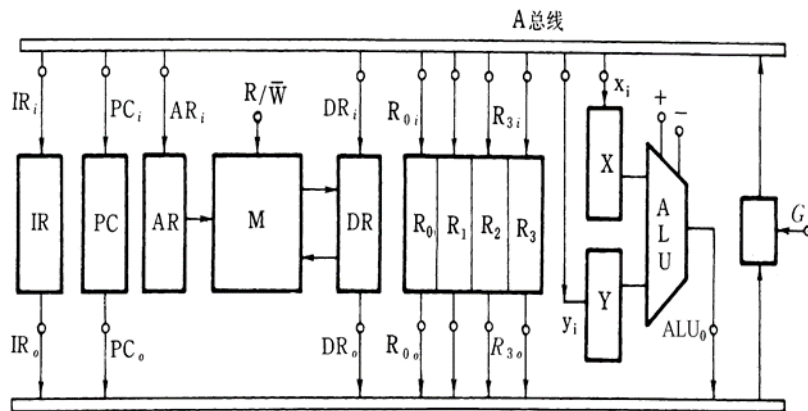


[例] 双总线结构机器的数据通路图 (标明控制信号)

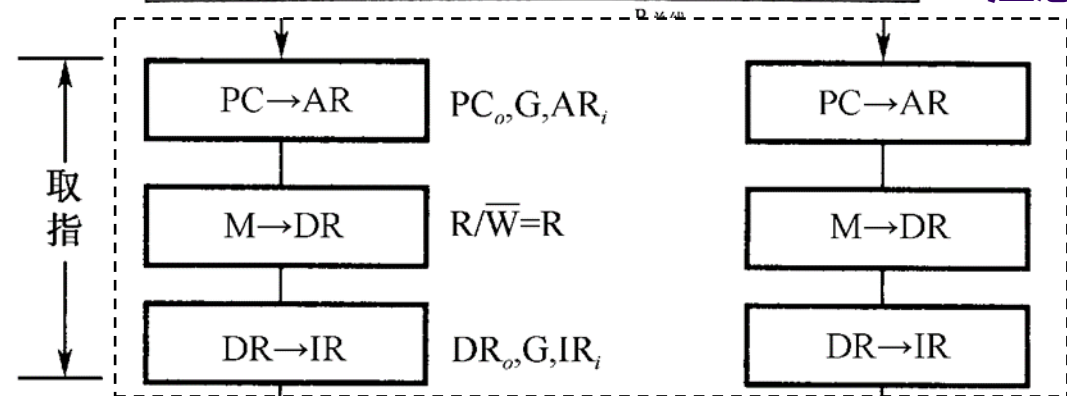
PC有自增功能、小圈控制信号

ADD R2, R0与SUB R1, R3

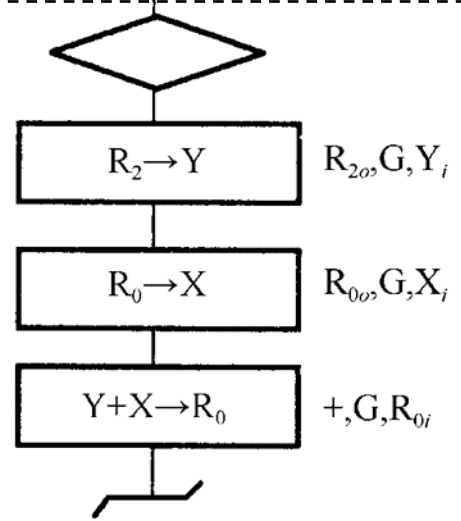




注意微操作控制信号

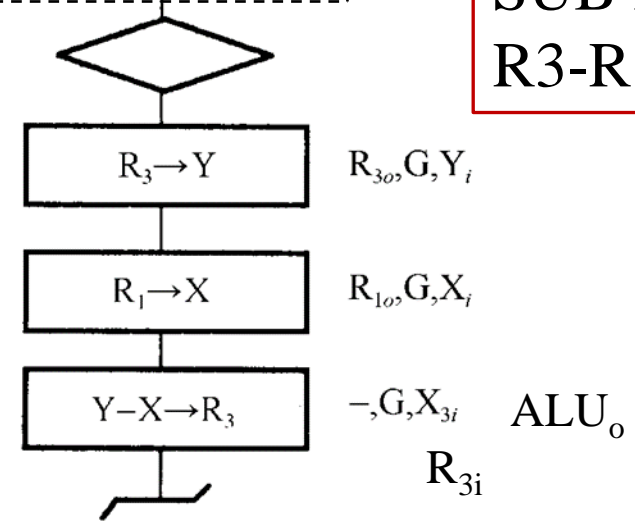


ADD R2, R0
 $R0 + R2 \rightarrow R0$

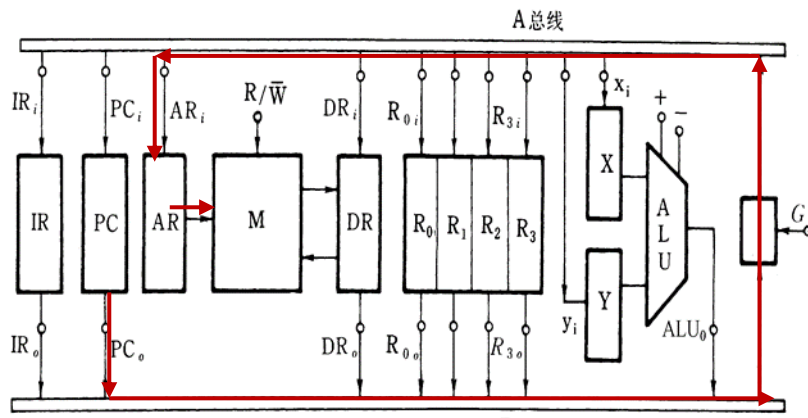


(a) 加法

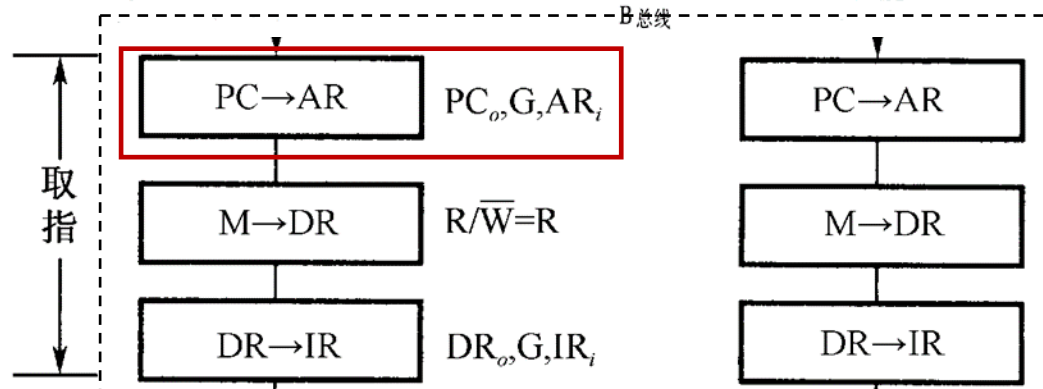
SUB R1, R3
 $R3 - R1 \rightarrow R1$



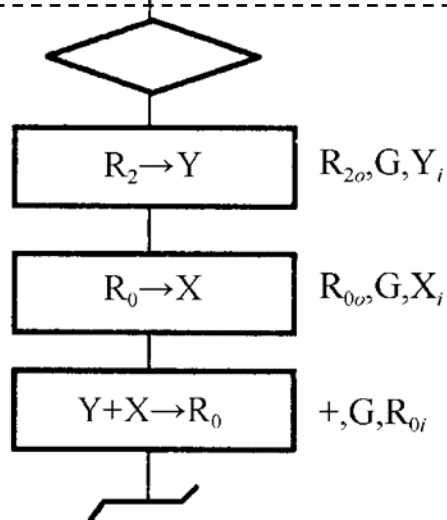
(b) 减法



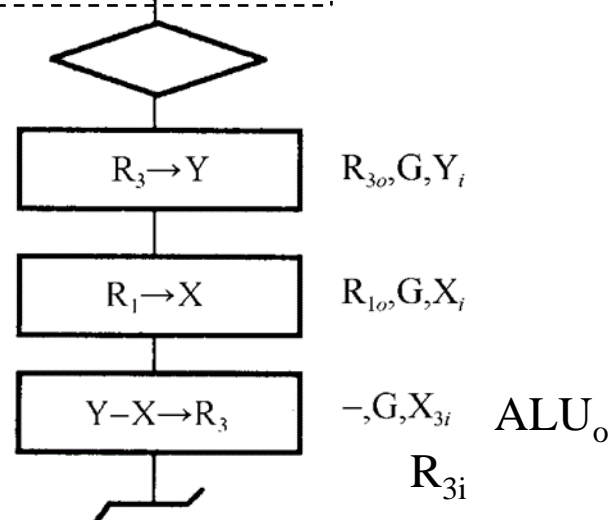
注意微操作控制信号



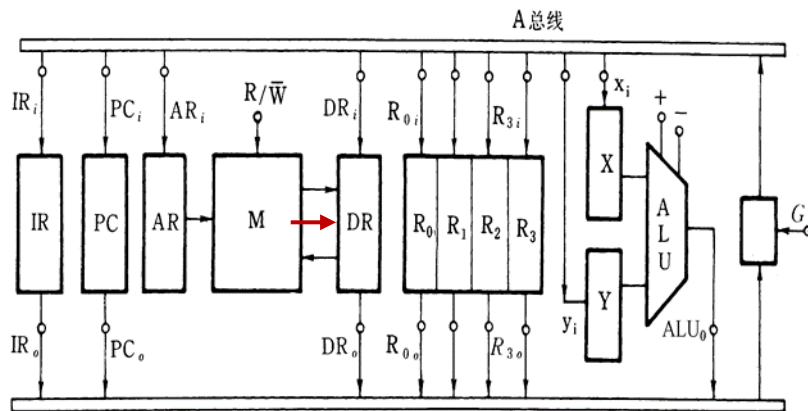
ADD R2, R0
R0+R2→R0



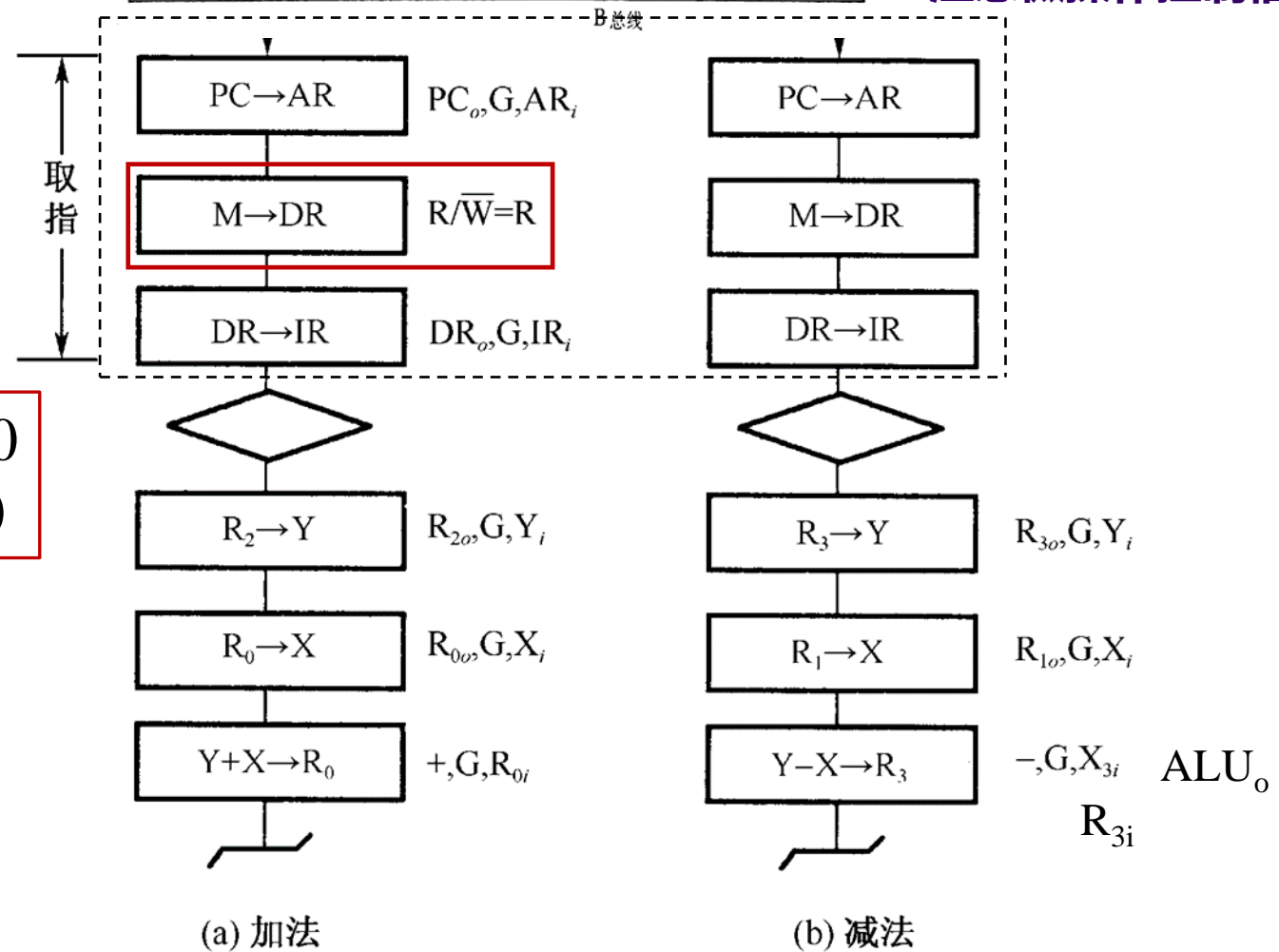
(a) 加法



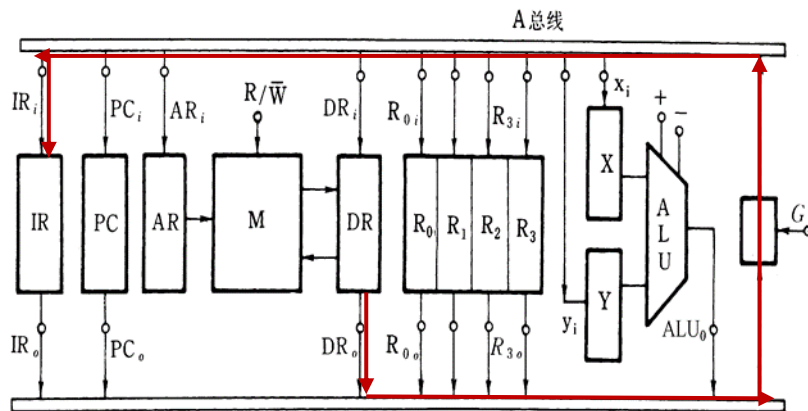
(b) 减法



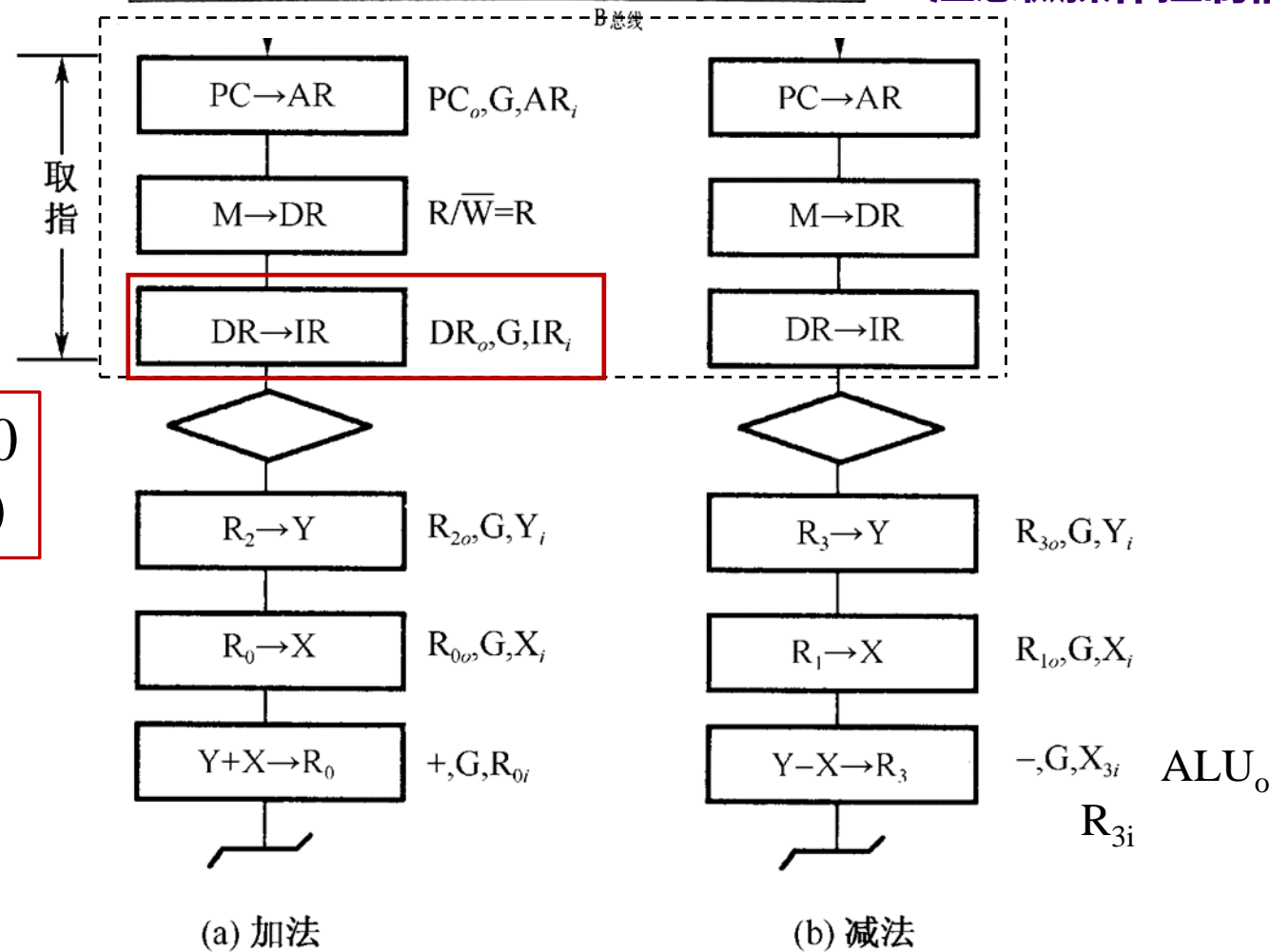
注意微操作控制信号



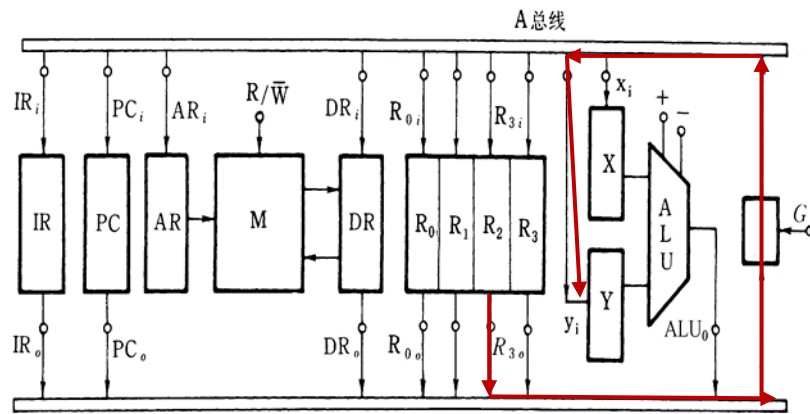
ADD R2, R0
R0+R2 \rightarrow R0



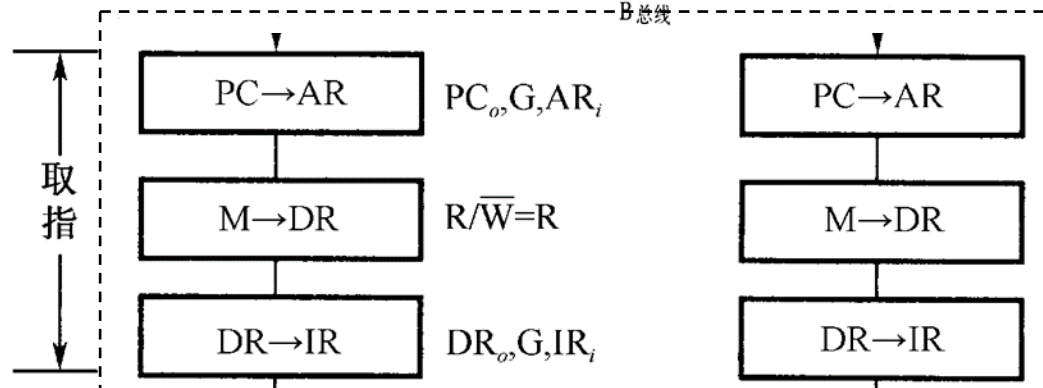
注意微操作控制信号



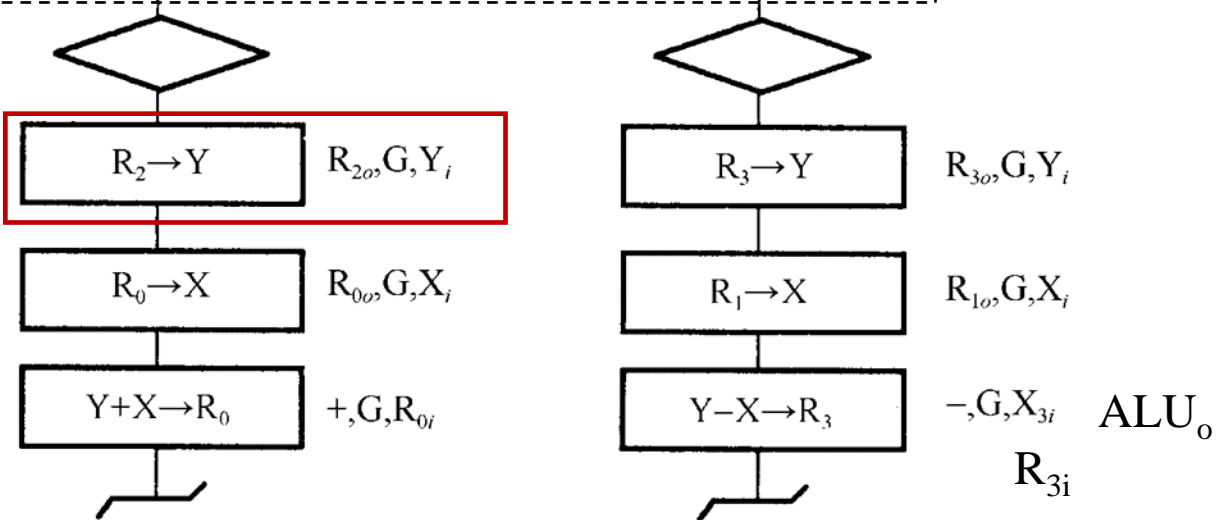
ADD R2, R0
R0+R2→R0



注意微操作控制信号

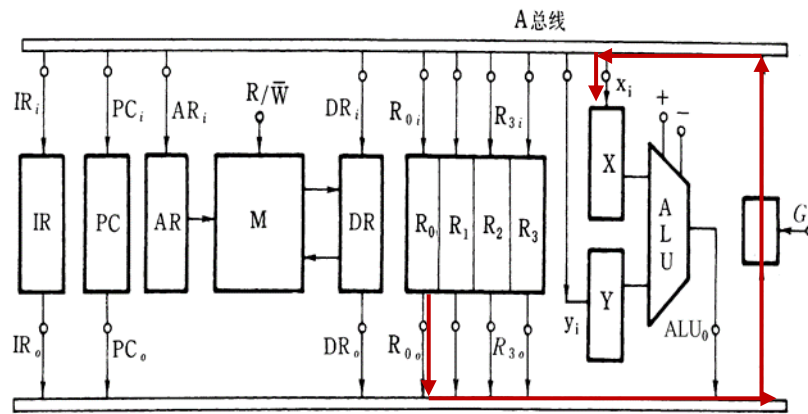
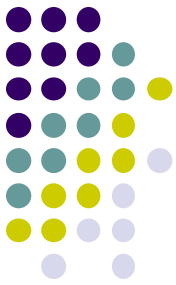


ADD R2, R0
 $R0 + R2 \rightarrow R0$

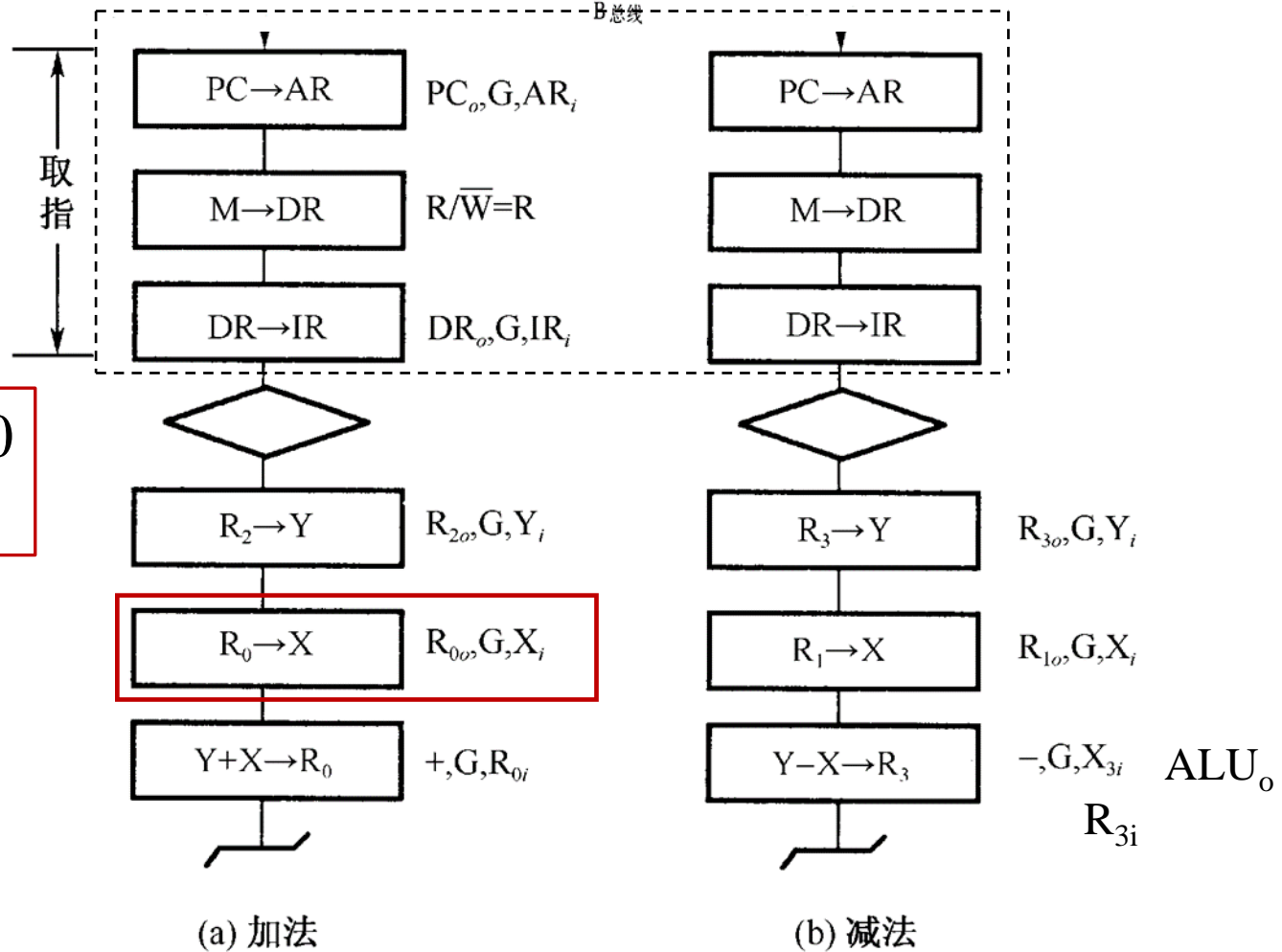


(a) 加法

(b) 减法



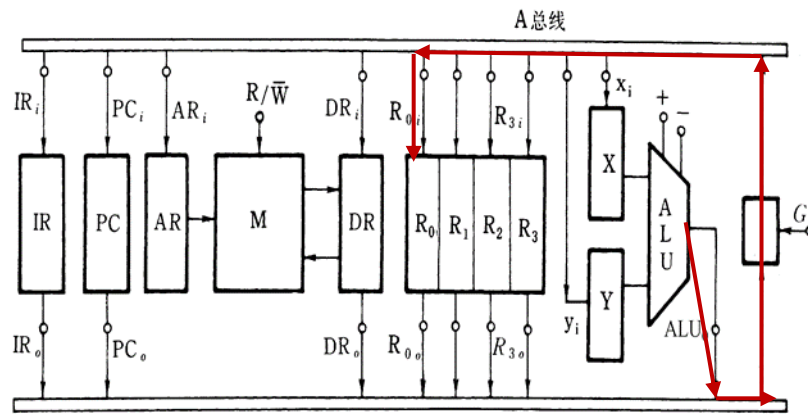
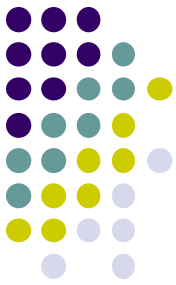
注意微操作控制信号



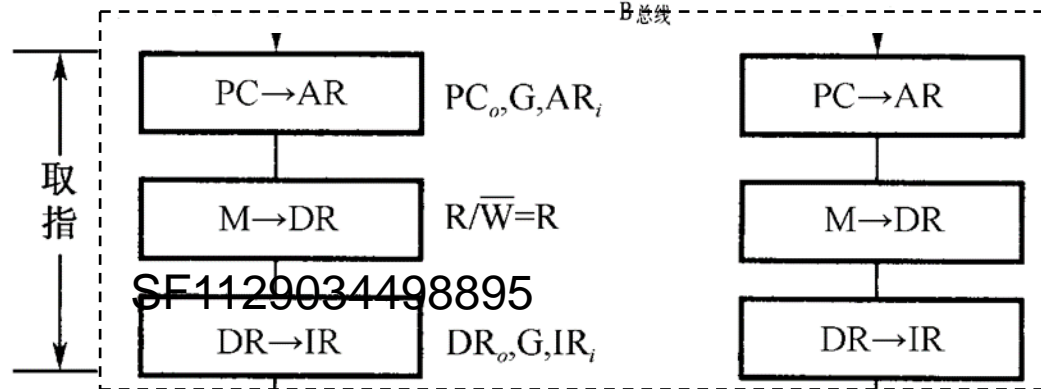
ADD R2, R0
 $R0 + R2 \rightarrow R0$

(a) 加法

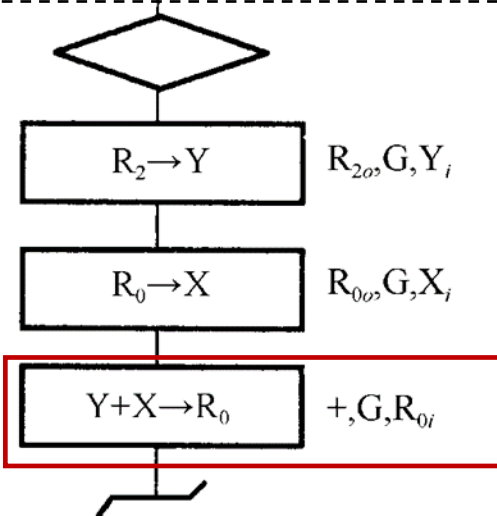
(b) 减法



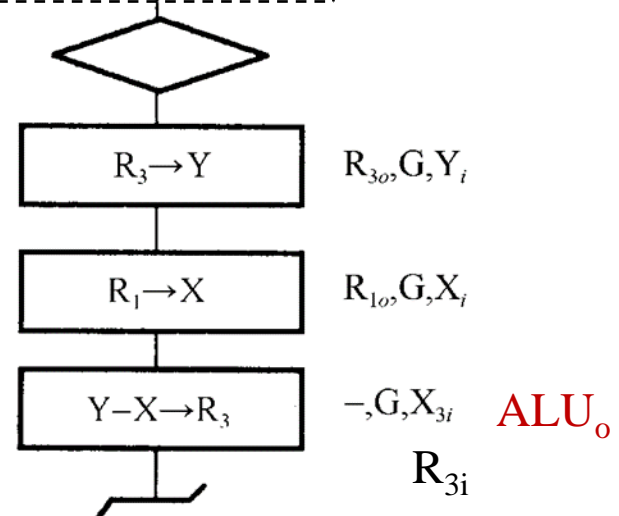
注意微操作控制信号



ADD R2, R0
 $R0 + R2 \rightarrow R0$



(a) 加法

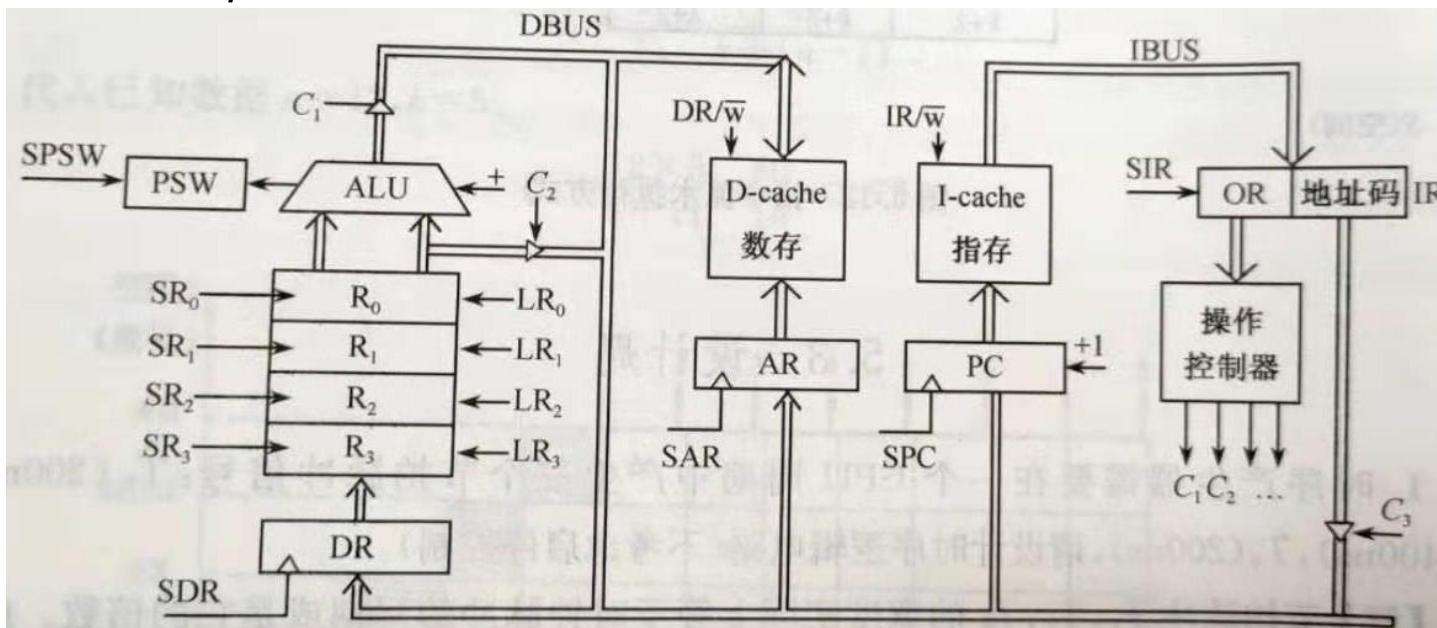


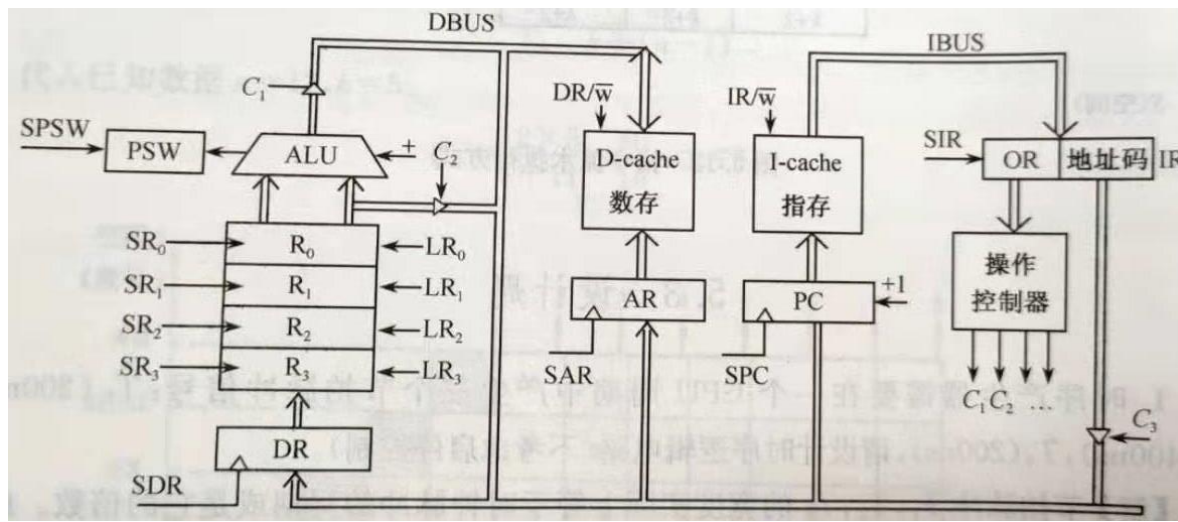
(b) 减法

指令周期流程图——习题

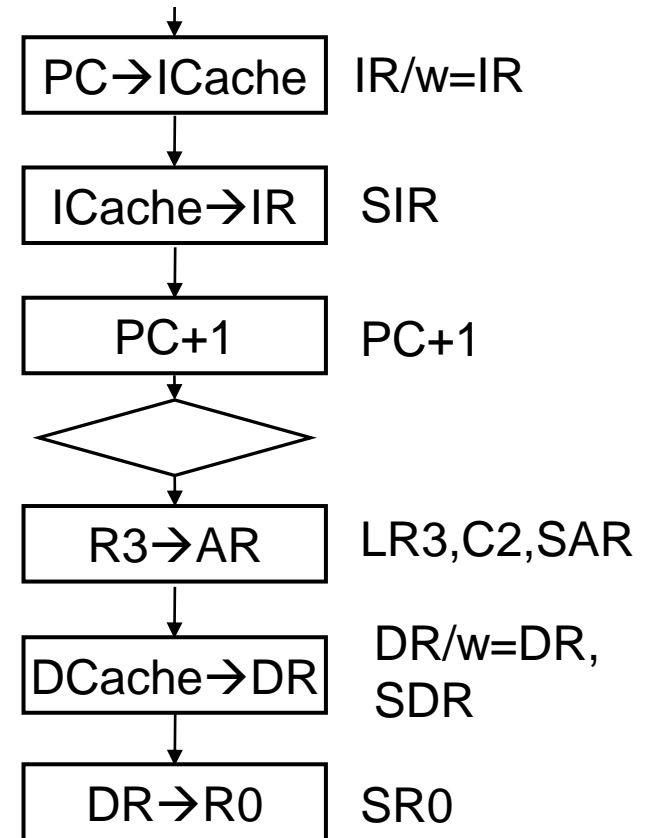


- CPU数据通路如图，单线箭头信号均为微操作控制信号，例如LR0表示读出R0寄存器，画出如下指令的指令周期流程图并标明控制信号
 - LDA (R3), R0: 读出以 (R3) 为地址的数存单元存入R0寄存器中
 - ADD R2, R0: $R0 + R2 \rightarrow R0$





LDA (R3), R0:
 读出以 (R3) 为
 地址的数存单元
 存入R0寄存器中





期末复习

- 第五章 中央处理器
 - 微程序控制方式
 - 流水线技术与冒险
- 第六章 总线系统
- 第七章 外存与I/O设备
- 第八章 输入输出系统

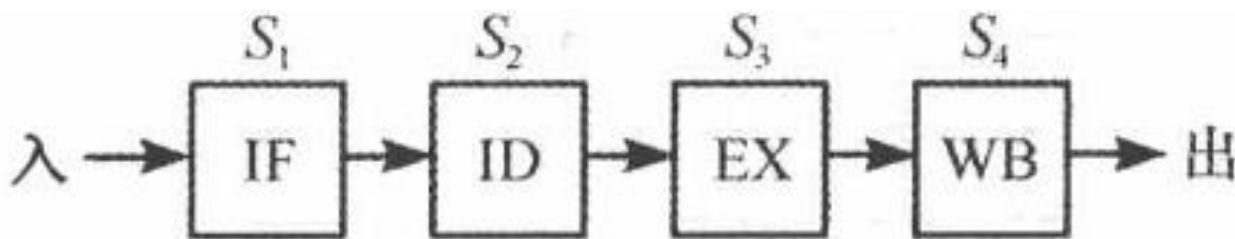
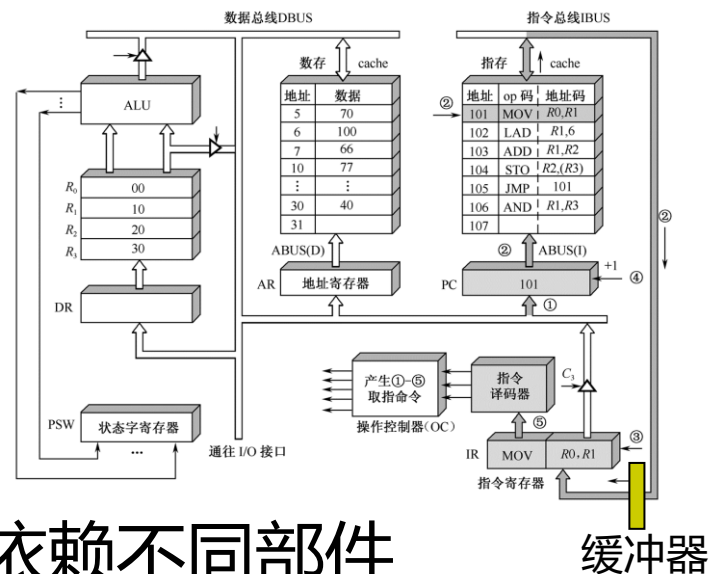
指令阶段划分

- 考虑一个四周期流水的指令划分（第一章）：

- 取指：IF (Instruction Fetch)
- 译码：ID (Instruction Decode)
- 执行：EX (Execution)
- 回写：WB (Write Back)

- 流水线基础

- 取指、译码、执行、回写分别依赖不同部件
- 可以并行执行（加缓冲、共享总线、Cache）

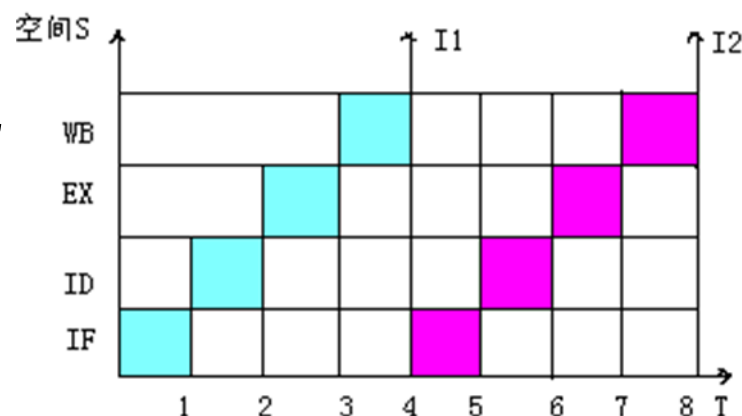


流水线时空图



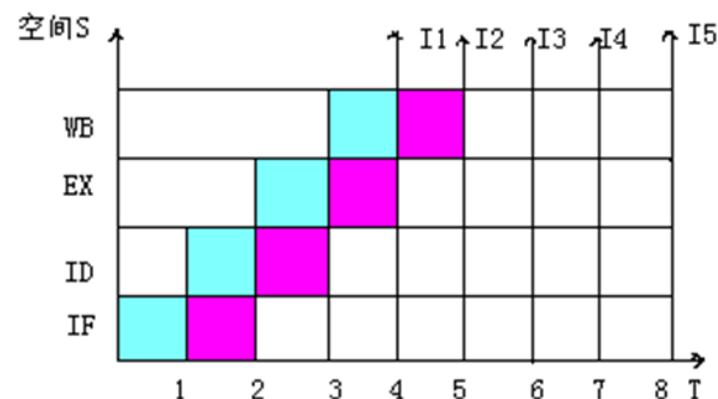
- 非流水CPU

- 完成一个指令的四个阶段，再执行下一条指令
- 未能充分利用各部件并行性
- 四个周期完成一条指令



- 流水CPU

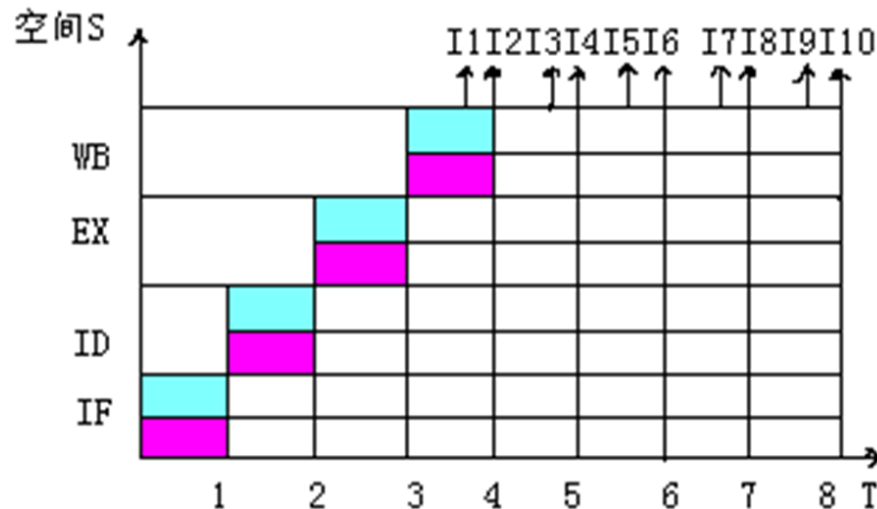
- 四个阶段重叠执行
- 流水线满载时，每个周期完成一条指令

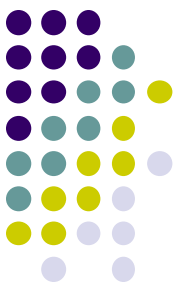




超标量流水线

- 采用时间和空间并行技术
- 空间并行：加强各部件能力
 - 利用VLSI技术，提升各部件能力（冗余）
 - 例如，各部件同时执行两条以上指令
- 流水线满载时
 - 每一个时钟周期可以执行2条指令



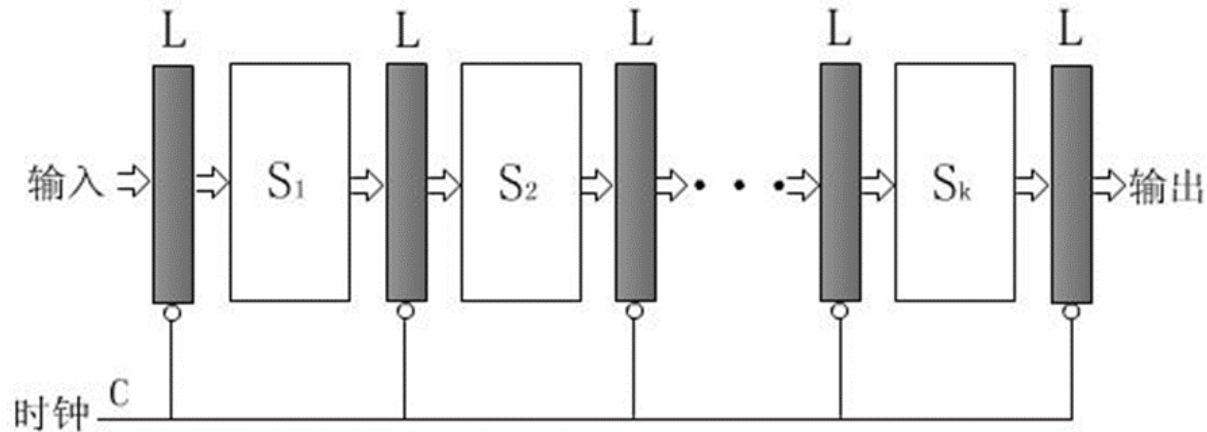


流水线技术原理

- 在流水线中必须是连续的任务，只有不断的提供任务才能充分发挥流水线的效率
- 把一个任务分解为几个有联系的子任务。每个子任务由一个专门的功能部件实现
- 在流水线中的每个功能部件之后都要有一个缓冲寄存器，或称为锁存器（各级流水独立）
- 流水线中各段的时间应该尽量相等，否则将会引起“堵塞”和“断流”的现象
- 流水线需要有装入时间和排空时间，只有当流水线完全充满时，才能充分发挥效率



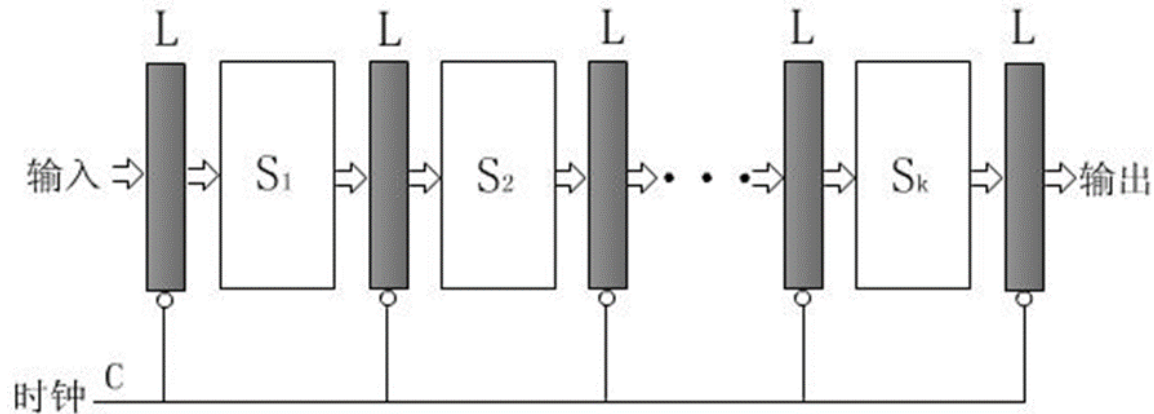
流水线——理想情况加速比



- 流水线加速比 (k 级流水, 执行 n 条指令, C_k)
 - 假设各级执行时间相等, 不考虑缓存器延迟
 - 非流水线, 串行执行 $T_L = n k \tau$ (每一级时间)
 - 流水线方式, $T_k = k \tau + (n-1) \tau$
 - 加速比, $C_k = T_L / T_k = nk / (k + n - 1)$
 - 当 $n \rightarrow \infty, C_k = k$ (最多提升 k 倍性能)



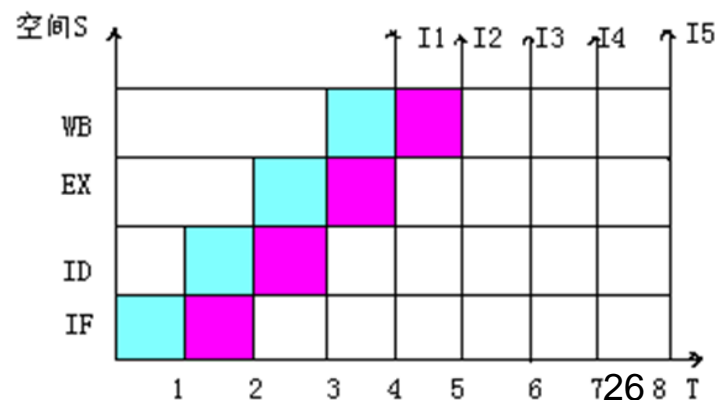
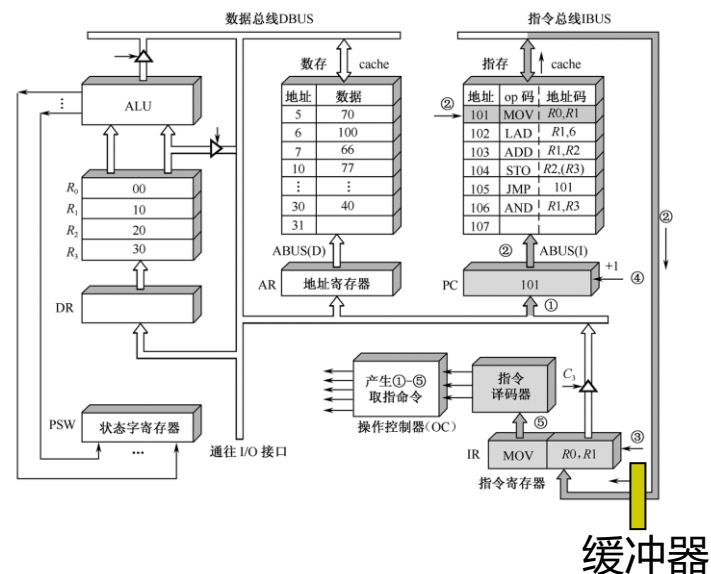
流水线性能分析（实际情况）



- K级流水CPU
 - 每级流水所需时间为 τ_i
 - 缓冲寄存器的延时为 τ_l
- 流水线满载时
 - 每隔 $\tau = \max\{\tau_i\} + \tau_l$ 完成一条指令
 - 完成一条指令所需时延, $T = \sum \tau_i + K\tau_l$
- 无法通过无限划分流水技术提升CPU性能

流水线中的主要问题

- 流水线基础
 - 取指、译码、执行、回写分别依赖不同部件
 - 加缓冲寄存器隔离，可以并行执行
- 主要问题
 - 共享总线、Cache等
 - 指令顺序，与流水线技术矛盾
 - 指令分支执行
- 三种相关冲突/冒险
 - 资源相关、数据相关、控制相关



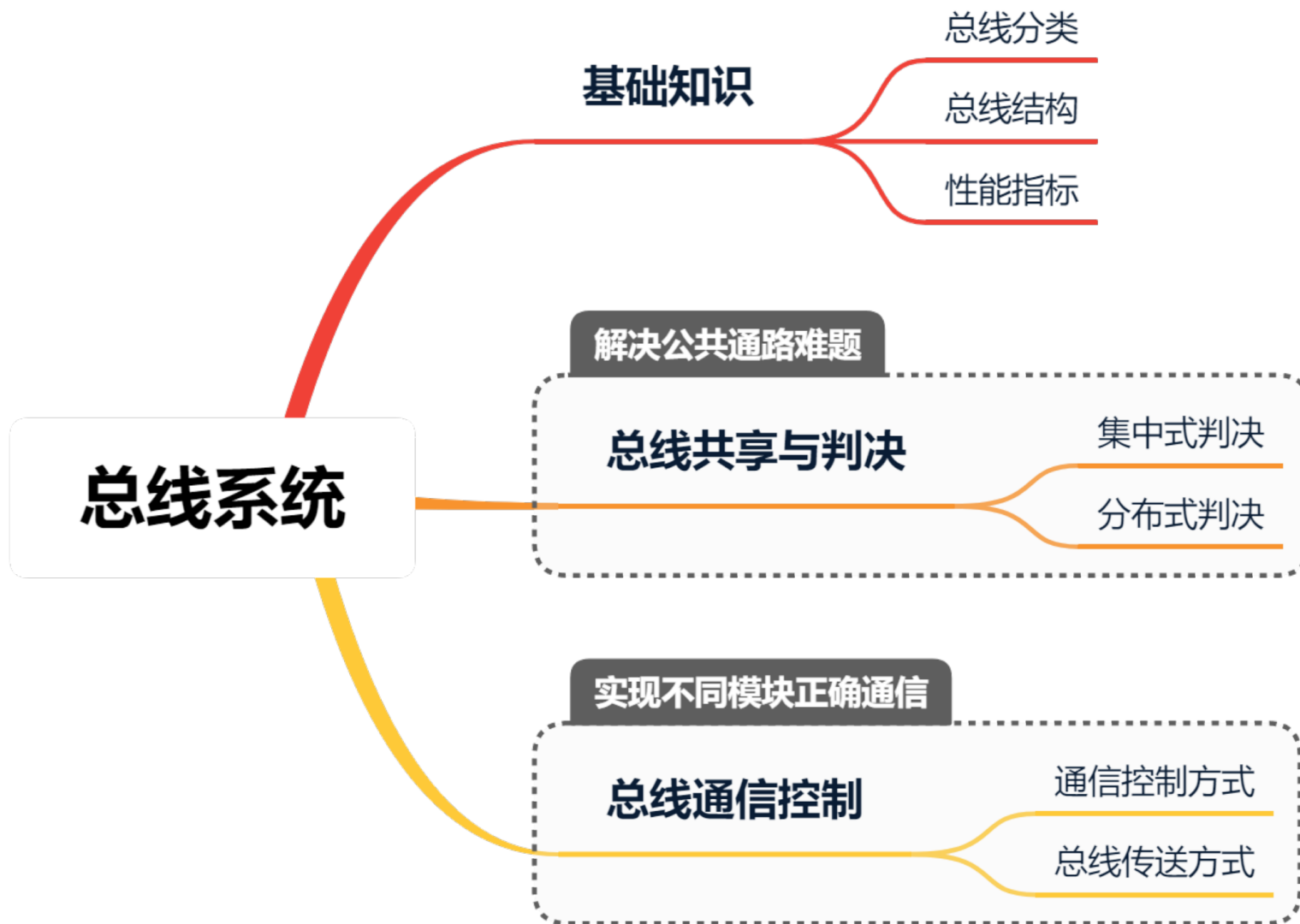


期末复习

- 第五章 中央处理器
- 第六章 总线系统
 - 总线概念与性能指标
 - 总线仲裁
- 第七章 外存与I/O设备
- 第八章 输入输出系统



总线系统总结





总线性能指标——位宽

- 总线位宽/宽度：
 - 一次操作可以传输的数据位数
 - 单位：位、bit
- 总线位宽发展
 - S100为8位，ISA为16位
 - EISA/VESA为32位，PCI-2可达64位
- 计算机内部与外部数据总线宽度可能不一致
 - 8086、80286、80386内外数据总线宽度相等
 - Pentium外数据总线64位，内部数据总线32位



总线性能指标——带宽

- 总线带宽
 - 总线本身所能达到的最高传输速率
 - 单位：Mbps、MB/s
- 理论计算方法
 - 总线位宽 * 总线工作频率 (1/总线周期)
 - 总线周期是CPU完成一次访问MEM或I/O端口操作所需的时间，由几个时钟周期组成。
- 实际带宽无法达到理论上限
 - 信号在总线上产生畸变与延时
 - 布线长度、总线驱动器/接收器性能
 - 总线模块数（竞争）



带宽计算例题

- 例1：计算总线带宽
 - 某总线在一个总线周期中并行传送4个字节的数据
 - 假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz
 - 问总线带宽是多少？
- 总线位宽 * 总线工作频率 (1/总线周期)
 - 总线位宽D：4Byte
 - 总线频率f：33MHz
- $D_r = D * f = 4B \times 33MHz = 132MB/s$

此题未设置答案，请点击右侧设置按钮

某总线在一个总线周期中并行传送64位的数据
假设一个总线周期等于一个总线时钟周期，总线
时钟频率为66MHz
问总线带宽是多少？

- ☒ A 528MB/s
- ☐ B 512MB/s
- ☐ C 4224MB/s
- ☐ D 4228MB/s

- 总线位宽 * 总线工作频率
(1/总线周期)
 - 总线位宽D:
64bit=8Byte
 - 总线频率f: 66MHz
- $D_r = D * f = 8B \times 66MHz = 528$
MB/s



选择题

- 以RS232为接口，进行7位ASCII码字符传送，带1位奇偶校验和2位停止位，当波特率为9600时，字符传送率为_____。

A. 960

B. 873

C. 1371

D. 480



选择题

- 下列各项中，_____是同步传输的特点。
 - A. 需要应答信号
 - B. 总线长度较长
 - ☒ C. 各部件存取时间比较接近
 - D. 总线周期长度可变



选择题

● 下列各项中，应采用异步传输方式的是_____。

A. I/O接口与打印机交换信息

B. CPU与存储器交换信息

C. CPU与I/O接口交换信息

D. CPU与系统总线



选择题

- 单总线结构中系统总线中地址线的功用是_____。
- A. 用于选择主存单元
- B. 用于选择信息传输的设备
- ☒ C. 用于指定主存和I/O接口电路的地址
- D. 用于传送主存物理地址和逻辑地址



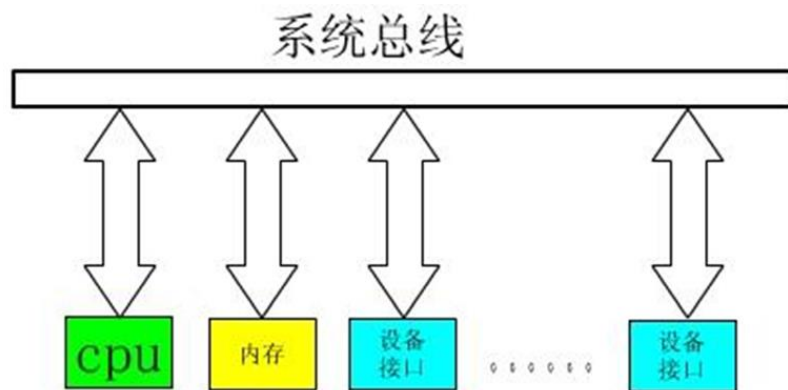
期末复习

- 第五章 中央处理器
- 第六章 总线系统
 - 总线概念与性能指标
 - 总线仲裁
- 第七章 外存与I/O设备
- 第八章 输入输出系统



总线的仲裁

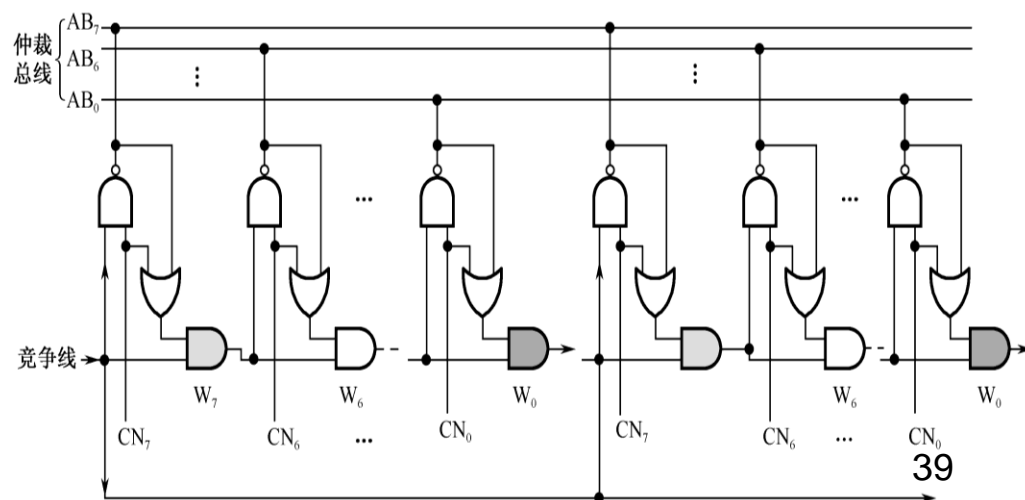
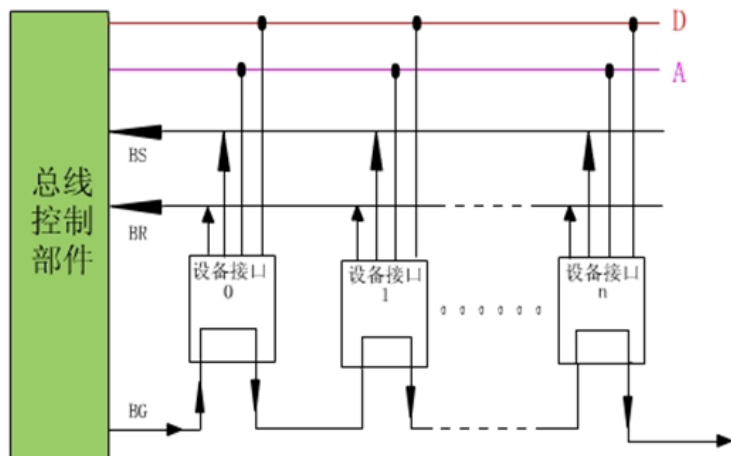
- 为什么需要总线仲裁？
 - 总线是**多个功能模块共用**的数据传输部件
 - 为了解决多个功能模块**争用总线**的问题，必须设置总线仲裁部件
- 总线传输方式
 - 连接到总线上的功能模块有**主动和被动两种形态**
 - **主方可以启动一个总线周期**，而从方只能向主方请求每次总线操作，只能有一个主方，但是可以有多个从方



总线仲裁的分类

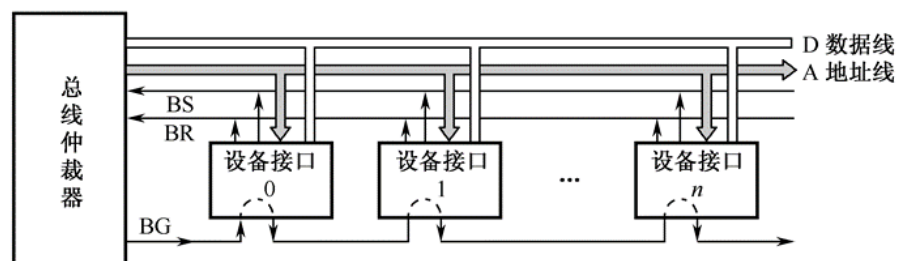


- **总线占用期**：主方持续控制总线的时间
- 如何确定由哪个部件占用总线——仲裁
- 按照总线仲裁电路的位置不同，仲裁方式分为
 - **集中式仲裁**：中央总线仲裁部件，请求与授权方式
 - **分布式仲裁**：不存在集中式仲裁部件，由各功能模块争用仲裁总线

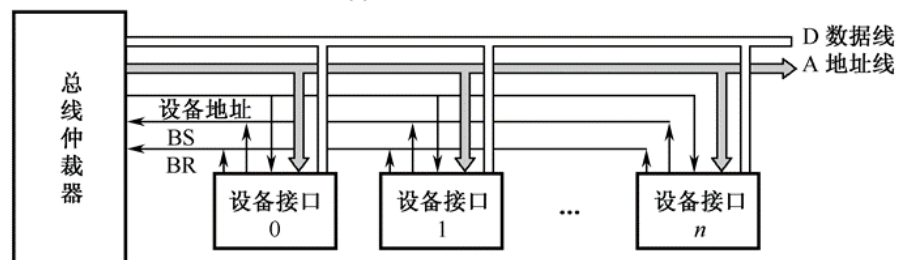


集中式仲裁

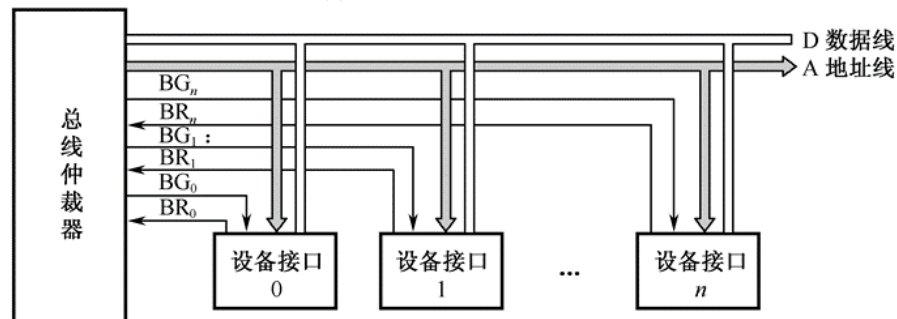
- 集中式仲裁
 - 通过总线仲裁部件确定由哪个设备占用总线
 - 总线请求—总线授权
 - BR (Bus Request)
 - BG (Bus Grant)
 - 总线仲裁器
 - 在单处理器系统中又称为总线控制器，是CPU的一部分，是一个单独功能模块



(a) 菊花链查询方式



(b) 计数器定时查询方式



(c) 独立请求方式



选择题

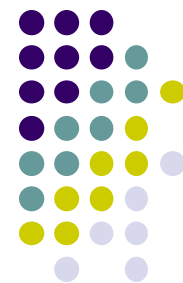
- 集中式总线仲裁中， ____方式响应时间最快， ____方式对电路故障最敏感。
 - A. 菊花链方式
 - B. 独立请求方式
 - C. 计数器定时查询方式

B、 A



期末复习

- 第五章 中央处理器
- 第六章 总线系统
- 第七章 外存与I/O设备
 - 硬盘相关指标计算
 - 显示器相关指标
- 第八章 输入输出系统



外存与I/O设备

外存与I/O

存储原理、结构

外存

硬盘、磁盘存储设备

磁盘存储设备发展

光盘

概念、原理、组成

I/O设备

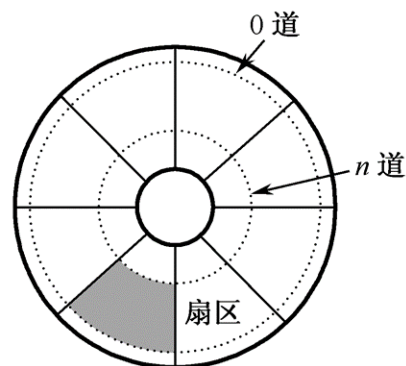
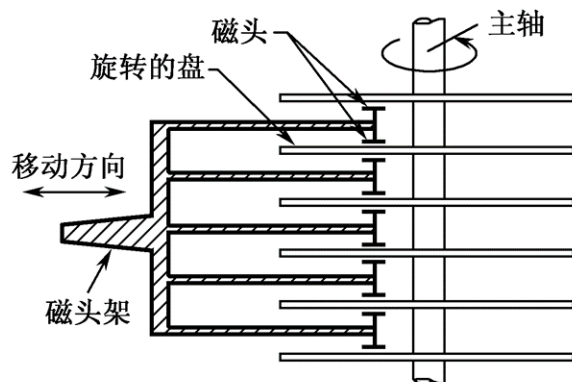
显示设备

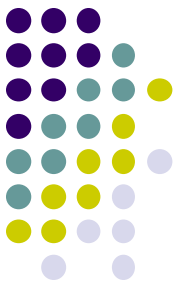
输入输出设备



磁道与扇区（重点）

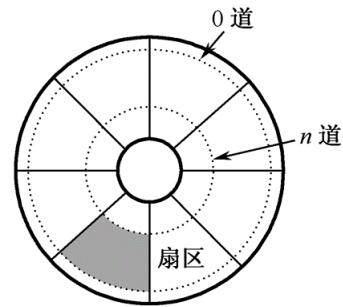
- 记录面
 - 盘片的上下两面都能记录信息，磁盘片表面称为记录面
- 磁道
 - 记录面上一系列同心圆称为磁道
 - 每个盘片表面通常有几百到几千个磁道
- 扇区
 - 每个磁道又分为若干个扇区，外扇区比内扇区面积要大
 - 磁盘上的这种磁道和扇区的排列称为格式





存储密度与存储容量

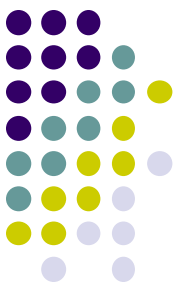
- 存储密度
 - 道密度
 - 沿磁盘半径方向单位长度上的磁道数，单位为道/英寸
 - 位密度
 - 磁道单位长度上能记录的二进制代码位数，单位为位/英寸
 - 面密度
 - 位密度和道密度的乘积，单位为位/平方英寸
- 存储容量
 - 一个磁盘存储器所能存储的字节总数





数据传输率

- **数据传输率**： D_r
 - 磁盘存储器在单位时间内向主机传送数据的字节数
- 传输率与存储设备和主机接口逻辑有关
 - 从**主机接口逻辑考虑**，应有足够快的传送速度向设备接收/发送信息（**假设满足**）
 - 从存储设备考虑
 - 假设磁盘旋转速度为 r 转/秒，每条磁道容量为 N 个字节，则
 - $D_r = r \cdot N$ (字节/秒)
 - 假设 D 是存储器位密度（字节/英寸）， v 是磁盘旋转线速度（英寸/秒），则
 - $D_r = D \cdot v$ (字节/秒)



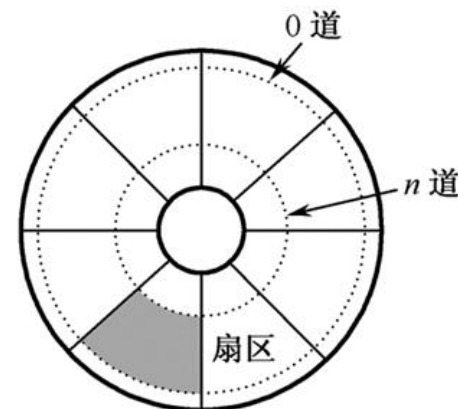
平均存取时间定义

- 平均存取时间
 - 从发出读写命令后，磁头从某一起始位置移动至新的记录位置，到开始从盘片表面读出或写入信息加上传送数据所需要的时间
- 取决于以下三个因素
 - 找道时间
 - 将磁头定位至所要求的磁道上所需的时间
 - 平均找道时间是最大找道时间与最小找道时间的平均值
 - 等待时间需要访问的信息到达磁头下的时间
 - 平均等待时间和磁盘转速有关，它
 - 找道完成后至磁道上用磁盘旋转一周所需时间的一半来表示
 - 数据传送时间

平均存取时间计算



- 平均存取时间取决于
 - 找道时间: T_s
 - 等待时间: $1/2r$
 - r 表示磁盘转速, 单位: 转/秒
 - 旋转一周所需时间一半
 - 例如, 硬盘常见有5400/7200转
 - 数据传送时间: B/rN
 - B 是待传送字节数, N 表示每磁道字节数
- 平均存取时间 T_a 表达式
 - $T_a = T_s + 1/(2r) + b/rN$





磁盘存储设备例题3

磁盘组有6片磁盘，每片有两个记录面，最上最下两个面不用。存储区域内径22cm，外径33cm，道密度为40道/cm，内层位密度400位/cm，转速6000转/分。问：

- (1)共有多少柱面？
- (2)盘组总存储容量是多少？
- (3)数据传输率多少？
- (4)采用定长数据块记录格式，直接寻址的最小单位是什么？寻址命令中如何表示磁盘地址？
- (5)如果某文件长度超过一个磁道的容量，应将它记录在同一个存储面上，还是记录在同一个柱面上？

磁盘组有6片磁盘，每片有两个记录面，最上最下两个面不用。存储区域内径22cm，外径33cm，道密度为40道/cm，内层位密度400位/cm，转速6000转/分。问：

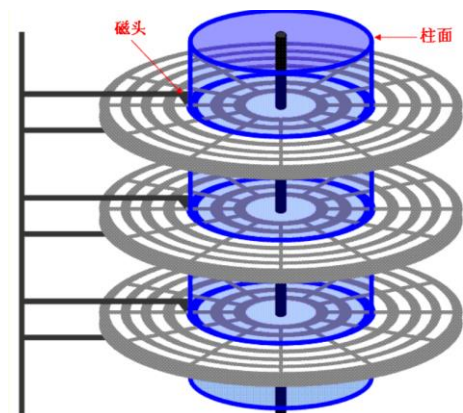


(1)共有多少柱面？

有效存储区域 = $16.5 \text{ (} 33/2 \text{)} - 11 \text{ (} 22/2 \text{)} = 5.5(\text{cm})$

道密度 = 40道/cm

每一记录面共有 $40 \times 5.5 = 220$ 道，共有220柱面



(2)盘组总存储容量是多少？

内层磁道周长为 $2\pi R = 2 \times 3.14 \times 11 = 69.08(\text{cm})$

每道信息量 = $400 \text{ 位/cm} \times 69.08 \text{ cm} = 27632 \text{ 位} = 3454 \text{ B}$

每面信息量 = $3454 \text{ B} \times 220 = 759880 \text{ B}$

盘组总容量 = $759880 \text{ B} \times 10 \text{ (} 12-2 \text{)} = 7598800 \text{ B}$



磁盘组有6片磁盘，每片有两个记录面，最上最下两个面不用。存储区域内径22cm，外径33cm，道密度为40道/cm，内层位密度400位/cm，转速6000转/分。问：

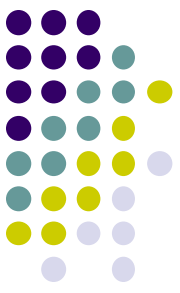
(3)数据传输率多少？

磁盘数据传输率 $Dr=rN$

N 为每条磁道容量， $N=3454B$

r 为磁盘转速， $r=6000\text{转}/60\text{秒}=100\text{转}/\text{秒}$

$Dr=rN=100\times 3454B=345400B/s$



【例1】磁盘组有6片磁盘，每片有两个记录面，最上最下两个面不用。存储区域内径22cm，外径33cm，道密度为40道/cm，内层位密度400位/cm，转速6000转/分。问：

(4)采用定长数据块记录格式，直接寻址的最小单位是什么？寻址命令中如何表示磁盘地址？

采用定长数据块格式，直接寻址的最小单位是一个记录块(一个扇区)，每个记录块记录固定字节数目的信息，在定长记录的数据块中，活动头磁盘组的编址方式可用如下格式：

台号	柱号 (磁道) 号	盘面号/磁头号	扇区号
----	-----------	---------	-----

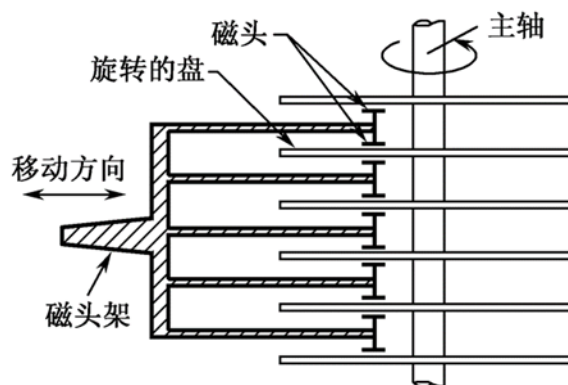
此地址格式表示有4台磁盘 (2位)，每台有16个记录面/盘面 (4位)，每面有256个磁道 (8位)，每道有16个扇区 (4位)。

磁盘组有6片磁盘，每片有两个记录面，最上最下两个面不用。存储区域内径22cm，外径33cm，道密度为40道/cm，内层位密度400位/cm，转速6000转/分。问：



(5)如果某文件长度超过一个磁道的容量，应将它记录在同一个存储面上，还是记录在同一个柱面上？

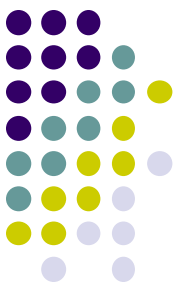
如果某文件长度超过一个磁道的容量，应将它记录在同一个柱面上，因为不需要重新找道，数据读/写速度快。





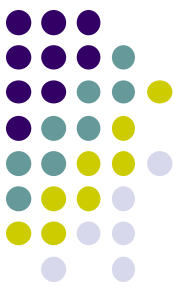
期末复习

- 第五章 中央处理器
- 第六章 总线系统
- 第七章 外存与I/O设备
 - 硬盘相关指标计算
 - 显示器相关指标
- 第八章 输入输出系统



显示设备的有关概念

- **分辨率**
 - 显示器所能显示的像素个数 (1920*1080)
 - 像素越密, 分辨率越高, 图象越清晰
 - 取决于显像管荧光粉的粒度, 荧光屏的尺寸以及CRT电子束的聚焦能力
- **灰度级**
 - 像素点的亮暗差别 (黑白) 颜色的不同 (彩色)
 - 灰度级越多, 图象层次越清楚越逼真
 - 取决于每个像素对应的刷新存储器的位数以及CRT本身的性能



显示设备的有关概念

- **刷新**
 - 电子束打在荧光粉上引起发光只能维持几十毫秒的时间
 - 让电子束反复不断地扫描整个屏幕，该过程称为刷新
 - 刷新频率越高，显示越没有闪烁；50Hz（至少）
- **刷新存储器（视频存储器、显存）**
 - 为刷新提供信号的存储器，容量取决于分辨率和灰度级
 - 如 1024×768 ，32位真彩色，需要 $1024 \times 768 \times 32 / 8B = 3MB$ ，其存取周期必须满足刷新频率的要求。
 - 设上例中要求刷新频率为75Hz，则刷新存储器的总带宽为 $75 \times 3MBPS = 225MBPS$ （Mega Bytes per Second）



显示例题1

某显示器分辨率为 $800*600$ ，灰度级为256色，计算为达到这一显示效果缓存大小需要多少字节

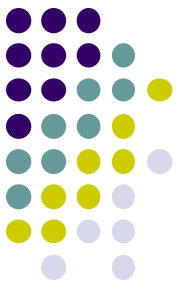
解：

灰度级256：8bit/像素

像素数 $800*600$

总大小：

$$800*600*1B=480000B$$



显示例题2

某光栅扫描显示器的分辨率为 1280×1024 ，帧频为 75Hz （逐行扫描），颜色为真彩色（24位），显示存储器为双端口存储器。回归和消隐时间忽略。

问：

- (1) 每一像素允许的读出时间是多少？
- (2) 刷新带宽是多少？



某光栅扫描显示器的分辨率为 1280×1024 ，帧频为75Hz（逐行扫描），颜色为真彩色（24位），显示存储器为双端口存储器。回归和消隐时间忽略。
问：

(1) 每一像素允许的读出时间是多少？

扫描1次时间： $1/75$

扫描像素时间： $1/75 / (1280 \times 1024) = 10.2\text{ns}$

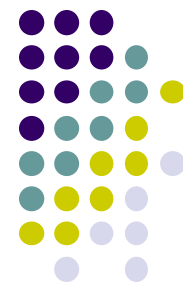
(2) 刷新带宽是多少？

刷新带宽 = 分辨率 * 颜色（24bit=3B） * 刷新率
 $= 1280 \times 1024 \times 3 \times 75 = 294912000\text{B/s}$

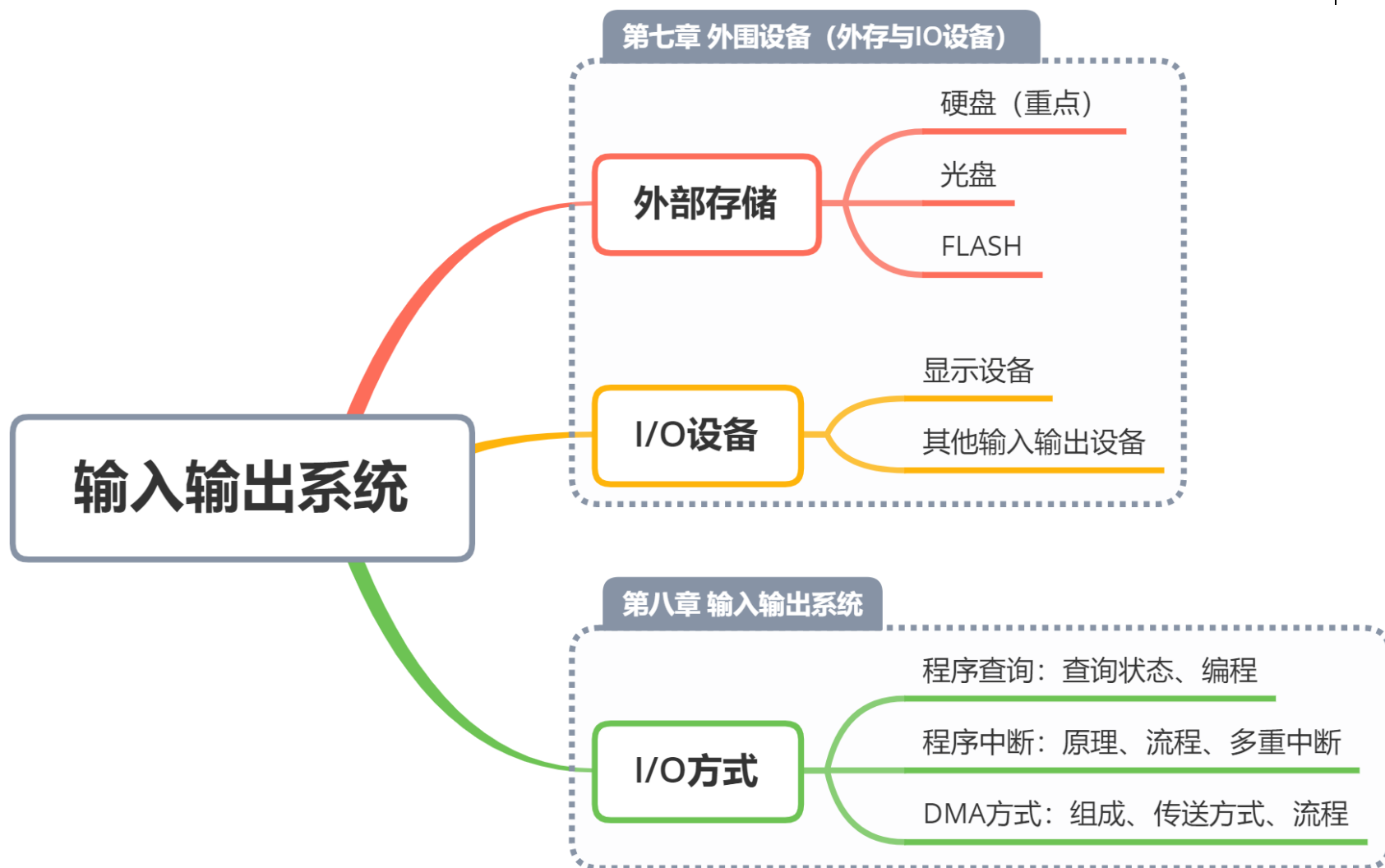


期末复习

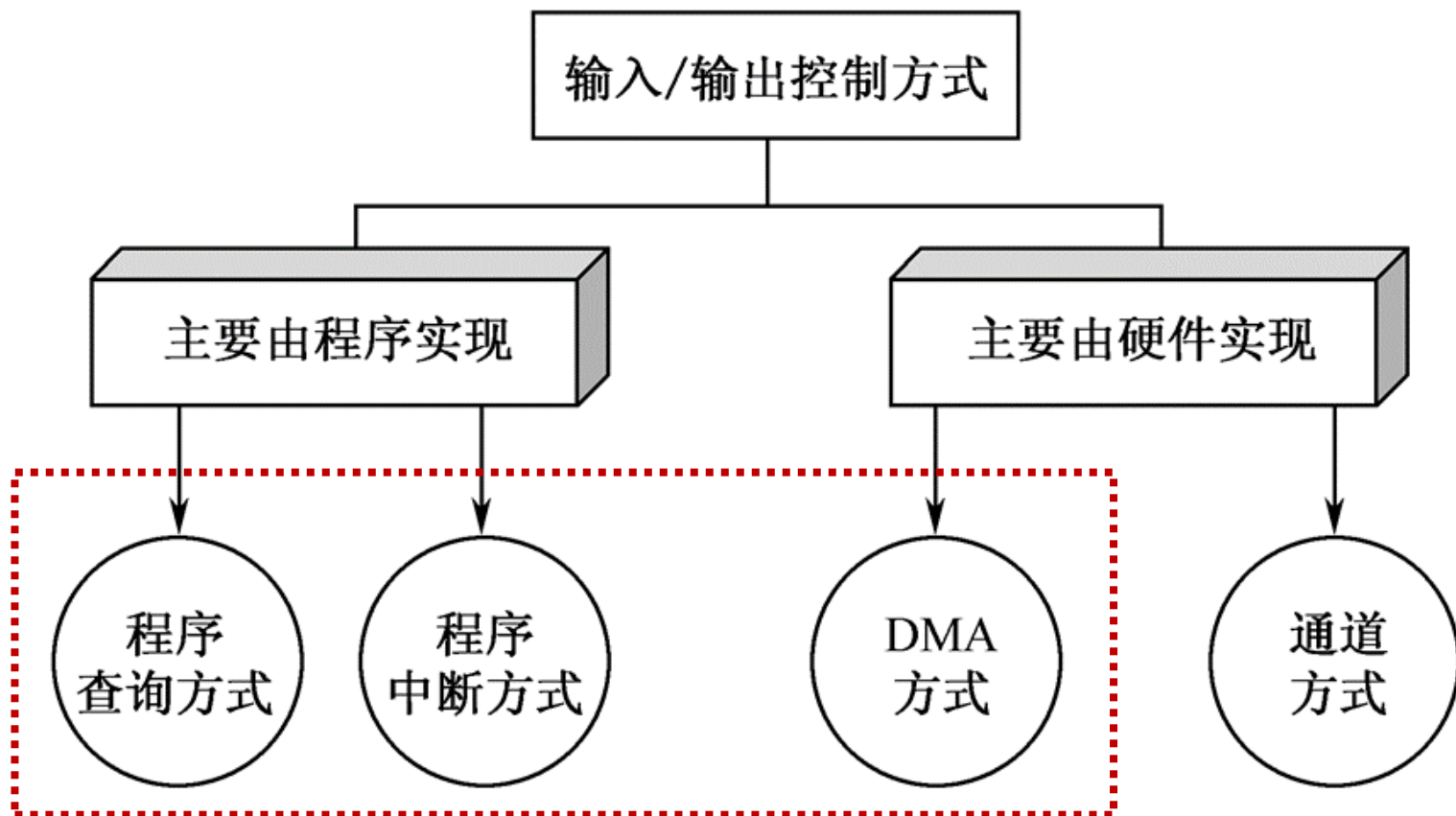
- 第五章 中央处理器
- 第六章 总线系统
- 第七章 外存与I/O设备
- 第八章 输入输出系统



输入输出系统内容



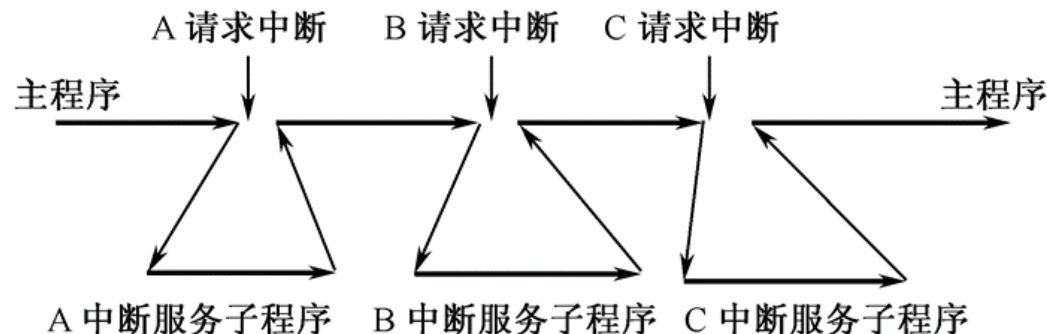
输入输出方式总结





中断的基本概念

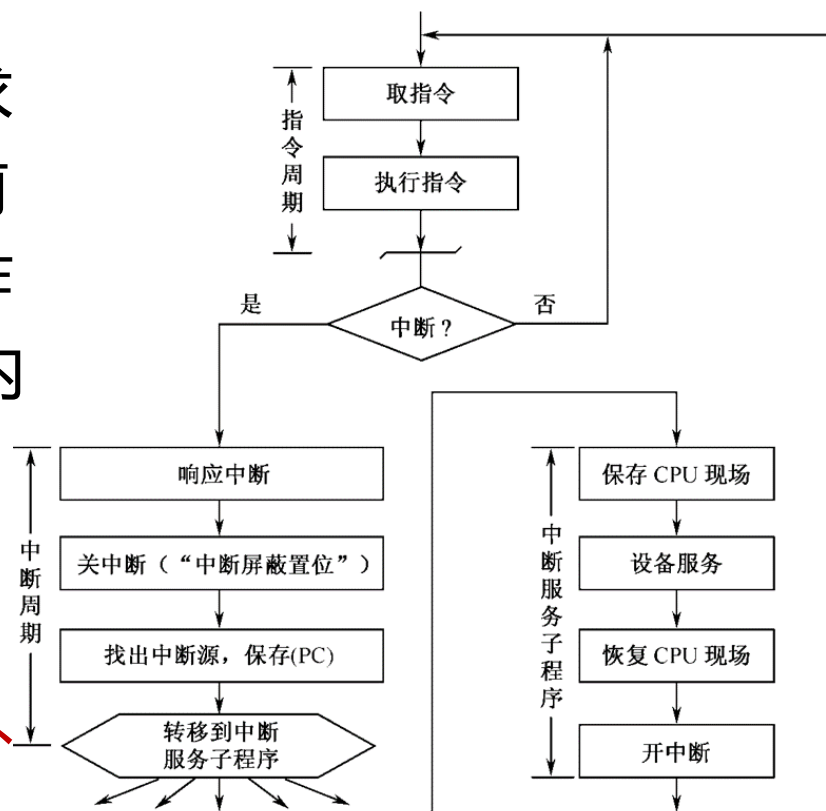
- **中断** (Interrupt) 是指CPU暂时中止现行程序，转去处理随机发生的紧急事件，处理完后自动返回原程序的功能和技术。
- **中断系统**是计算机实现中断功能的软硬件总称。一般在CPU中设置中断机构，在外设接口中设置中断控制器，在软件上设置相应的中断服务程序。



中断处理基本流程



- 中断处理过程注意几个问题：
 - **响应中断时机**：外界中断请求时随机的，但CPU只有在当前指令执行完毕后，转至公操作
 - **断点保护**问题（PC，寄存器内容和状态的保存）
 - **中断屏蔽**：开中断和关中断
 - 中断是**软硬件结合**实现的
 - 中断分为**内中断（异常）**和**外中断**

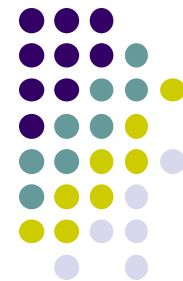




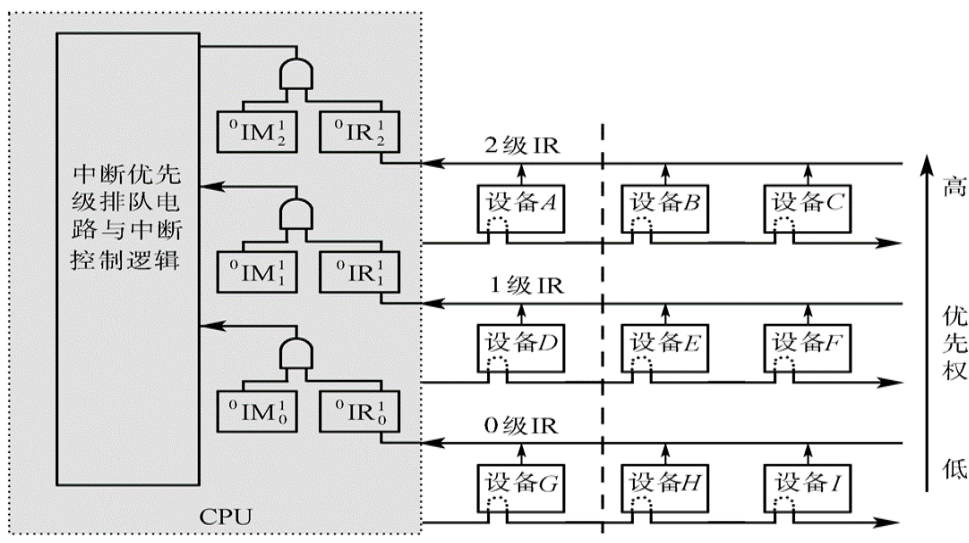
中断向量号

- 中断向量
 - 当CPU响应中断时，由硬件直接产生一个固定的地址（即向量地址）
 - 由向量地址指出每个中断源设备的中断服务程序入口，这种方法通常称为向量中断
 - 每个中断源分别有一个中断服务程序，而每个中断服务程序又有自己的向量地址
- 当CPU识别出某中断源时，由硬件直接产生一个与该中断源对应的向量地址，很快便引入中断服务程序

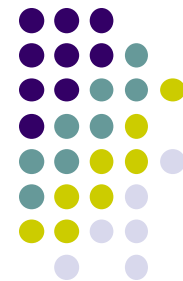
多级中断例题



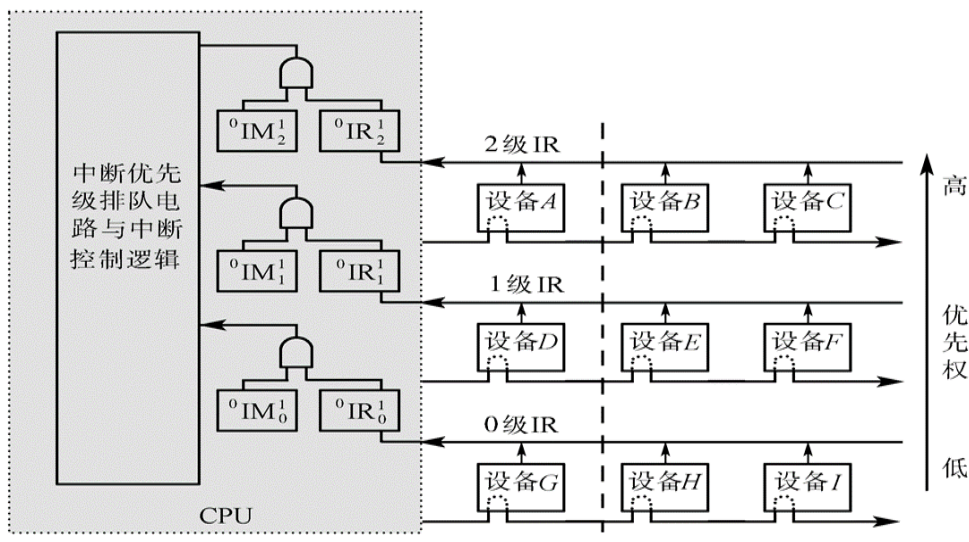
- 二维中断系统如图所示，回答如下问题：
 - 在中断情况下，CPU和设备优先级排序情况
 - CPU现执行设备B的中断服务程序，IM2-IM0的状态是？如果执行设备D的中断服务程序，IM2-IM0状态是？
 - IM2-IM0能否实现对具体单个设备进行屏蔽，若想实现，应采用什么方法
 - 若设备C提出中断请求，CPU立即响应，应如何调整



多级中断例题



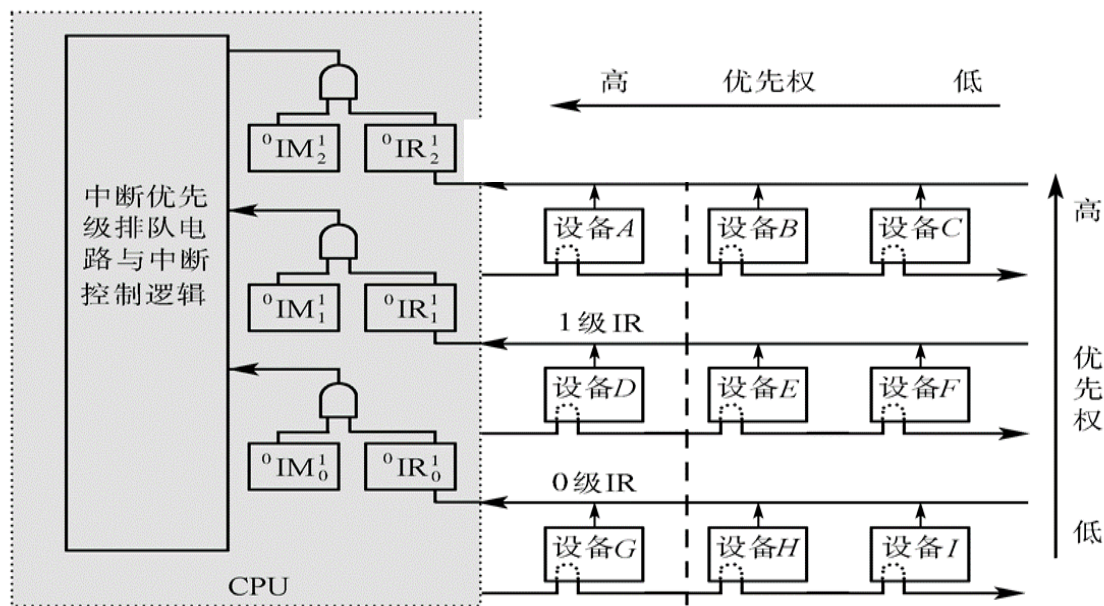
- 二维中断系统如图所示，回答如下问题：
 - 在中断情况下，CPU和设备优先级排序情况
CPU优先级最低，设备优先级为A-B-C-D-E-F-G-H-I
 - CPU现执行设备B的中断服务程序，IM2-IM0的状态是？如果执行设备D的中断服务程序，IM2-IM0状态是？
设备B（最高优先级），IM0=1、IM1=1、IM2=1
设备D（次高优先级），IM0=1、IM1=1、IM2=0



多级中断例题



- 二维中断系统如图所示，回答如下问题：
 - IM2-IM0能否实现对具体单个设备进行屏蔽，若想实现，应采用什么方法
不可以，可通过程序设置各设备的接口EI（中断允许）标志
 - 若设备C提出中断请求，CPU立即响应，应如何调整
需增加第三级IR，仅将设备C至于第三级IR上，IM3优先级最高





DMA方式基本概念

- 直接存储器访问 (Direct Memory Address) DMA方式是为了在主存储器与I/O设备间高速交换批量数据而设置的
- 基本思想
 - 通过硬件控制实现主存与I/O设备间的直接数据传送，在传送过程中无需CPU的干预，数据传送是在DMA控制器控制下进行的
- 优缺点
 - 数据传送速度很高，传送速率仅受到内存限制
 - 与中断方式相比，需要更多的硬件
 - DMA方式适用于内存和高速外围设备之间大批数据交换的场所

DMA与CPU的竞争



- DMAC和CPU均具有主模块功能（Master-Mode），复用总线，且可能同时对存储器进行读写
- 问题：争用总线与存储器的使用/读写权限
- 传送分配方式
 - 停止CPU访问内存
 - 周期挪用
 - DMA与CPU交替访内

