

# 触发器

- JK触发器：下降沿有效 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$
- D触发器：上升沿有效 $Q^{n+1} = D$
- T触发器 $Q^{n+1} = T \oplus Q$

# 分析

1. 分析电路的组成
2. 列出输出方程
3. 列出驱动方程（JK/D）
4. 利用驱动方程写出状态方程（ $Q^{n+1}$ ）
5. 作出状态转换表、状态转换图
6. 说明逻辑功能

# 设计

1. 根据设计要求，作出状态转换图、状态转换表（确定输入变量和输出变量）
2. 状态简化，即将输出与次态完全相同的状态合并，消除冗余状态
3. 确定相邻状态
  - i. 次态相同，现态编码相邻
  - ii. 同一现态，次态编码相邻
  - iii. 输出相同，现态编码相邻
  - iv. 出现次数最多的状态分配逻辑0
4. 状态编码，即为每一个状态分配一个二进制码（相邻状态尽量少变换码）从而获得一个二进制状态表
5. 写出状态方程、输出方程
6. 选定触发器（JK/D），利用状态方程写出激励方程
7. 通过触发器与门电路实现逻辑电路

# 器件

- 计数器：
  - 分析：
    - a. 控制端逻辑表达式

- b. 状态转移表分析状态转移过程
    - c. 检查可靠性
  - 设计（触发器实现）：
    - a. 根据要求确定计数器的模和所需的触发器个数与类型（类型随意）
    - b. 作出状态转移表、状态转移图
    - c. 根据所选出发器的激励表，确定各个触发器在状态转换时对控制端的电平要求
    - d. 写出控制端的逻辑表达式
    - e. 作出逻辑电路图
    - f. 检查自启动性
  - 集成组件实现：CLR清零端，低电平有效，用于确定计数器的模
- 寄存器