

2G/3G модем

1. Максимальні розміри (ДхШ) 60х40 мм.
2. Розташування двох отворів для кріплення може бути змінено (головне щоб були).
3. Резистор R1 має бути розташований так щоб була змога його легко випаяти не задівши інші елементи.
4. Діоди ESD захисту (VD1,VD2,VD5,VD6) повинні розташовуватись на мінімальній відстані від роз'єму, який вони захищають.

Роз'єми

5. Роз'єми J1,J2,J4,J5,J6 DIP-овські.
6. Роз'єми J1 і J2 можуть розташовуватись на будь-якій зручній для вас відстані один від одного.
7. Світлодіоди VD3,VD4 мають бути розташовані поруч один з одним (бажано десь скраю).
8. Test points (J9,J10,J11,J12)— де завгодно.
9. Роз'єм J3 — призначений для перезавантаження модема (роз'єм не буде запаюватись, потрібна лише металізація).
10. Роз'єм J6 — призначений для увімкнення модема (роз'єм не буде запаюватись, потрібна лише металізація).

Роз'єм MicroSIM

11. Конденсатори C3,C4,C8-C11 поближче до роз'єму SIM карти.
12. Роз'єм MicroSIM — сторона з якої буде засовуватись SIMка має бути 0,5...1мм від краю плати.
13. Діод VD1 — поближче до роз'єму SIM карти.

Шини HSIC, I2C, USB

14. Сигнали HSIC_STRB і HSIC_DATA мають бути розділені землею, і земля повинна бути під ними без пропусків (аналогічно як і вивід антени в модемах EMB250) . (якщо будуть складнощі з цією шиною, від неї можна відмовити, вона не є сильно потрібною).
- Знизу зображено рекомендації шини HSIC.



Tegra K1 Embedded Platform
Design Guide

Table 62. HSIC_REXT Routing Requirements

Parameter	Requirement	Units	Note
Reference plane	GND if possible		See note 1
Trace Impedance	50	Ω	$\pm 15\%$
Max Trace Delay	140	ps	Include Package & PCB routing delays
Keep HSIC related traces including HSIC_REXT away from other signal traces or unrelated power traces/areas or power supply components			

- Note:
1. If stack-up makes GND reference difficult, keep routing distance very short & have GND areas next to HSIC_REXT trace.
 2. Use reference platform layout as a guideline for routing & location of HSIC_REXT resistor.
 3. Avoid routing signal traces directly below and in parallel with these critical rails.

HSIC Design Guidelines

Table 61. HSIC Interface Signal Routing Requirements

Parameter	Requirement	Units	Note
Max Frequency (High Speed) Bit Rate / UI period / Frequency	480 / 2.083 / 240	Mbps / ns / MHz	
Input Buffer Loading	1 - 5	pF	
Reference plane	GND		
Max PCB breakout delay	17	ps	
Trace Impedance	50	Ω	$\pm 15\%$
Via proximity (Signal to reference)	< 3.8 (24)	mm (ps)	See Note 1
Trace spacing	Microstrip / Stripline	4x / 3x	dielectric
Trace Delay	Min / Max	133 / 667	ps
Max Trace Delay Skew between HSIC[2:1]_STROBE & DATA	15	ps	See Note 2

Note: 1. Up to 4 signal vias can share a single GND return via
2. Include Package & PCB routing delays for Max trace delays and max trace delay skew parameters.

15. Сигнали I2C_CLK і I2C_SDA мають бути розділені землею, і земля повинна бути під ними без пропусків (аналогічно як і вивід антени в модемах EMB250) . (якщо будуть складнощі з цією шиною, то прокласти як звичайну цифровий провідник).

Рекомендації Philips:

This is what Philips I2C Spec have to say

17.3 Wiring pattern of the bus lines

In general, the wiring must be so chosen that crosstalk and interference to/from the bus lines is minimized. The bus lines are most susceptible to crosstalk and interference at the HIGH level because of the relatively high impedance of the pull-up devices.

If the length of the bus lines on a PCB or ribbon cable exceeds 10 cm and includes the VDD and VSS lines, the wiring pattern must be:

SDA
VDD
VSS
SCL

If only the VSS line is included, the wiring pattern must be:

SDA
VSS
SCL

These wiring patterns also result in identical capacitive loads for the SDA and SCL lines. The VSS and VDD lines can be omitted if a PCB with a VSS and/or VDD layer is used.

If the bus lines are twisted-pairs, each bus line must be twisted with a VSS return. Alternatively, the SCL line can be twisted with a VSS return, and the SDA line twisted with a VDD return. In the latter case, capacitors must be used to decouple the VDD line to the VSS line at both ends of the twisted pairs.

If the bus lines are shielded (shield connected to VSS), interference will be minimized. However, the shielded cable must have low capacitive coupling between the SDA and SCL lines to minimize crosstalk.

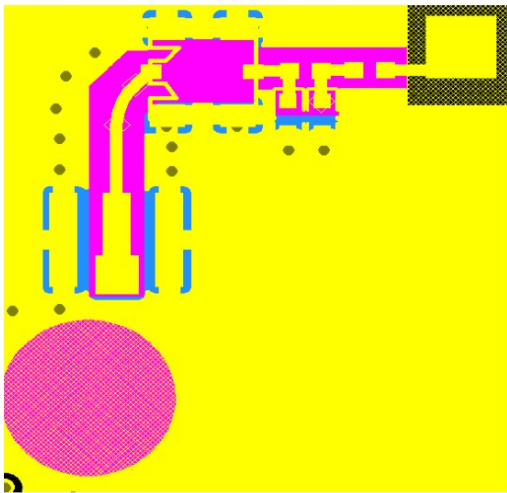
16. USB_D+, USB_D- (диф. пара) повинні повторювати геометрію один одного, земля повинна бути побокам і підними без пропусків

Анени (ufl роз'єм)

17. GPS/GSM-антена. Рекомендацій є від SierraWireless (AirPrime_HL_Series_Customer_Process_Guidelines_Rev6_0_HL8548_PCB_footprint.pdf сторінка 13) і від SIMCOMa.

SIMCom
A company of GSM Tech

RF Interface

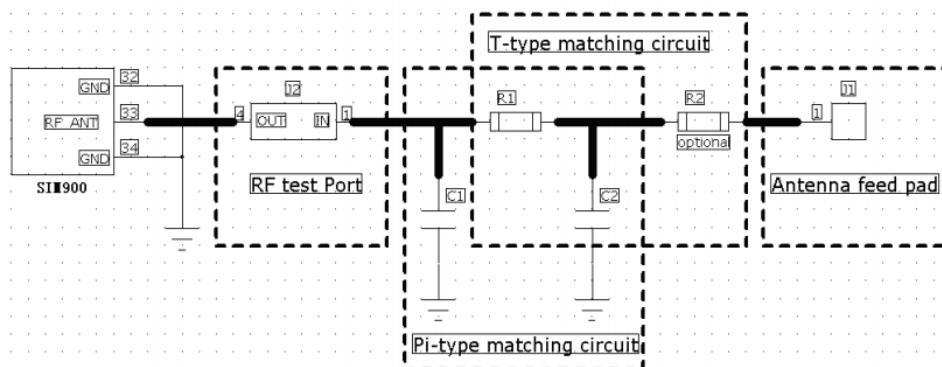


SIMCom All right Reserved

15

RF interface

■ RF_ANT



Note: Traces in BOLD type must be 50ohm impedance controlled

SIMCom All right Reserved

14

18. Схема Antenna detection. L1 має бути розташований поближче до виводу GSM антени. Інша частина схеми у будь якому для вас зручному місці. (взято з AirPrime_HL_Series_Development_Kit_User_Guide_Rev5_0.pdf))

