

1. An embedded SRAM contains 512 words with 32-bit/word.

(a) Plan A: Draw the memory array architecture like that shown in Fig.12.2(a) of class note page 2. **Mark necessary inputs, outputs, and signals** (20%)

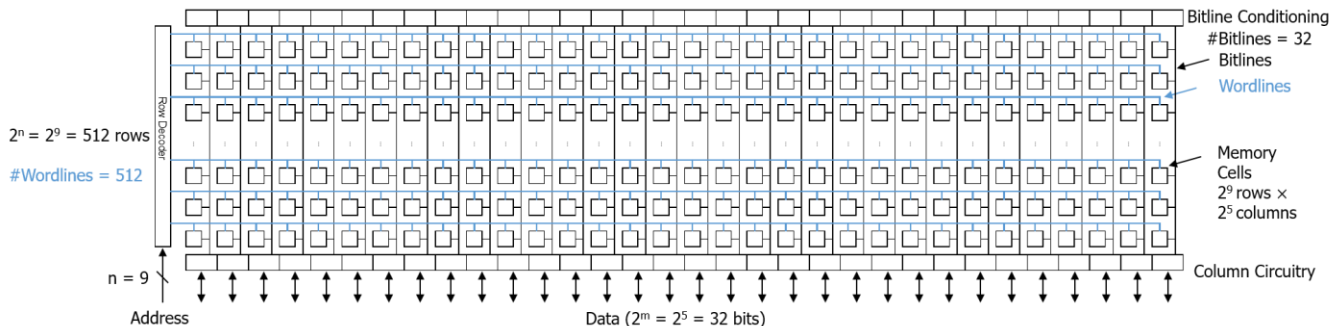


Figure 1. Design A

Plan A 有 512 words，每一個 word 32 bit，所以需要 512 條 wordlines 和 32 條 bitlines。因為總共有 512 個 wordlines，所以 row decoder 的 address 有 9 bits ( $2^9 = 512$ )，data 則為 32 bits，memory cell 總共有  $2^9 \times 2^5 = 2^{14}$  個。

(b) Plan B: If it is physically arranged in a square fashion like that shown in Fig.12.2 (b) with proper k address bits used in the column decoder, draw the memory architecture and block diagram. Indicate the number of inputs to each column multiplexer. Mark necessary inputs, outputs, and signals (20%)

Column decoder 有 k address bits，為了讓 memory 盡量擺成正方形，也就是要讓 #row = #columns ( $2^{n-k} = 2^{5+k}$ )，因此設計讓 column decoder 的 k = 2，使 row =  $2^7$ 、column =  $2^7$ ，memory 更接近正方形的架構。

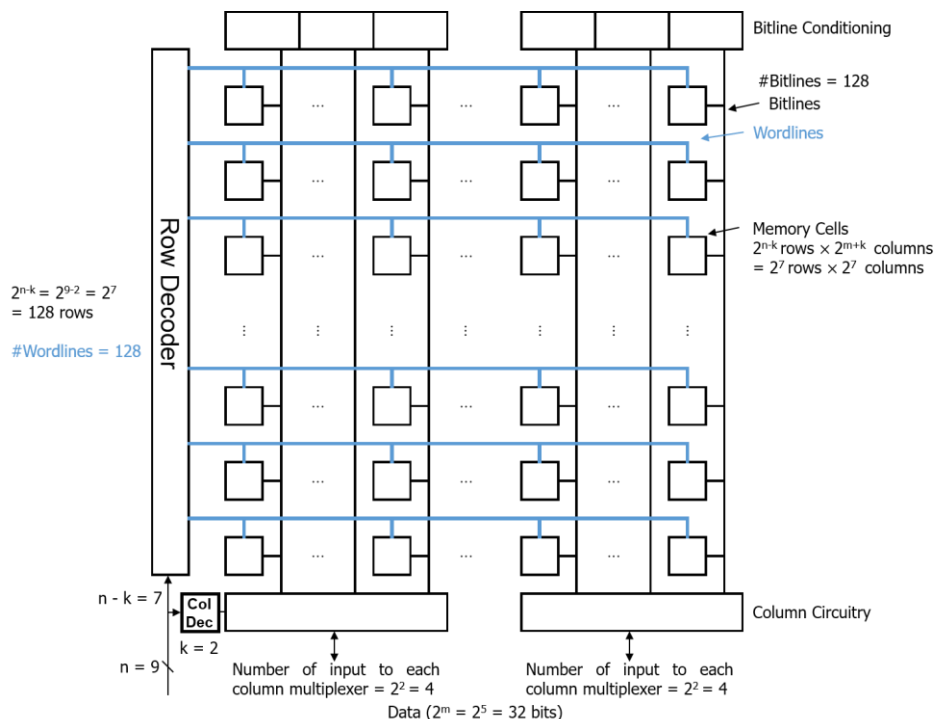


Figure 2. Design B

(c) List in table form for Design A and B of the following items: (10%)

- (i) The number of wordlines and the number of memory cells in a wordline.
- (ii) The number of bitlines and the number of memory cells in a bitline.

Table1. The number of wordlines and the number of memory cells in a wordline.

	Design A	Design B
# wordline	$2^9 = 512$	$2^7 = 128$
# memory cell in a wordline	$2^5 = 32$	$2^7 = 128$

Table2. The number of bitlines and the number of memory cells in a bitline.

	Design A	Design B
# bitline	$2^5 = 32$	$2^7 = 128$
# memory cell in a bitline	$2^9 = 512$	$2^7 = 128$

(d) Which Plan is better? Compare from Area (the row/column decoder size), Speed (wordline and bitline loading), and Power point of view. You shall describe the factors and facts (30%)

(1) Area

因為 Plan A 與 Plan B 所使用的 memory cell 數量相同，因此可以透過比較 decoder 的 area 來決定 Plan A 和 Plan B 哪一個面積比較小。其中，基本的 n-bit input 的 decoder 會需要 n 個 inverter 與  $2^n$  個 n-input AND。

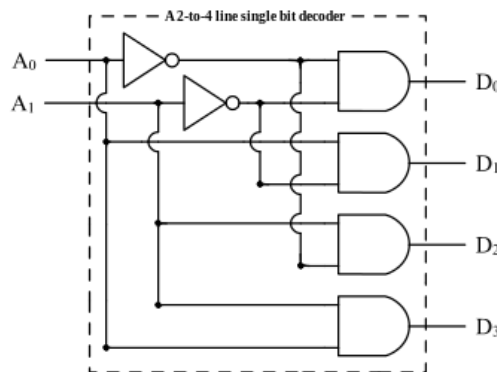


Figure 3. A 2-to-4 decoder

Table3. The gate count of decoder.

	Plan A	Plan B
9-bit input row decoder	# inverters = 9 # 9-bit input AND = 512	-
7-bit input row decoder	-	# inverters = 7 # 7-input AND = 128
2-bit input column decoder	-	# inverters = 2 # 2-input AND = 4

藉由觀察 decoder 所使用的 gate 可以發現 Plan B 的面積會比 Plan A 的面積還要小。

(2) Speed

Table4. The wordine loading and bitline loading.

	Plan A	Plan B
wordline loading (# memory cell in a wordline)	32	128
bitline loading (# memory cell in a bitline)	512	128

可以觀察到 Plan A 的 bitline loading 比 Plan B 的 bitline loading 多了非常多，因此 Plan A 的 bitline delay 會比 Plan B 大許多。另外，Plan A 由於結構的關係，bitline wire 較長，所以電容也比較大，RC delay 大。最後，考慮 critical path 的話，Plan A 的 critical path 也比 Plan B 來的長。由上述的討論可知，**Plan B 的速度會比 Plan A 的速度還要快。**

### (3) Power

對於 decoder 來說，Plan A 的 gate count 大於 Plan B，所以 Plan A 的面積與電容會比 Plan B 還大。因此，在相同的  $V_{dd}$  與 clock frequency 的條件下，Plan A 的 dynamic power 中的 switching power ( $P_{sw} = CV^2f$ ) 會比較大。另外，loading 也會影響 power，雖然 Plan A 的 wordline loading 相較於 Plan B 來的小，但是 Plan A 的 bitline loading 相較於 Plan B 還要大許多，而且 wire 也長很多，因此電容比較大，switching power 也比較大。由上述的討論可知，**Plan B 消耗的 power 會比 Plan A 的還要小。**

總結上述三點(Area, Speed, Power)，Plan B 在各項表現都比 Plan A 還要好。

- (e) Propose using hierarchical bitlines to improve performance. You shall describe the circuits and explain the factor and facts about area, power and delay time. (20%)

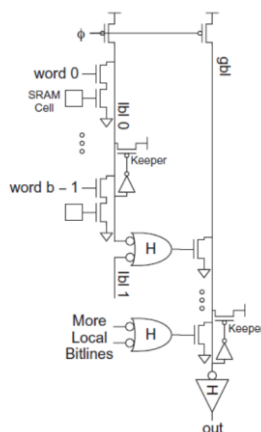


Figure 4. Hierarchical bitlines

Bitline delay 會與 bitline loading 有關，會與接到 bitline 上的 word 數量呈正比。如果是比較大的 memory 就可以考慮使用 hierarchical bitline 的設計來降低 delay，如 Figure 4 所示。上方的 PMOS 會先 pre-charge，小群的 memory cells 會接在 local bitline (lbl) 上，而成對的 lbl 會與 HI-skew NAND 結合來 pull down global bitline (gbl)，使用 HI-skew NAND 的原因是希望使 1→0 的 transition 的速度更快(原本 pre-charge 為 1)，而 lbl 可以視為 unfooted 的 domino multiplexer。中間會加上 Keeper 來補充電源避免 charge sharing，而 Keeper 的數量取決於 leakage 與 loading 之間的 trade-off。

**Area:** 因為拆成不同的 group，需要多加 HI-skew NAND、Keeper 等電路，所以 area 較大。

**Power:** 因為每個 group 都有自己的 lbl，不用對整個 gbl 充放電，因此 **power 較小**。

**Delay time:** 因為拆成不同的 group，使 bitline loading 減輕，因此 delay 較小。