

## 2023 Spring NYCU Digital Integrated Circuits – Homework1

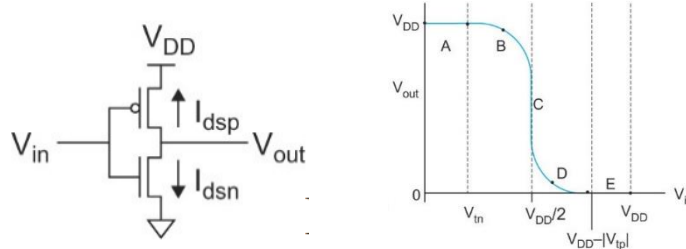
IEE 陳冠瑋 310510221 / Mar. 02, 2023

Using 32 nm CMOS devices with  $V_{DD} = 0.9$  V,  $W_{min} = 64$  nm,  $L_{min} = 32$  nm with resolution of 1nm.

### (1) Inverter

- (a) Keep  $L$  equal  $L_{min}$ , design the  $W$  of each device (in table form) using medium  $V_t$  and high  $V_t$  (two cases) such that the logic threshold of the inverter is at  $0.5 V_{DD}$ . Discuss your design procedures and the way you choose your MOS dimension.

設計 inverter (medium  $V_t$  & high  $V_t$ ) 的 logic threshold 在  $0.5 V_{DD} = 0.45$  V



在  $V_{in} = V_{DD}/2 = 0.45$  V 時，因為  $V_{DS} \geq V_{GS} - V_t$  ( $V_{in} - V_{tn} < V_{out} < V_{in} - V_{tp}$ )，NMOS 與 PMOS 都在 saturation region (region C)。

$$I_{dsn} = \frac{1}{2} \beta_n (V_{in} - V_{tn})^2 \quad (1.1)$$

$$I_{dsp} = -\frac{1}{2} \beta_p (V_{in} - V_{DD} - V_{tp})^2 \quad (1.2)$$

$$I_{dsn} = -I_{dsp} \quad (1.3)$$

從 bulk\_32nm.l 製程檔中可以看到 medium  $V_t$  (svt) 與 high  $V_t$  (hvt) MOS 的相關製程參數。

CMOS Type	Transistor	$V_{th0}$ [V]	Mobility $\mu$ [cm <sup>2</sup> /(V·s)]	$\epsilon_{ox}$ [pF/m]	$t_{ox}$ [m]
Medium $V_t$	NMOS	0.40000	0.050	3.9	1.15e-009
	PMOS	-0.40000	0.014	3.9	1.20e-009
High $V_t$	NMOS	0.49396	0.050	3.9	0.90e-009
	PMOS	-0.49155	0.014	3.9	1.20e-009

將 Eq. 1.1 與 1.2 代入至 1.3 中，可以得到：

$$\frac{1}{2} \beta_n (V_{in} - V_{tn})^2 = \frac{1}{2} \beta_p (V_{in} - V_{DD} - V_{tp})^2 \quad (1.4)$$

固定  $L$  的大小，即  $L_N = L_P = L_{min}$ ，將製程參數、 $V_{in}$  與  $V_{out}$  代入，並化簡 Eq. 1.4：

$$\frac{1}{2} \frac{\mu_n \epsilon_{ox}}{t_{oxn}} \frac{W_n}{L_{min}} (V_{in} - V_{tn})^2 = \frac{1}{2} \frac{\mu_p \epsilon_{ox}}{t_{oxp}} \frac{W_p}{L_{min}} (V_{in} - V_{DD} - V_{tp})^2 \quad (1.5)$$

$$\frac{W_p}{W_n} = \frac{u_n t_{oxp}}{u_p t_{oxn}} \frac{(V_{in} - V_{tn})^2}{(V_{in} - V_{DD} - V_{tp})^2} = \frac{0.050 t_{oxp} (0.45 - V_{tn})^2}{0.014 t_{oxn} (0.45 + V_{tp})^2} \quad (1.6)$$

為了達到面積最小，假設  $W_n = W_{min} = 64$  nm。

## ■ Case 1 – Medium $V_t$

從製程檔可得知 NMOS 的 medium  $V_{th0} = 0.4 \text{ V}$ , PMOS 的 medium  $V_{th0} = -0.4 \text{ V}$ 。假設不考慮  $V_{sb}$ 、body effect 對  $V_{th}$  造成的影響，或是不考慮 Mobility degradation 對電性能力下降的影響，直接將對應的  $V_{th0}$  代入 Eq. 1.6 的  $V_{tn}$  與  $V_{tp}$ ，可以從公式得到  $W_p$  的大小：

$$W_p = \frac{0.050 \cdot 1.20 (0.45 - 0.40000)^2}{0.014 \cdot 1.15 (0.45 - 0.40000)^2} \cdot 64 = 238.51 \text{ nm} \approx 239 \text{ nm} \quad (1.7)$$

(b) Run SPICE to verify your results.

CMOS Type	Transistor	$V_t$	W / L
Medium $V_t$	NMOS	0.40000	64 nm / 32 nm
	PMOS	-0.40000	239 nm / 32 nm

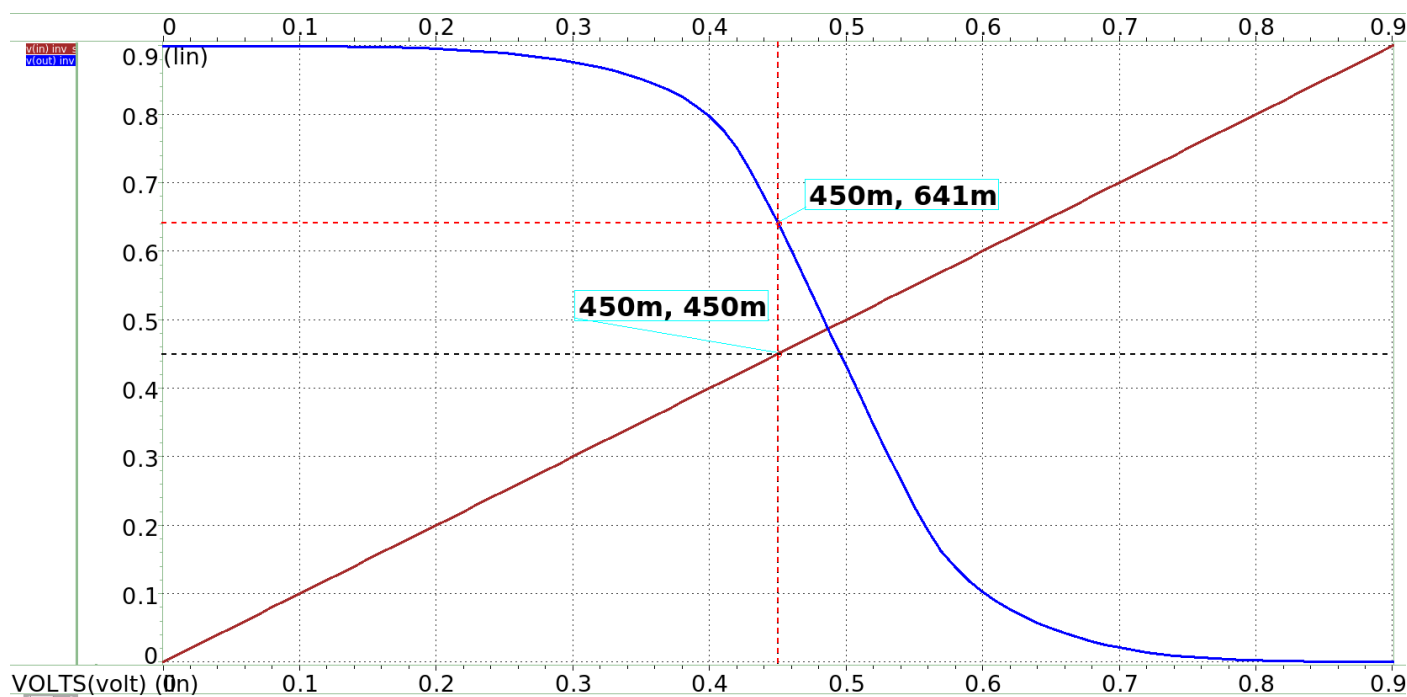


Fig1.1 DC Analysis for  $W_p = 239 \text{ nm}$  (Medium  $V_t$ ),  $V_{in}(V) - V_{out}(V)$

由 Fig 1.1 可以發現，當  $V_{in} = V_{DD} / 2 = 0.45 \text{ V}$  時， $V_{out} = 0.641 \text{ V}$ ，大於理想值  $0.45 \text{ V}$ ，有這樣的誤差可能原因就是如上述所說，忽略了一些非理想的效應，這代表我目前設計的 inverter，由 PMOS dominant  $V_{out}$  的結果，因此還需要再調整  $W_p$ ，讓  $V_{in} = 0.45 \text{ V}$  時， $V_{out}$  更接近  $0.45 \text{ V}$ 。透過 sweep (掃描) simulation 的技巧，可以在不同設計條件下分析電路的行為。因此，我從  $W_p = 229 \text{ nm}$  掃描到  $W_p = W_{min} = 64 \text{ nm}$ ，來尋找最合適的  $W_p$ 。

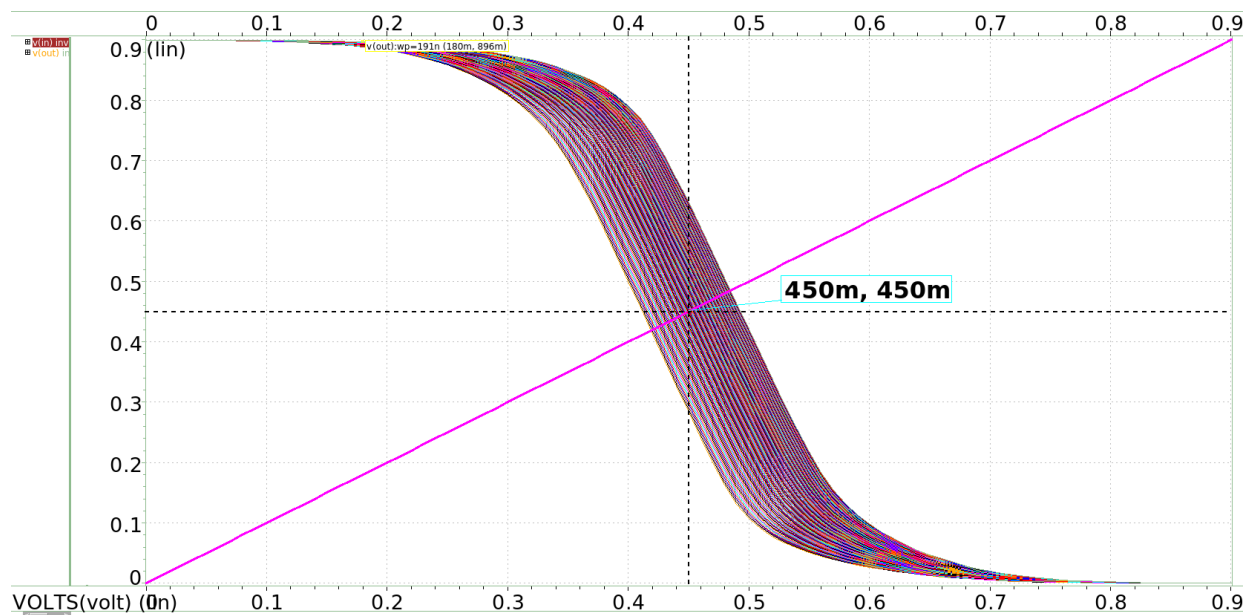


Fig1.2 Seep technique for DC Analysis (Medium  $V_t$ ,  $W_p = 64 \sim 239$  nm),  $V_{in}(V) - V_{out}(V)$

將上圖 Zoom-in，找到  $V_{in} = 0.45$  V,  $V_{out} = 0.45$  V 附近的地方，就可以找到較接近 spec 的曲線。  
如此一來就可以得知  $W_p = 114$  nm。

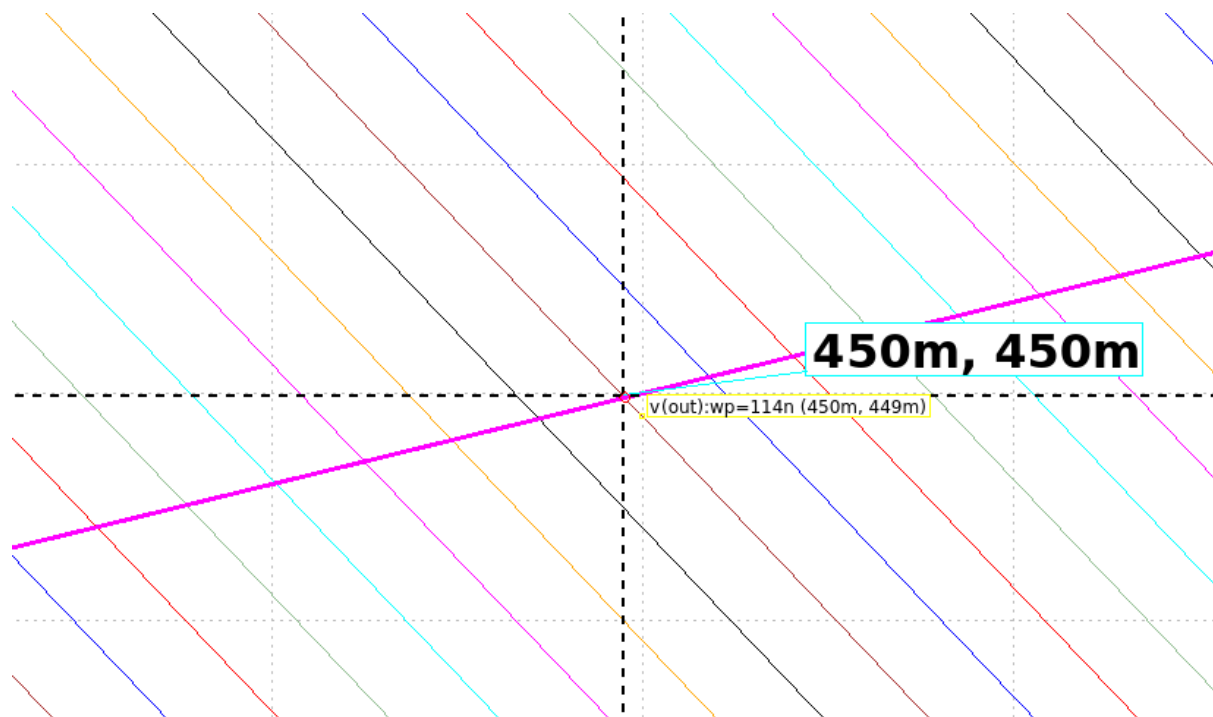


Fig1.3 Find  $W_p = 114$  nm (Medium  $V_t$ ),  $V_{in}(V) - V_{out}(V)$

CMOS Type	Transistor	$V_{th0}$	W / L
Medium $V_t$	NMOS	0.40000 V	64 nm / 32 nm
	PMOS	-0.40000 V	114 nm / 32 nm

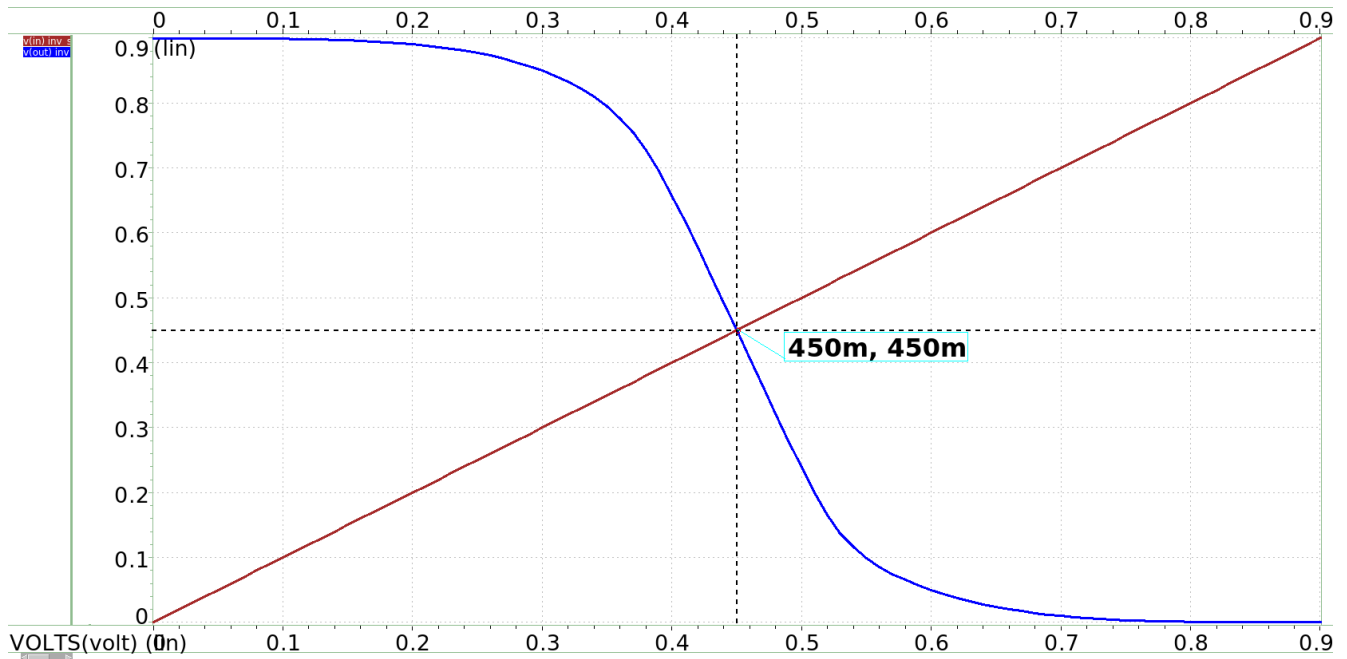


Fig1.4 DC Analysis for  $W_p = 114$  nm (Medium  $V_t$ ),  $V_{in}(V) - V_{out}(V)$

## ■ Case 2 – High $V_t$

有了 Medium  $V_t$  模擬的經驗，High  $V_t$  的模擬一樣可以使用 sweep 的技巧來尋找  $W_p$ 。這邊值得注意的是，因為  $V_{tn} \approx |V_{tp}|$ ，Eq. 1.7 後面分子與分母的平方項可消去，因此可以忽略  $V_t$  些微的不同。

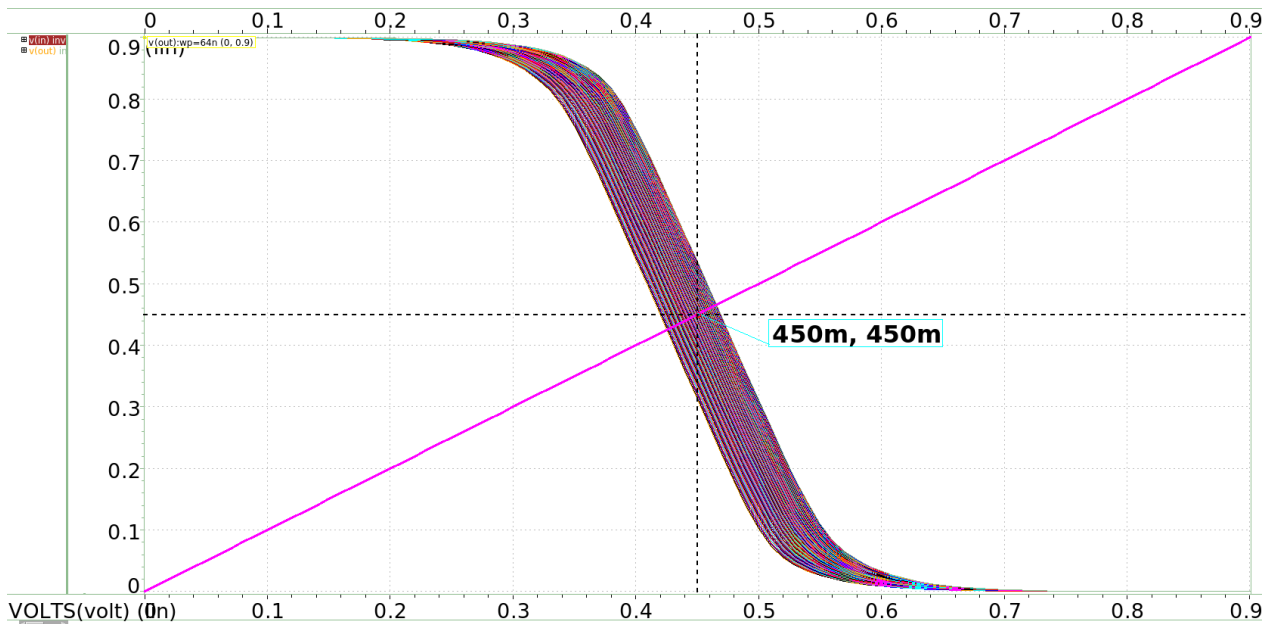


Fig1.5 Sweep technique for DC Analysis (High  $V_t$ ,  $W_p = 64 \sim 239$  nm),  $V_{in}(V) - V_{out}(V)$

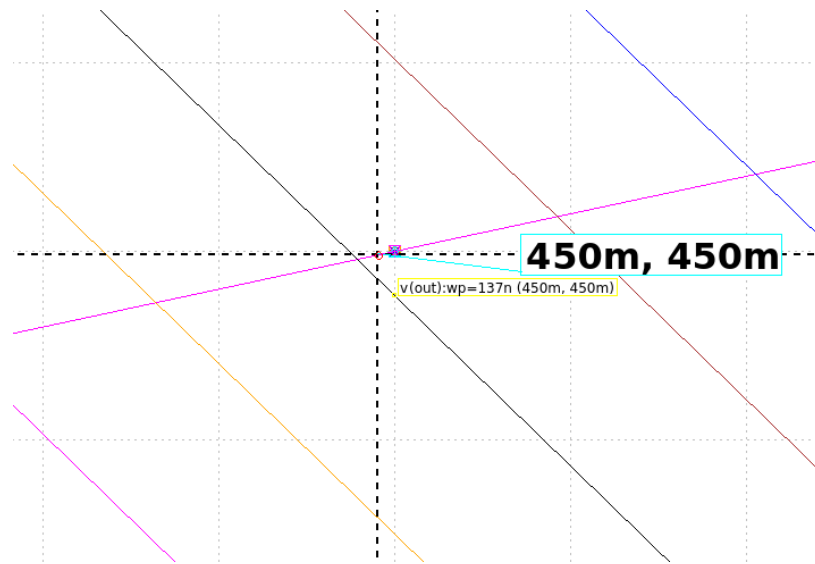


Fig1.6 Find  $W_p = 137 \text{ nm}$  (High  $V_t$ ),  $V_{in}(V) - V_{out}(V)$

CMOS Type	Transistor	$V_{th0}$	W / L
High $V_t$	NMOS	0.40000 V	64 nm / 32 nm
	PMOS	-0.40000 V	137 nm / 32 nm

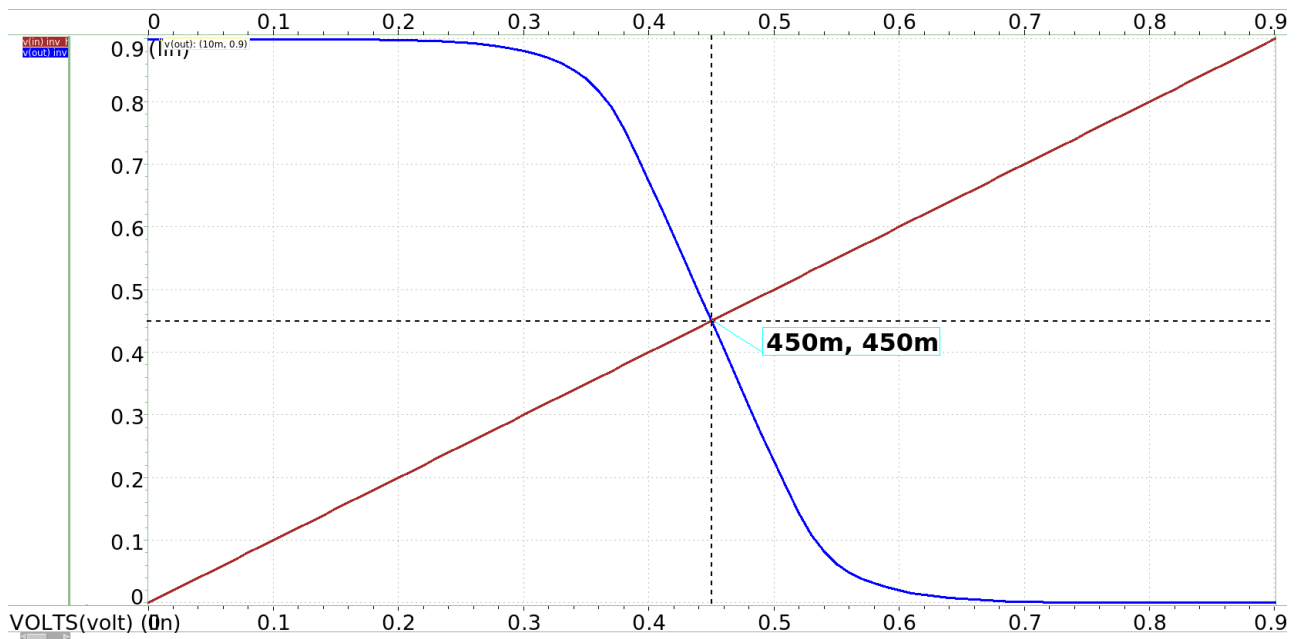


Fig1.7 Sweep technique for DC Analysis (High  $V_t$ ,  $W_p = 64 \sim 239 \text{ nm}$ ),  $V_{in}(V) - V_{out}(V)$

完成全部的模擬後，可以透過.lis 檔來看在本次模擬中  $V_t$  是代多少進去模擬：

CMOS Type	Transistor	$V_{th}$	W / L
Medium $V_t$	NMOS	0.2350316 V	64 nm / 32 nm
	PMOS	-0.3896936 V	114 nm / 32 nm
High $V_t$	NMOS	0.3289761 V	64 nm / 32 nm
	PMOS	-0.4812622 V	137 nm / 32 nm

由 Medium  $V_t$  與 High  $V_t$  的模擬比較可以發現：

- (1) 實際的  $V_{th}$  受到許多非理想的因素影響，像是 channel length modulation, body effect, velocity saturation 或 mobility degradation 等等因素影響，用公式解的方法可能會忽略掉這些作用，導致使用 SPICE 模擬時的結果不如預期，而 SPICE 模擬出來的結果也指是較接近真實的情況，與真實世界的結果也不完全相同。
- (2) 從表格中可以發現，要同時達到  $V_{in} = 0.45\text{ V}$ ,  $V_{out} = 0.45\text{ V}$  的設計，High  $V_t$  的  $W_p$  (137 nm)，會比 Medium  $V_t$  的  $W_p$  (114 nm) 還來的大(x1.2)，對於數位電路來說

High  $V_t$  的優點：

- 需要更高的電壓才會開啟，這樣就可以減少在 leakage current，因此可以降低動態功耗。
- 需要較高的電壓才會開啟，較不容易受到電磁干擾，可以提升電路抗干擾的性能。
- 因為  $V_t$  本身較高，因此對於溫度變化較不敏感，可以提升電路的可靠性。

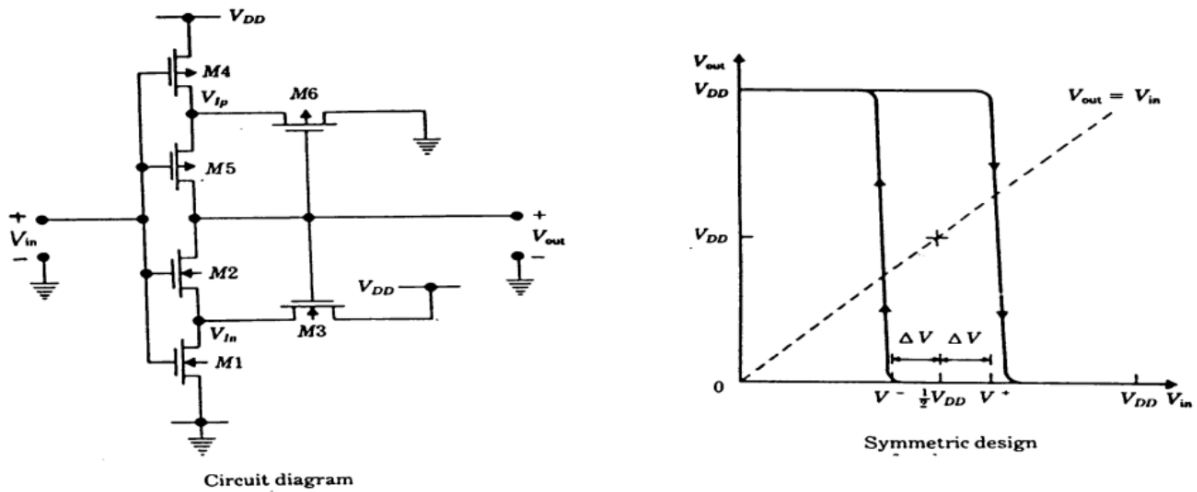
High  $V_t$  的缺點：

- $W$  較大，需要更高的電壓才能開啟，因此速度較慢。
- $V_t$  較大，對於 Power supply 電壓較低的應用就會有限制。
- 生產的技術要求較高，所以成本較高

所以，High  $V_t$  的設計就可能是上述優缺點之間的 trade-off。

- (3) 最後透過 .lis 檔去查看  $V_{th}$  的資訊，也驗證了在這個 inverter 的設計當中 High  $V_t$  的  $V_{th}$  的確比較高。

(2) Design a CMOS Schmitt trigger shown at Fig.1 using medium  $V_t$  such that  $V_{out}=0.5 V_{DD}$  when  $V^+ = 0.46-0.49 V_{DD}$ ,  $V^- = 0.44 \sim 0.41$  and both rising and falling  $\Delta V$  are the same. Using medium  $V_t$  in your design.



**Fig.1 Schmitt Trigger circuit**

(a) Give the W/L of each device and  $V^+$ ,  $V^-$  (in table form) of Fig.1. Discuss your design procedures to determine the size of each transistor.

■ Forward switching properties: Controlled by M1, M2 and M3 (provide voltage feedback)

利用講義 2-17 的公式估算  $V^+$  :

當  $V_{in} = V^+$  時，因為  $V_{T2} > V_{T0}$  (body bias effect)，所以 M1 在 linear region、M3 在 saturation region。

$$I_{ds1} = \frac{\beta_1}{2} [2(V^+ - V_{T1})V_{in} - V_{in}^2] \quad (2.1)$$

$$I_{ds3} = \frac{\beta_3}{2} [V_{DD} - V_{in} - V_{T3}]^2 \quad (2.2)$$

$V^+$  的簡單解析近似解 (simple analytic approximation of  $V^+$ ) :

假設  $V_{T2} = V_{T0n}$  (忽略 body effect)，M1 在 saturation region。

$$I_{ds1} = \frac{\beta_1}{2} (V^+ - V_{T0n})^2 = I_{ds3} = \frac{\beta_3}{2} (V_{DD} - V^+)^2 \quad (2.3)$$

$$V^+ = \frac{V_{DD} + \sqrt{\frac{\beta_1}{\beta_3}} V_{T0n}}{1 + \sqrt{\frac{\beta_1}{\beta_3}}} \Rightarrow \frac{(W/L)_1}{(W/L)_3} = \left( \frac{V_{DD} - V^+}{V^+ - V_{T0n}} \right)^2 = \frac{\beta_1}{\beta_3} \quad (\text{usually, } (W/L)_1 > (W/L)_2) \quad (2.4)$$

$$\frac{\beta_1}{\beta_3} \downarrow \Rightarrow V^+ \uparrow \quad (2.5)$$

- Reverse switching properties: Controlled by M4, M5 and M6 (provide voltage feedback)

同理，當  $V_{in} = V^-$  時，假設  $V_{T5} = V_{T0p}$  (ignore body effect)，M4 在 saturation region。

$$I_{ds4} = \frac{\beta_4}{2} (V_{DD} - V^- - |V_{T0p}|)^2 = I_{ds6} = \frac{\beta_6}{2} (V_{IP} - |V_{T0p}|)^2 \quad (2.6)$$

$$V^- = \frac{\sqrt{\frac{\beta_4}{\beta_6}} (V_{DD} - |V_{T0p}|)}{1 + \sqrt{\frac{\beta_4}{\beta_6}}} \Rightarrow \frac{\beta_4}{\beta_6} = \frac{(W/L)_4}{(W/L)_6} = \left( \frac{V^-}{V_{DD} - V^- - |V_{T0p}|} \right)^2 \quad (2.7)$$

$$\frac{\beta_4}{\beta_6} \downarrow \Rightarrow V^- \downarrow \quad (2.8)$$

## Design procedures

1. 依題目的 spec 要求，使用 medium  $V_t$  來設計， $V^+ = 0.46 \sim 0.49 V_{DD}$ 、 $V^- = 0.41 \sim 0.44 V_{DD}$ 。假設目標  $V^+ = 0.475 V_{DD} = 0.4275 V$ 、 $V^- = 0.425 V_{DD} = 0.3825 V$ ，並將 Eq. 2.4 與 2.7 分別代入  $V_{T0n} = 0.40000 V$ 、 $V_{T0p} = -0.40000 V$ ，可得：

$$\frac{\beta_1}{\beta_3} = \frac{(W/L)_1}{(W/L)_3} = \left( \frac{V_{DD} - V^+}{V^+ - V_{T0n}} \right)^2 = \left( \frac{0.9 - 0.4275}{0.4275 - 0.4} \right)^2 = 295.215 \quad (2.9)$$

$$\frac{\beta_4}{\beta_6} = \frac{(W/L)_4}{(W/L)_6} = \left( \frac{V^-}{V_{DD} - V^- - |V_{T0p}|} \right)^2 = \left( \frac{0.3825}{0.9 - 0.3825 - 0.4} \right)^2 = 10.597 \quad (2.10)$$

如果要讓 design 的面積最小，可以讓所有 CMOS 的通道長度都設為  $L_{min} = 32 \text{ nm}$ 。

$$\frac{W_1}{W_3} = \frac{\beta_1}{\beta_3} = 295.215 \quad (2.11)$$

$$\frac{W_4}{W_6} = \frac{\beta_4}{\beta_6} = 10.597 \quad (2.12)$$

因為  $V_{out}$  在 discharge 的時候，M2、M3 的電流會匯入至 M1，所以  $W_1$  會設計較大，以提升電路的速度。同理， $V_{out}$  在 charge 的時候，M4 會分流至 M5 與 M6，因此  $W_4$  會設計比較大。為了得到比較小的面積，先假設設計的  $W_3$  與  $W_6$  等於  $W_{min} = 64 \text{ nm}$ ，並簡單假設  $W_2 = W_1$ 、 $W_5 = W_4$ ，並用 SPICE 跑模擬驗證這個設計是否合理。

	M1	M2	M3	M4	M5	M6
Type	NMOS	NMOS	NMOS	PMOS	PMOS	PMOS
W / L [nm / nm]	18,894/32	64/32	64/32	678/32	64/32	64/32
W * L [nm * nm]	604,608	2,048	2,048	21,696	2,048	2,048
Total W * L [nm * nm]	634,496					



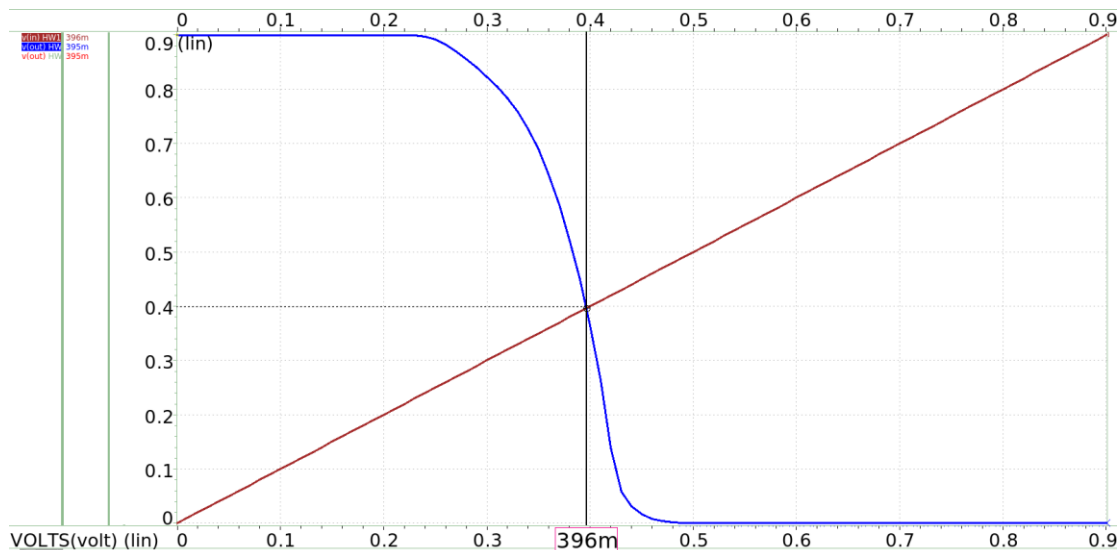


Fig2.1 Simple designed CMOS Schmitt trigger and its transfer characteristic,  $V_{in}(V) - V_{out}(V)$

Fig2.1 是使用上述討論公式計算並做一些簡單假設所做的 SPICE 模擬。從圖中可以發現兩條曲線幾乎重疊在一起( $V^+ \approx V^- = 0.396 \text{ V}$ )，對於我們 spec 要求的範圍  $V^+ = 0.46 \sim 0.49 V_{DD} = 0.414 \text{ V} \sim 0.441 \text{ V}$ 、 $V^- = 0.41 \sim 0.44 V_{DD} = 0.369 \text{ V} \sim 0.396 \text{ V}$ ， $V^+$  偏低， $V^-$  在範圍的邊界。這代表我們第一次設計的參數是不夠好的，失敗的原因可能如下：

- (1) 公式過於簡單，在計算的過程中有做一些近似的假設，並未考慮到一些非理想因素。
- (2) 公式中代入的  $V_t$  是 library 中的值，並沒有考慮 bias 的影響。
- (3)  $W_3$  與  $W_6$  的尺寸該設多大、 $\frac{W_1}{W_2}, \frac{W_4}{W_5}$  之間的比例如何調整，並非用簡單的假設就可以求得預期的結果。

2. 為了達到題目的要求，可以繼續調整參數來滿足需求。已知目前設計的  $V^+$  偏低， $V^-$  還可以再低一點使 noise margin 變大，透過以上的公式討論(Eq. 2.5, 2.8)，可以得知：

$$\frac{\beta_1}{\beta_3} = \frac{W_1}{W_3} \uparrow (W_1 > W_3) \Rightarrow V^+ \downarrow \quad (2.13)$$

$$\frac{\beta_4}{\beta_6} = \frac{W_4}{W_6} \downarrow (W_4 > W_6) \Rightarrow V^- \downarrow \quad (2.14)$$

經過不斷調整與修正，最後得到以下參數組合：

	M1	M2	M3	M4	M5	M6
Type	NMOS	NMOS	NMOS	PMOS	PMOS	PMOS
W / L [nm / nm]	560/32	64/32	64/32	240/32	64/32	64/32
W * L [nm * nm]	17,920	2,048	2,048	7,680	2,048	2,048
Total W * L [nm * nm]	33,792					

(b) Run SPICE to verify your results. Your report must have the figure of VTC and  $I_{sc}$  (current from VDD to GND) vs  $V_{in}$ .

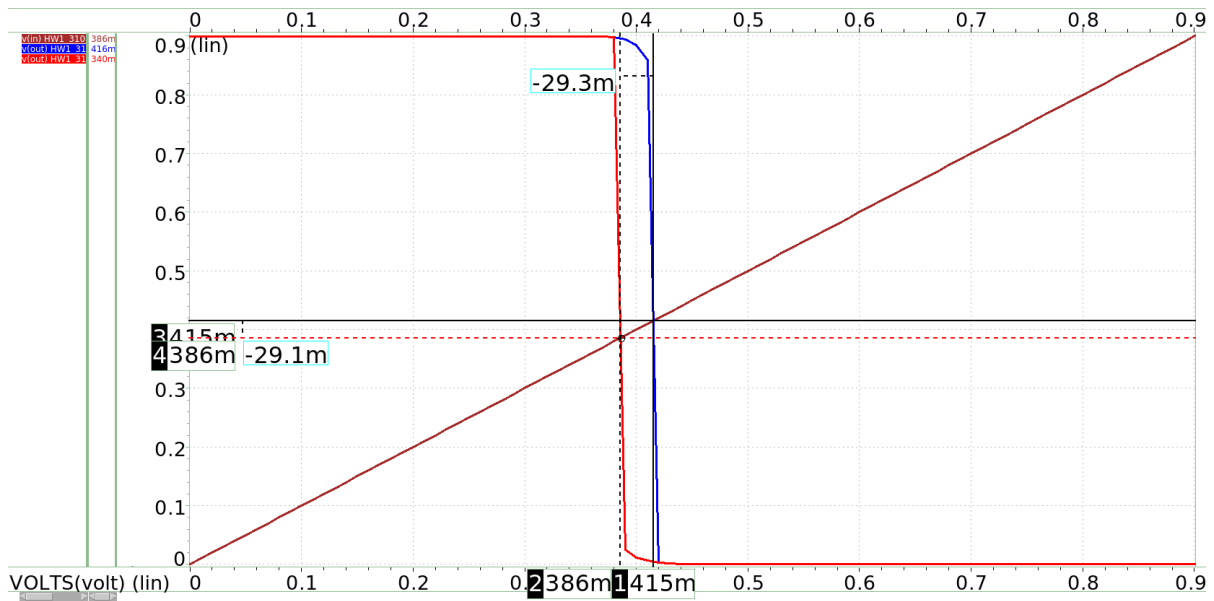


Fig2.2 VTC of designed CMOS Schmitt trigger,  $V_{in}(V) - V_{out}(V)$

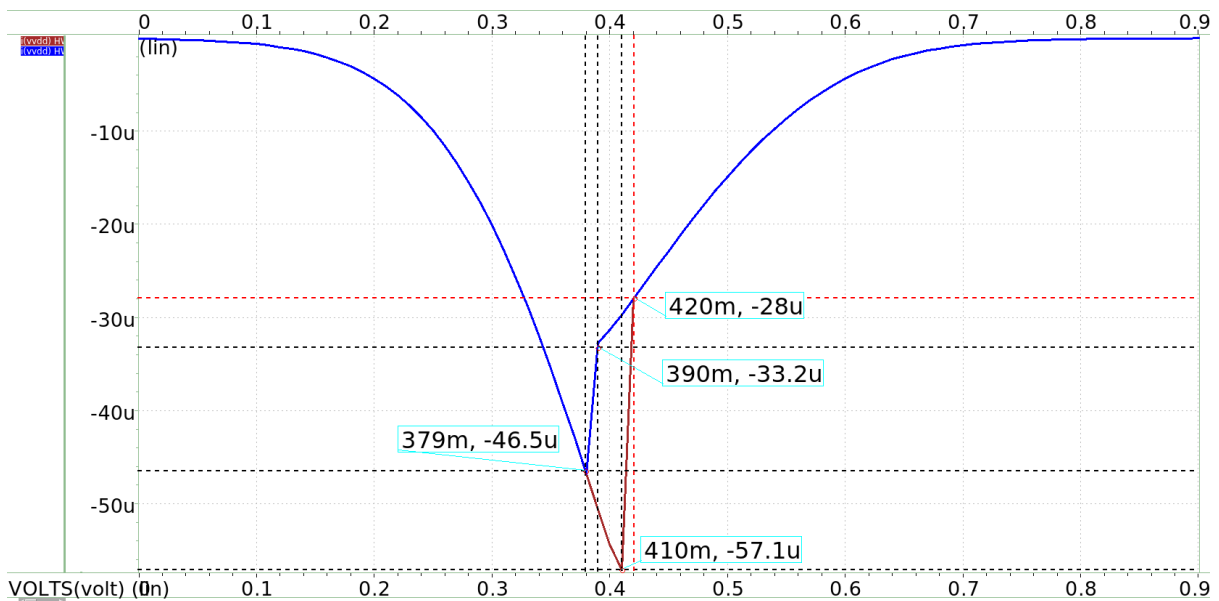


Fig2.3  $V_{in}$  vs.  $I_{sc}$ ,  $V_{in}(V) - I_{sc}(A)$

最終模擬結果  $V^+ = 0.415$  V,  $V^- = 0.386$  V，有達到題目要求的  $V^+ = 0.414$  V  $\sim$  0.441 V,  $V^- = 0.369$  V  $\sim$  0.396 V，但 rising  $\Delta V = 0.45$  VDD  $- 0.386 = 0.405 - 0.386 = 0.019$  V / falling  $\Delta V = 0.415 - 0.45$  VDD  $= 0.415 - 0.405 = 0.01$  V 有一點小誤差。從本次模擬可以發現，原本用公式估算的結果與後來不斷調整後的結果落差非常的多，可以發現儘管公式說明如何設計參數，實際上還是需要不斷嘗試才能找到好的參數組合。