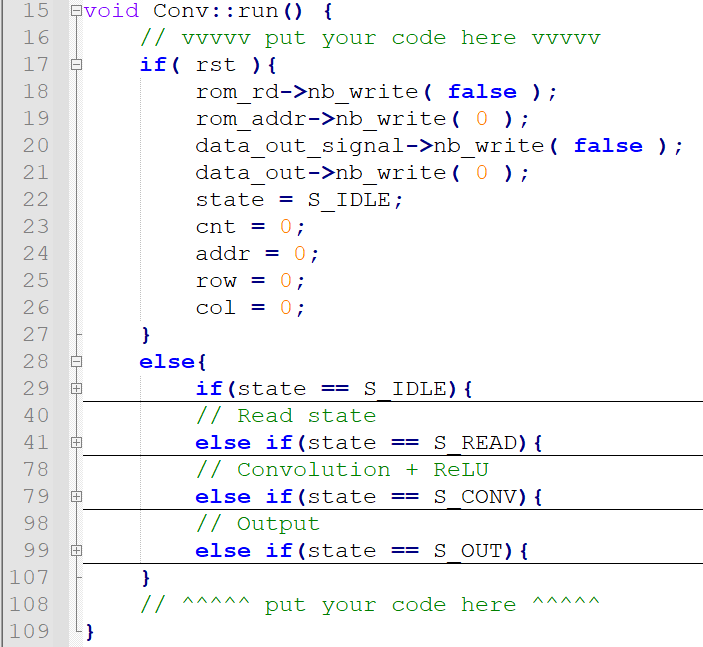
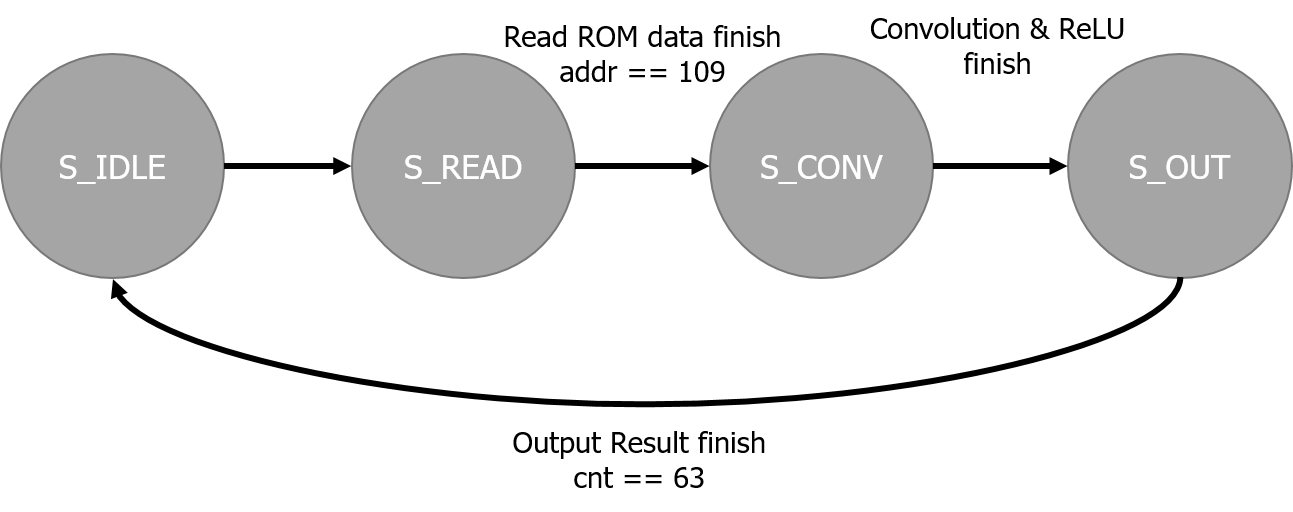
**2023 Spring NYCU-EE Machine Learning Intelligent Chip Design – Homework3**

**IEE 陳冠瑋 310510221 / May. 28, 2023**

1. **Design Ideas**
   1. Finite State Machine

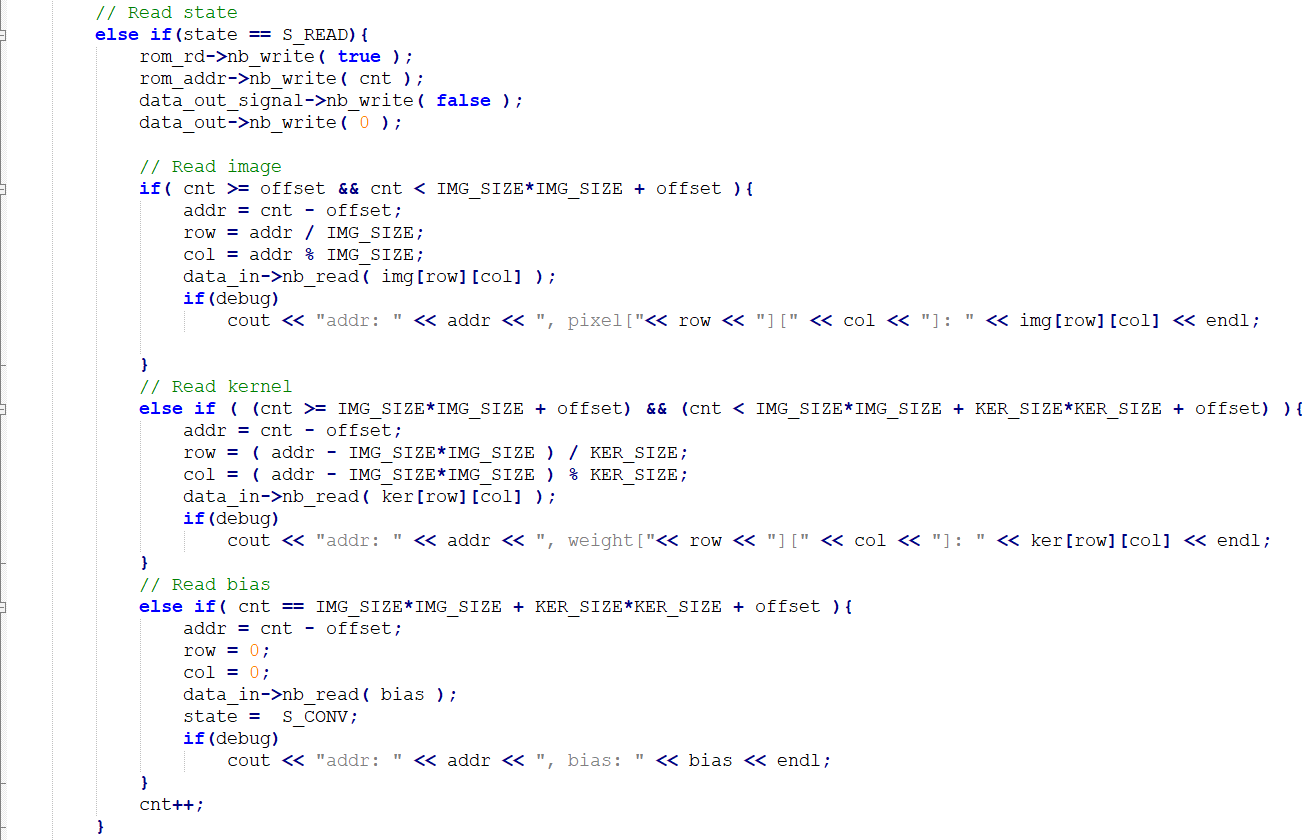
總共設計4個State，分別為S\_IDLE, S\_READ, S\_CONV與S\_OUT。





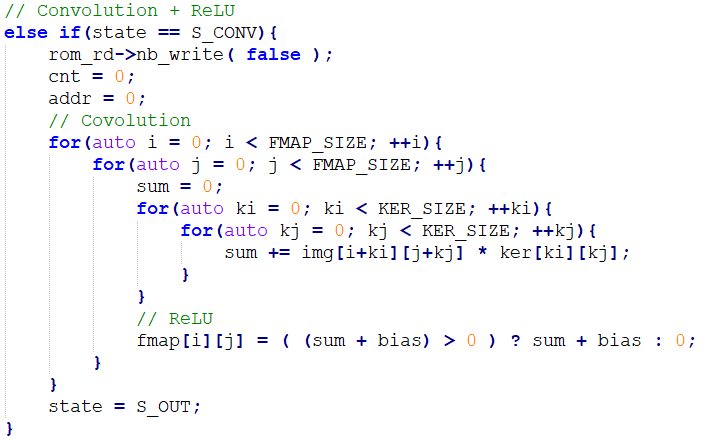
* 1. Read ROM (S\_READ state)

使用cnt作為計數器來當作addr的參考依據，在實作時發現nb\_read()會delay 3個cycle從ROM讀出data，因此進入到S\_READ state的第3個cycle(offset = 3)才能開始將值暫存在array。



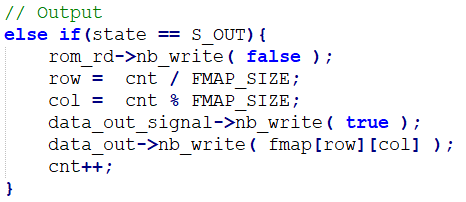
* 1. Convolution & ReLU (S\_CONV state)

由於是使用SystemC和PA模擬Convolution + ReLU的功能，這裡使用較接近軟體的寫法來快速實現Convolution與ReLU運算。外面使用雙層for迴圈控制output feature map的elements，內部用雙層for迴圈控制kernel每個weights。累加partial sum與加上bias後，直接計算ReLU output的結果，判斷值是否大於0，如果大於0就為原本的值，如果不是則將值設為0。

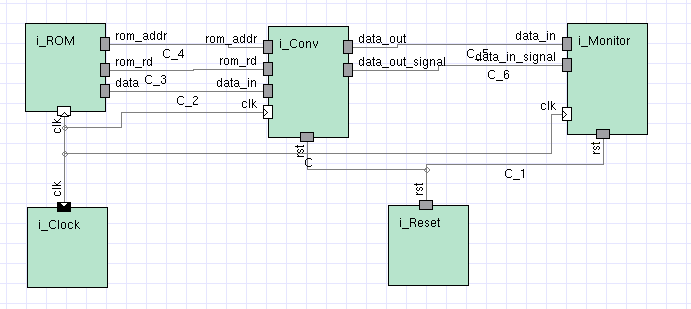


* 1. Output (S\_OUT state)

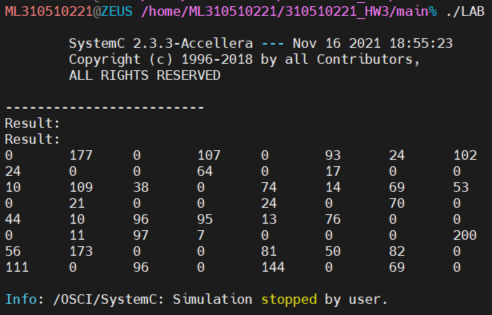
使用計數器來當作array index的參考，連續48個cycle輸出feature map的值。



1. **Block Diagram**



1. **Simulation Result**
   1. 透過Make編譯後，執行./LAB模擬的結果



* 1. 使用Platform Architect的模擬結果

