

**ĐẠI HỌC QUỐC GIA TP. HCM
TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN
KHOA ĐIỆN TỬ - VIỄN THÔNG**

HỌ VÀ TÊN SINH VIÊN

Nguyễn Lê Vũ – 21200023

Nguyễn Đoàn Nguyên Khang – 21200106

Trần Nguyễn Thiên Bảo – 21200041

**THIẾT KẾ MẠCH CHỐT FLIP-FLOP D CÓ CHÂN RESET
BẤT ĐỒNG BỘ ÁP DỤNG LOGICAL EFFORT**

ĐỒ ÁN MÔN MÔN HỌC MẠCH TÍCH HỢP VÀ CÔNG NGHỆ

NGƯỜI HƯỚNG DẪN:

TS. BÙI TRỌNG TỨ

TP. Hồ Chí Minh – Năm 2024

**ĐẠI HỌC QUỐC GIA TP. HCM
TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN
KHOA ĐIỆN TỬ - VIỄN THÔNG**

HỌ VÀ TÊN SINH VIÊN

Nguyễn Lê Vũ – 21200023

Nguyễn Đoàn Nguyên Khang – 21200106

Trần Nguyễn Thiên Bảo – 21200041

**THIẾT KẾ MẠCH CHỐT FLIP-FLOP D CÓ CHÂN RESET
BẤT ĐỒNG BỘ ÁP DỤNG LOGICAL EFFORT**

ĐỒ ÁN MÔN HỌC MẠCH TÍCH HỢP VÀ CÔNG NGHỆ

NGƯỜI HƯỚNG DẪN:

TS. BÙI TRỌNG TÚ

TP. Hồ Chí Minh – Năm 2024

LỜI CẢM ƠN

Nhóm tác giả xin gửi lời cảm ơn chân thành nhất đến Ban Giám Khảo đã dành thời gian quý báu để xem xét và đánh giá báo cáo đồ án phân tích “ THIẾT KẾ MẠCH CHÓT FLIP-FLOP D CÓ CHÂN RESET BẤT ĐỒNG BỘ ÁP DỤNG LOGICAL EFFORT ” của chúng tôi. Đồ án này là kết quả của quá trình nghiên cứu, học tập và hợp tác chặt chẽ của các thành viên trong nhóm, trải dài suốt hơn 2 tuần miệt mài, với tinh thần trách nhiệm cao và sự quyết tâm hoàn thành xuất sắc.

Xin gửi lời cảm ơn chân thành đến các thầy cô giáo hướng dẫn đã nhiệt tình giúp đỡ trong suốt quá trình thực hiện đồ án. Các thầy cô đã dành cho nhóm tác giả những bài giảng đầy tâm huyết, cung cấp cho chúng tôi những kiến thức chuyên môn quý báu, giúp nhóm tác giả hiểu rõ hơn về chủ đề nghiên cứu và giải quyết các vấn đề gặp phải một cách hiệu quả.

MỤC LỤC

MỤC LỤC.....	1
TÓM TẮT	2
CHƯƠNG 1: CƠ SỞ LÝ THUYẾT & PHÂN TÍCH THIẾT KẾ	3
1.1. Đặt vấn đề	3
1.2. Cơ bản về Flip-Flop D	3
1.2.1. Cấu tạo	3
1.2.2. Nguyên lý hoạt động.....	4
1.2.3. Nhược điểm của Flip-Flop D tiêu chuẩn	4
1.3. Flip-Flop D có chân reset bất đồng bộ	5
1.3.1. Cấu tạo	5
1.3.2. Nguyên lý hoạt động:.....	6
1.4. Cấu tạo bên trong của Flipflop D có chân reset bất đồng bộ	6
1.4.1. Inverter and buffer	7
1.4.2. Tristate Inverter	7
1.4.3. NOR gates	8
1.5. Phân tích thiết kế ở mức mạch (Schematic) của Flip-Flop D có chân reset bất đồng bộ	9
CHƯƠNG 2: THIẾT KẾ CÓ ÁP DỤNG LOGICAL EFFORT	12
2.1. Cơ sở thiết kế	12
2.2. Tính toán thiết kế	12
CHƯƠNG 3: MÔ PHỎNG THIẾT KẾ & ĐÁNH GIÁ.....	18
3.1. Thiết kế không áp dụng Logical Effort	18
3.1.1. Thiết kế cổng inverter	18
3.1.2. Thiết kế cổng NOR 2-input	18
3.1.3. Thiết kế cổng Tristate Inverter.....	19
3.1.4. Thiết kế FlipFlop D với chân Reset bất đồng bộ	19
3.1.5. Mô phỏng	20
3.2. Thiết kế áp dụng Logical Effort	21
3.2.1. Thiết kế Schematic.....	21
3.2.2. Mô phỏng mạch	22
3.3. Nhận xét	24
CHƯƠNG 4: KẾT LUẬN.....	25
TÀI LIỆU THAM KHẢO.....	26

TÓM TẮT

Các flip-flop số là các thành phần thiết yếu trong mạch điện tử số ngày nay vì chúng cho phép lưu trữ và truyền dữ liệu số. Flip-flop D là một khối xây dựng cơ bản trong các mạch số, được sử dụng trong nhiều hệ thống số khác nhau. Flip-flop D với chân reset bất đồng bộ là một flip-flop thường được sử dụng, cho phép reset giá trị lưu trữ một cách độc lập, tức là bất kể tín hiệu xung clock. Báo cáo này trình bày cơ sở lý thuyết, quy trình thiết kế áp dụng Logical Effort và mô phỏng mạch dựa trên model 130nm_bulk.lib, cung cấp sơ đồ nguyên lý và ký hiệu biểu diễn đồng thời đưa ra kết quả mô phỏng. Các ưu điểm và nhược điểm của thiết kế đề xuất cũng được thảo luận. Báo cáo này trình bày thiết kế và phân tích một flip-flop D với chân reset bất đồng bộ, bao gồm chức năng của nó, sơ đồ mạch, các yếu tố thời gian và các ứng dụng tiềm năng.

CHƯƠNG 1: CƠ SỞ LÝ THUYẾT & PHÂN TÍCH THIẾT KẾ

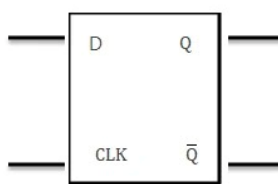
1.1. Đặt vấn đề

Trong lĩnh vực thiết kế mạch, Flip-Flop D là một thành phần cơ bản và thiết yếu. FlipFlop D được sử dụng rộng rãi trong các hệ thống số để lưu trữ và xử lý dữ liệu, đóng vai trò quan trọng trong việc xây dựng các mạch tuần tự như bộ đếm, thanh ghi và các loại bộ nhớ khác. Trước tiên, việc nghiên cứu về Flip-Flop D giúp hiểu rõ hơn về nguyên lý hoạt động của một trong những phần tử cơ bản nhất của mạch số. Flip-Flop D hoạt động như một bộ nhớ một bit, ghi nhận giá trị của tín hiệu đầu vào (D) tại thời điểm có xung clock. Điều này cho phép lưu trữ và truyền tải thông tin một cách hiệu quả trong các hệ thống số. Tiếp theo, Flip-Flop D là nền tảng cho nhiều ứng dụng thực tế như trong các hệ thống vi xử lý, Flip-Flop D được sử dụng để xây dựng các thanh ghi (registers) giúp lưu trữ dữ liệu tạm thời. Trong các mạch đồng hồ (clock circuits), Flip-Flop D được dùng để tạo ra các tín hiệu đồng bộ hóa. Các bộ đếm (counters) và bộ chia tần số (frequency dividers) cũng được xây dựng dựa trên nguyên lý hoạt động của Flip-Flop D. Ngoài ra, Flip-Flop D còn được ứng dụng trong các hệ thống điều khiển tự động và các thiết bị điện tử tiêu dùng. Đề tài đồ án về Flip-Flop D không chỉ giúp nhóm tác giả củng cố kiến thức lý thuyết về mạch số mà còn phát triển kỹ năng thực hành và mở rộng tầm nhìn về ứng dụng thực tiễn của các phần tử kỹ thuật số trong đời sống.

1.2. Cơ bản về Flip-Flop D

1.2.1. Cấu tạo

Flip-flop D tiêu chuẩn (*Hình 1*) có hai trạng thái ổn định và có thể lưu trữ một bit dữ liệu. Nó có bốn chân chính:

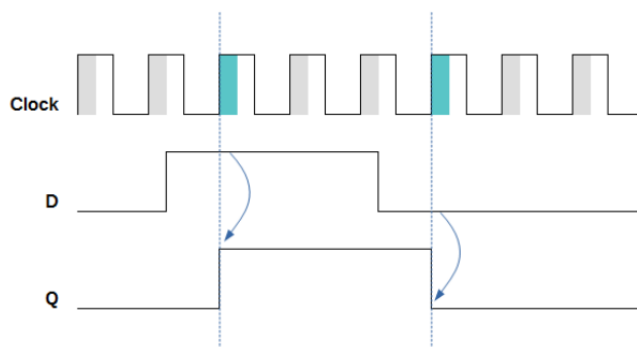


Hình 1: FlipFlop D cơ bản

D (Data): Đầu vào dữ liệu; **CLK (Clock):** Đầu vào xung clock; **Q:** Đầu ra chính; **\bar{Q} (Q đảo):** Đầu ra đảo.

1.2.2. Nguyên lý hoạt động

Flip-flop D hoạt động dựa trên xung clock (Hình 2). Khi có một cạnh xung (thường là cạnh lên hoặc cạnh xuống của tín hiệu clock), dữ liệu ở chân D sẽ được chốt và truyền tới đầu ra Q. Đặc điểm này làm cho flip-flop D trở thành một phần tử chốt dữ liệu tại thời điểm xác định bởi xung clock.



Hình 2: Dạng sóng của FlipFlop D cơ bản

1.2.3. Nhược điểm của Flip-Flop D tiêu chuẩn

FlipFlop D tiêu chuẩn có một số nhược điểm làm hạn chế khả năng ứng dụng của nó trong các hệ thống phức tạp và yêu cầu độ tin cậy cao. Dưới đây là các nhược điểm của FlipFlop D tiêu chuẩn và lý do tại sao nên chuyển đổi sang FlipFlop D có chân reset bất đồng bộ là một quyết định hợp lý:

- Khó khăn trong việc khởi tạo trạng thái.

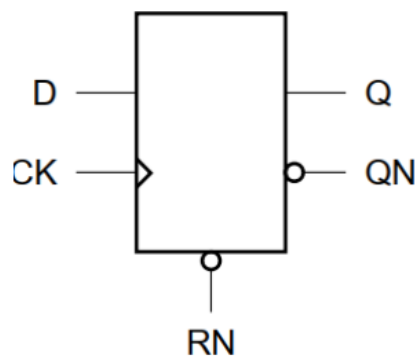
- Thiếu linh hoạt trong thiết lập lại trạng thái.
- Độ tin cậy và ổn định kém hơn trong môi trường nhiễu.
- Tiêu thụ năng lượng không tối ưu trong các hệ thống nhúng
- Ứng dụng hạn chế trong các hệ thống yêu cầu reset nhanh.

Việc chuyển đổi từ FlipFlop D tiêu chuẩn sang FlipFlop D có chân reset bất đồng bộ giúp khắc phục nhiều nhược điểm của FlipFlop D tiêu chuẩn, nâng cao tính linh hoạt, độ tin cậy và hiệu quả trong thiết kế mạch. Điều này làm cho FlipFlop D có chân reset bất đồng bộ trở thành sự lựa chọn tối ưu cho các ứng dụng yêu cầu khả năng khởi tạo nhanh chóng, tiết kiệm năng lượng, và ổn định trong môi trường nhiễu.

1.3. Flip-Flop D có chân reset bất đồng bộ

1.3.1. Cấu tạo

FlipFlop D có chân reset bất đồng bộ (*Hình 3*) là một biến thể của FlipFlop D tiêu chuẩn, với bổ sung chân reset để cho phép thiết lập lại trạng thái một cách độc lập với xung nhịp. Cấu tạo của FlipFlop D có chân reset bất đồng bộ bao gồm các thành phần sau:

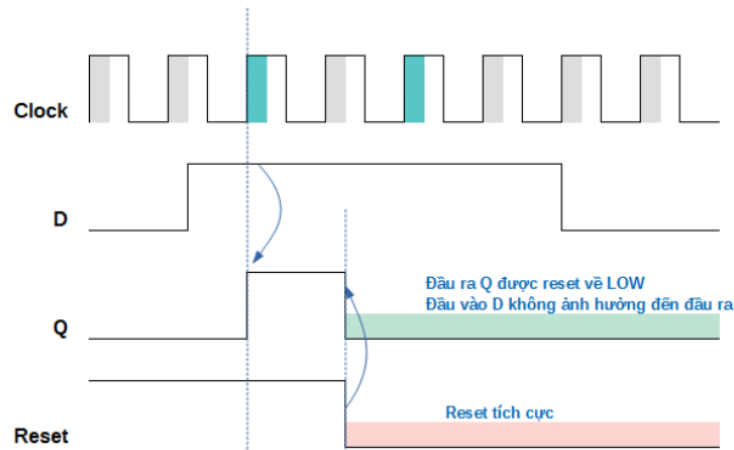


Hình 3: FlipFlop D với chân reset bất đồng bộ

D (Data): Đầu vào dữ liệu; **CLK (Clock):** Đầu vào xung clock; **Q:** Đầu ra chính; **QN (Q bar):** Đầu ra Q đảo; **RN(Reset) :** Chân reset bất đồng bộ.

1.3.2. Nguyên lý hoạt động:

FlipFlop D có chân reset bất đồng bộ hoạt động dựa trên nguyên tắc tương tự như FlipFlop D tiêu chuẩn nhưng có thêm khả năng reset trạng thái một cách độc lập với xung nhịp (Hình 4). Nguyên lý hoạt động cụ thể như sau:



Hình 4: Dạng sóng của FlipFlop D với chân reset bất đồng bộ

Chế độ bình thường (Không kích hoạt reset, tức **RN=1**): Giá trị tại đầu ra Q phản ánh giá trị tại đầu vào D khi có cạnh lên của xung CLK (hoặc cạnh xuống tùy thuộc vào thiết kế). Tại cạnh lên của xung CLK, nếu $D = 1$, Q sẽ trở thành 1; $D = 0$, Q sẽ trở thành 0. Giá trị này sẽ được giữ lại cho đến khi cạnh lên tiếp theo của xung CLK.

Chế độ reset (Kích hoạt reset, tức **RN=0**): Khi chân reset được kích hoạt, đầu ra Q sẽ được đặt lại về 0 (hoặc giá trị mặc định khác) mà không phụ thuộc vào D hay CLK. Lúc này hoạt động Reset xảy ra ngay lập tức, không phụ thuộc vào trạng thái của xung CLK (tức không cần chờ tín hiệu xung CLK).

1.4. Cấu tạo bên trong của Flipflop D có chân reset bất đồng bộ

Bao gồm năm thành phần cơ bản: Inverter and buffer; Tristate Inverter; NOR 2-input; Clock signal; Reset Signal và Input D

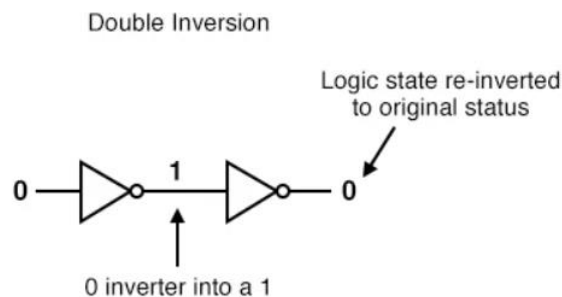
1.4.1. Inverter and buffer

1.4.1.1 Inverter

Inverter hoặc NOT, là một logic device có đầu ra bị đảo ngược so với ngõ vào. Inverter được sử dụng riêng lẻ hoặc kết hợp với các logic device (với chính nó hoặc các logic device có chức năng khác) để đáp ứng các yêu cầu cụ thể.

1.4.1.2 Buffer gate:

Khi chúng ta nối hai cổng inverter nối tiếp với nhau (*Hình 5*) (tức là đầu ra của inverter này là đầu vào của inverter sau) ta được một dạng logic device có trạng thái logic ngõ vào và ngõ ra giống nhau hoàn toàn (bảo toàn trạng thái). Có thể tạo ra các buffer từ những logic device khác chỉ cần đảm bảo trạng thái logic của ngõ vào và ngõ ra là như nhau.

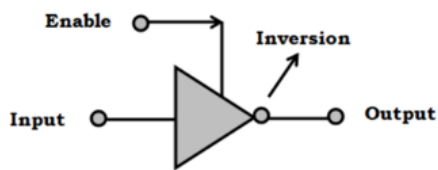


Hình 5: Buffer cấu tạo từ 2 inverter

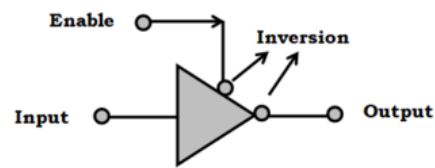
Buffer có 5 chức năng cụ thể chính bao gồm: Tăng cường độ tín hiệu; cách ly mạch; chuyển đổi tín hiệu; đảm bảo thời gian trễ cố định; phân chia logic.

1.4.2. Tristate Inverter

Tristate Inverter thực chất là một dạng của Inverter, tuy nhiên có đến 3 trạng thái ngõ ra (*Hình 6*). Tristate có thể thực hiện vai trò của một “công tắc” (có thể on/off ngõ ra) dựa vào một luồng điều khiển bên ngoài. Đầu vào có được chuyển sang đầu ra hay không phụ thuộc vào một chân điều khiển bên ngoài.



Enable	Input	Output
0	0	Hi-Z
0	1	Hi-Z
1	0	1
1	1	0



Enable	Input	Output
0	0	1
0	1	0
1	0	Hi-Z
1	1	Hi-Z

Hình 6: Cấu tạo và bảng trạng thái Tristate Inverter active high và active low

1.4.3. NOR gates

Cổng NOR (Hình 7), được coi là cổng Universal, đối diện hoặc bổ sung cho cổng OR. Về mặt hoạt động, output của cổng NOR sẽ trả về 1 nếu như tất cả các input là 0 hoặc sẽ trả về 0 nếu như có bất kỳ đầu vào nào là 1.

2- Input NOR Gate



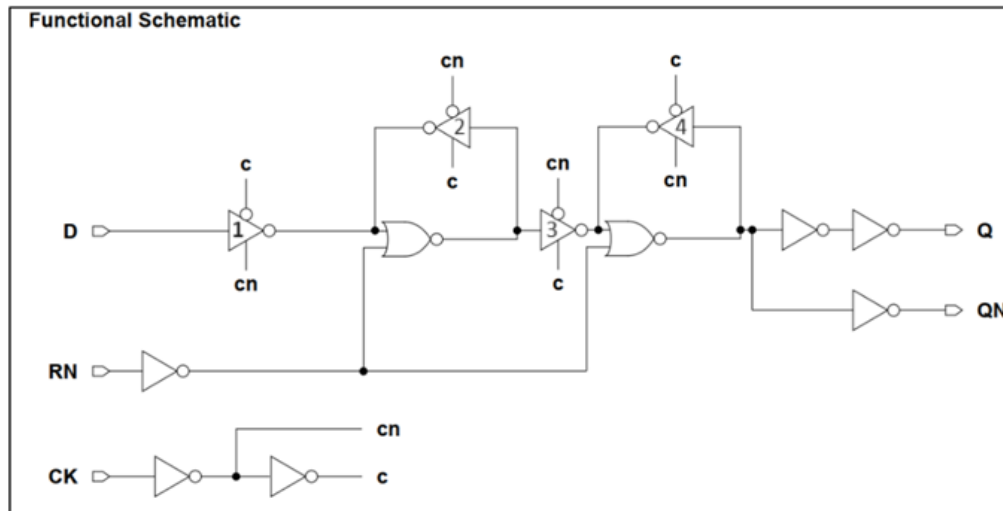
Truth Table

Input A	Input B	$0 = (A + B)'$
0	0	1
0	1	0
1	0	0
1	1	0

Hình 7: Symbol và bảng trạng thái của NOR

1.5. Phân tích thiết kế ở mức mạch (Schematic) của Flip-Flop D có chân reset bất đồng bộ

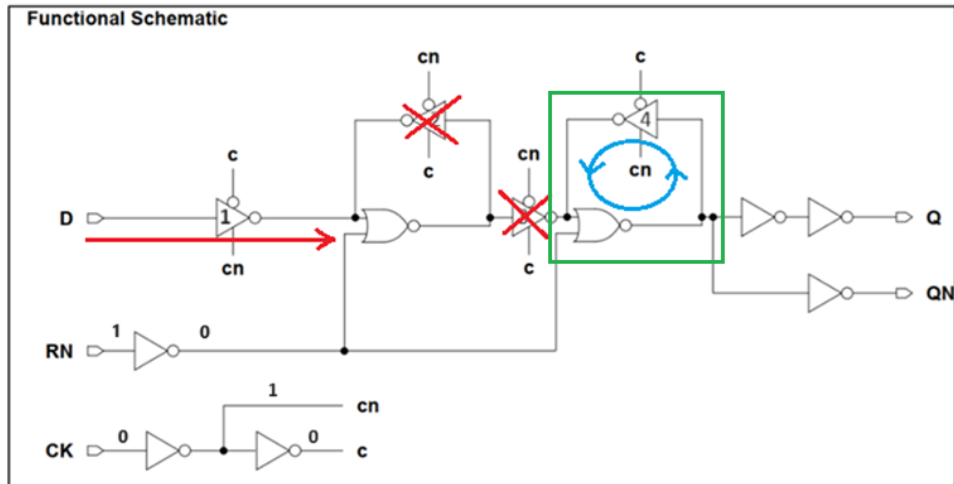
Từ các logic device ở phần 1.4, chúng ta tiến hành kết hợp chúng lại với nhau, tạo nên Flipflop D có chân reset bất đồng bộ với schematic như *Hình 8*.



Hình 8: Functional Schematic

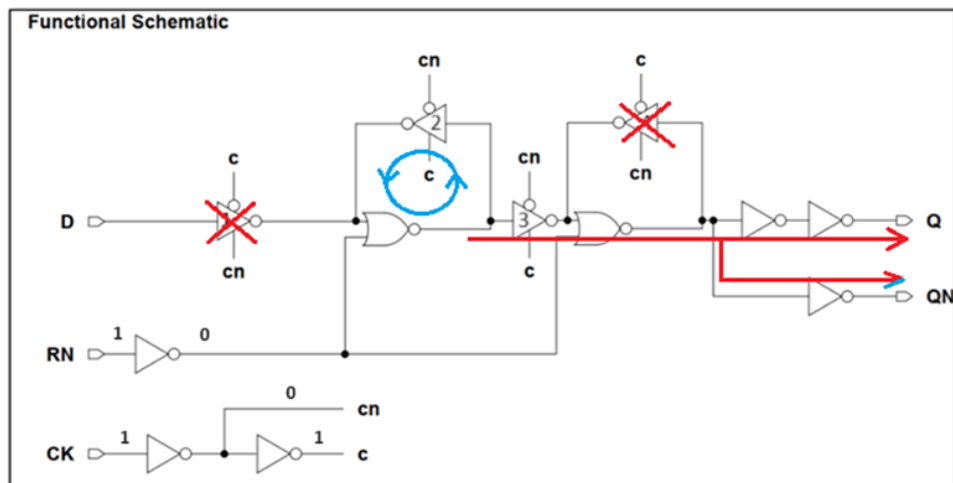
Ở mỗi chu kỳ của clock, mỗi khối sẽ hoạt động một cách tuần tự. Các hoạt động của mạch diễn ra theo như xung clock như sau:

- (1) $CK = '0'$, $RN = '1'$ ($cn = '1'$, $c = '0'$): Khi clock $CK = 0$, hai cổng truyền Tri-states 1 và Tri-states 4 mở, Tri-states 2 và Tri-states 3 ở mức trở kháng cao Z. Dữ liệu từ chân D được truyền vào trong tầng thứ nhất của D FF nhưng không truyền tiếp đến tầng thứ 2 vì Tri-state 3 trở kháng cao. Giá trị trên chân Q và QN lúc này được duy trì như cũ nhờ cấu trúc lặp được đóng khung như *Hình 9*.



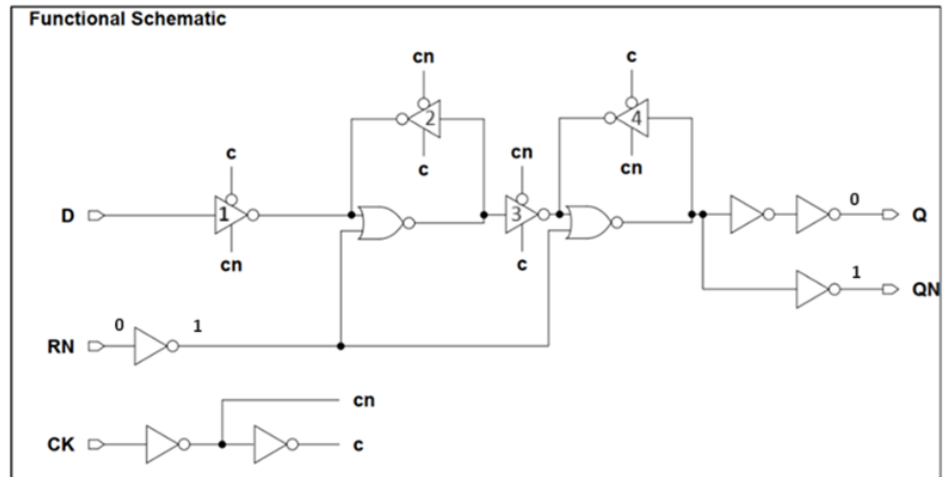
Hình 9

(2) $CK = '1'$, $RN = '1'$ ($cn = '0'$, $c = '1'$): Khi clock CK chuyển từ giá trị 0 về giá trị 1, Tri-states số 1 và số 4 đi vào trạng thái trở kháng cao Z, Tri-states 2 và 3 đi vào trạng thái mở thực hiện việc đảo trạng thái của ngõ vào. Giá trị từ tầng thứ nhất của D FF được truyền qua tầng thứ 2 của D FF và tác động lên chân Q và QB (Hình 10).






Hình 10

(3) Khi $RN = 0$, thì Q luôn luôn bằng 0 và QN sẽ luôn bằng 1 bất kể Clock (Hình 11).



Hình 11

Bảng sự thật của mạch được thể hiện như sau:

RN	D	CK	Q[n+1]	QN[n+1]
0	x	x	0	1
1	0		0	1
1	1		1	0
1	x		Q[n]	QN[n]

CHƯƠNG 2: THIẾT KẾ CÓ ÁP DỤNG LOGICAL EFFORT

2.1. Cơ sở thiết kế

Trong ứng dụng của flip-flop D, việc sử dụng Logical Effort trong thiết kế D flip-flop với chân reset bất đồng bộ mang lại nhiều lợi ích quan trọng. Với riêng ứng dụng của flip-flop D về mảng bộ nhớ lưu trữ dữ liệu, Logical Effort cho phép tối ưu hóa độ trễ của từng giai đoạn trong mạch, đảm bảo flip-flop hoạt động nhanh chóng và chính xác. Logical Effort là công cụ quan trọng để thiết kế D flip-flop với chân reset bất đồng bộ có độ trễ tối thiểu, hoạt động ổn định và đáng tin cậy.

2.2. Tính toán thiết kế

a. Tính điện dung ngõ vào

Vì Tristate inverter đầu tiên ở ngõ vào (gọi tắt là TI_default) có mang một giá trị điện dung nội. Nên trước tiên cần phải tính điện dung của cổng TI_default để ước tính giá trị tụ tải mà mạch cần phải lái. Giả sử cổng TI_default này có các thông số width ($W_P = 1.56\mu m$; $W_N = 0.78\mu m$) và length ($L = L_P = L_N = 130nm$).

Trích xuất dữ liệu từ mô hình '*130nm_bulk.lib*', được bảng các thông số cần thiết như sau:

	NMOS	PMOS
t_{oxe}	$2.25 \times 10^{-9}m$	$2.35 \times 10^{-9}m$
C_{gso}	$2.4 \times 10^{-10}F/m$	$2.4 \times 10^{-10}F/m$
C_{gdo}	$2.4 \times 10^{-10}F/m$	$2.4 \times 10^{-10}F/m$
$\epsilon_{oxe} = \epsilon_0 \times k_{oxe}$	$3.45 \times 10^{-11}F/m$	$3.45 \times 10^{-11}F/m$

Áp dụng mô hình điện dung MOS đơn giản (Simple MOS Capacitance Models), cực cổng MOS nằm trên kênh dẫn và nó có thể chồng lên trên vùng

khuếch tán cực nguồn (source) và cực máng (drain). Do đó, điện dung cực cổng (C_g) gồm hai thành phần là điện dung nội $C_{g_intrinsic}$ (intrinsic capacitance) và điện dung chồng $C_{g_overlap}$ (overlap capacitances).

Điện dung nội:

$$C_{g_intrinsic} = C_{g_intrinsic_N} + C_{g_intrinsic_P} = \frac{\epsilon_{oxe}}{t_{oxe_N}} \times W_N \times L + \frac{\epsilon_{oxe}}{t_{oxe_P}} \times W_P \times L$$

$$= 4.5321 (fF)$$

Điện dung chồng:

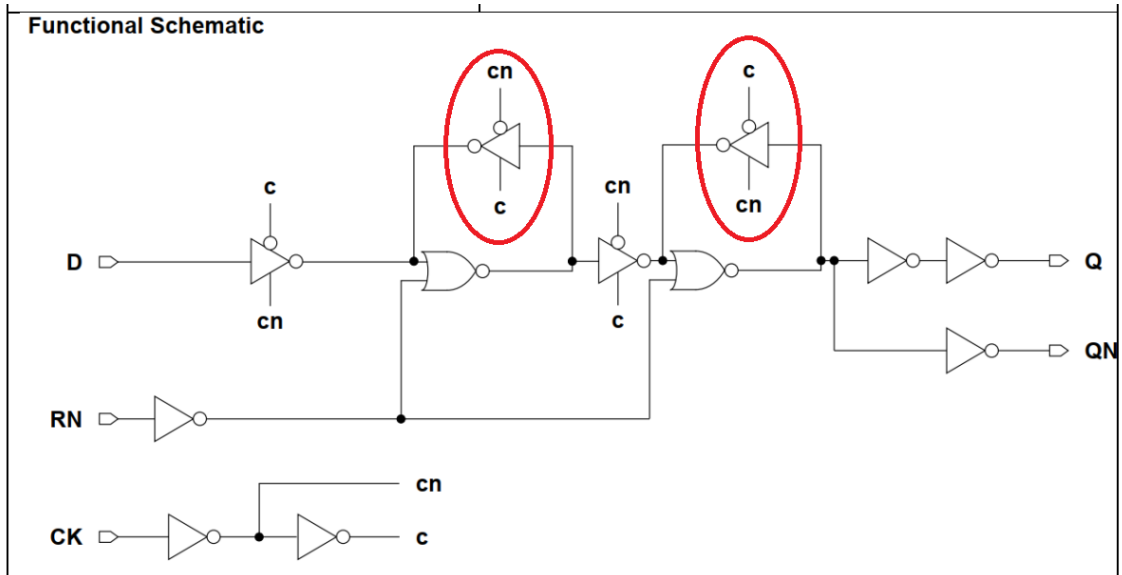
$$C_{g_overlap} = C_{g_overlap_N} + C_{g_overlap_P}$$

$$= W_N \times (C_{gso} + C_{gdo}) + W_P \times (C_{gso} + C_{gdo}) = 1.1232 (fF)$$

Tổng điện dung ngõ vào của Tristate Inverter (TI_default) là:

$$C_{in} = C_{g_intrinsic} + C_{g_overlap} = 5.6553 (fF) \approx 5.6(fF)$$

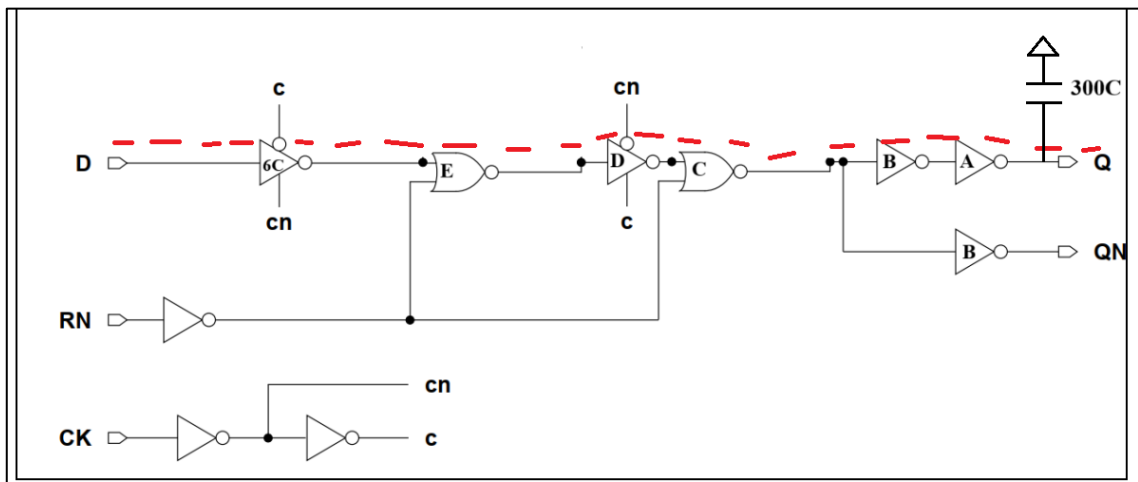
b. Tính Logical Effort với fan-out là **300C**



Hình 12: Schematic FlipFlop D với chân reset bất đồng bộ

Ở phần này, theo lý thuyết thì 2 cổng tristate inverter trên *Hình 12* chỉ có tác dụng lưu trữ nhóm tác giả đưa ra 2 cách tính về Logical Effort:

- Trường hợp 1: bỏ qua 2 cổng tristate inverter, chỉ tính Logical Effort cho đường đi màu đỏ như trên *Hình 13* với tụ tải phía sau là 300C tương ứng với **280 fF**.



Hình 13: Mô tả schematic cho trường hợp 1

LE của mạch:

$$G = \frac{6}{3} \times \frac{5}{3} \times \frac{6}{3} \times \frac{5}{3} \times 1 \times 1 = \frac{100}{9}$$

$$H = \frac{300C}{6C} = 50; \quad B = 2$$

$$F = GHB = \frac{10000}{9} \Rightarrow \hat{f} = \sqrt[6]{F} \approx 3.218$$

$$P = 6 + 2 + 6 + 2 + 1 + 1 = 18$$

$$D = 3.218 \times 6 + 18 = 37.31$$

Tìm kích thước cổng :

$$A = \frac{300 \times 1}{f} = 93.216 \text{ C}; \quad B = \frac{A \times 1}{f} = 28.964 \text{ C};$$

$$C = \frac{B \times 2 \times \frac{5}{3}}{f} = 30 \text{ C}; \quad D = \frac{30 \times \frac{5}{3}}{f} = 18.643 \text{ C};$$

$$E = \frac{D \times \frac{5}{3}}{f} = 9.6548 \text{ C}$$

Với kích thước cổng nói trên, áp dụng những kiến thức đã học và tham khảo các nguồn tài liệu, nhóm tác giả đã có cách để tìm độ rộng kênh dẫn của PMOS và NMOS với 130nm technology node (Với chiều dài kênh $L=130\text{nm}$).

$$W_N = \frac{\text{Gate Size}}{C_{in}} \times C_{Nmos} \times 3 \times 130$$

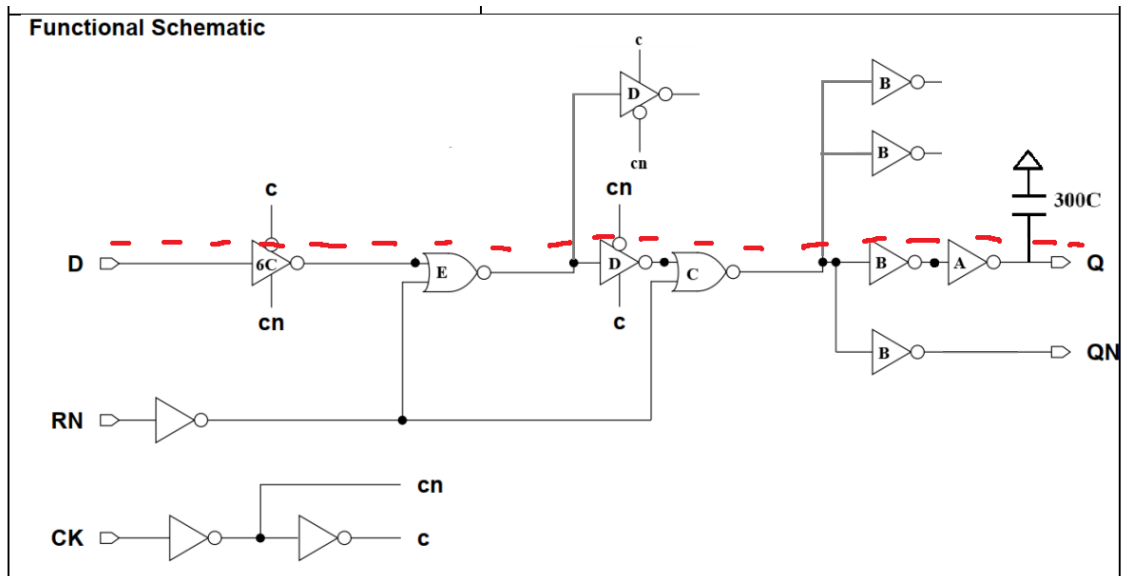
Ví dụ: Với cổng C là Nor2 ngõ vào, C_{in} là 5C và C ở Nmos là 1 thì ta sẽ có:

$$W_N = \frac{30}{5} \times 1 \times 3 \times 130 = 2340 \text{ (nm)}$$

Tên cổng	Kích thước cổng	Độ rộng kênh dẫn (nm)
A	73.986 C	$W_p = 24236; W_n = 12118$
B	18.246 C	$W_p = 7530; W_n = 3765$
C	30 C	$W_p = 9360; W_n = 2340$
D	14.797 C	$W_p = 4847; W_n = 2423$
E	12.164 C	$W_p = 3012; W_n = 753$

- Trường hợp 2: mạch sẽ lái 2 cổng tristate inverter, với cổng thứ nhất được giữ nguyên, cổng thứ 2 được quy đổi thành cổng inverter để thuận tiện cho việc tính toán (cùng tầng với 2 inverter ở 2 ngõ ra);

tính Logical Effort cho đường đi màu đỏ như trên *Hình 14* với tụ tải phía sau là 300C tương ứng với **280 fF**.



Hình 14: Mô tả mạch cho trường hợp 2

LE của mạch:

$$G = \frac{6}{3} \times \frac{5}{3} \times \frac{6}{3} \times \frac{5}{3} \times 1 \times 1 = \frac{100}{9}$$

$$H = \frac{300C}{6C} = 50; \quad B = 2 \times 4 = 8$$

$$F = GHB = \frac{40000}{9} \Rightarrow \hat{f} = \sqrt[6]{F} \approx 4.054$$

$$P = 6 + 2 + 6 + 2 + 1 + 1 = 18$$

$$D = 3.218 \times 6 + 18 = 42.3288$$

Tìm kích thước cổng :

$$A = \frac{300 \times 1}{\hat{f}} = 73.986 \text{ C}; \quad B = \frac{A \times 1}{\hat{f}} = 18.246 \text{ C}$$

$$C = \frac{B \times 4 \times \frac{5}{3}}{\hat{f}} = 30 \text{ C}; \quad D = \frac{C \times \frac{6}{3}}{\hat{f}} = 14.797 \text{ C}$$

$$E = \frac{D \times 2 \times \frac{5}{3}}{\hat{f}} = 12.164 \text{ C}$$

Với kích thước cổng nói trên, áp dụng những kiến thức đã học và tham khảo các nguồn tài liệu, nhóm tác giả đã có cách để tìm độ rộng kênh dẫn của PMOS và NMOS với 130nm technology node (Với chiều dài kênh $L=130\text{nm}$).

$$W_N = \frac{\text{Gate Size}}{C_{in}} \times C_{Nmos} \times 3 \times 130$$

Ví dụ: Với cổng C là Nor2 ngõ vào, C_{in} là 5C và C ở Nmos là 1 thì ta sẽ có:

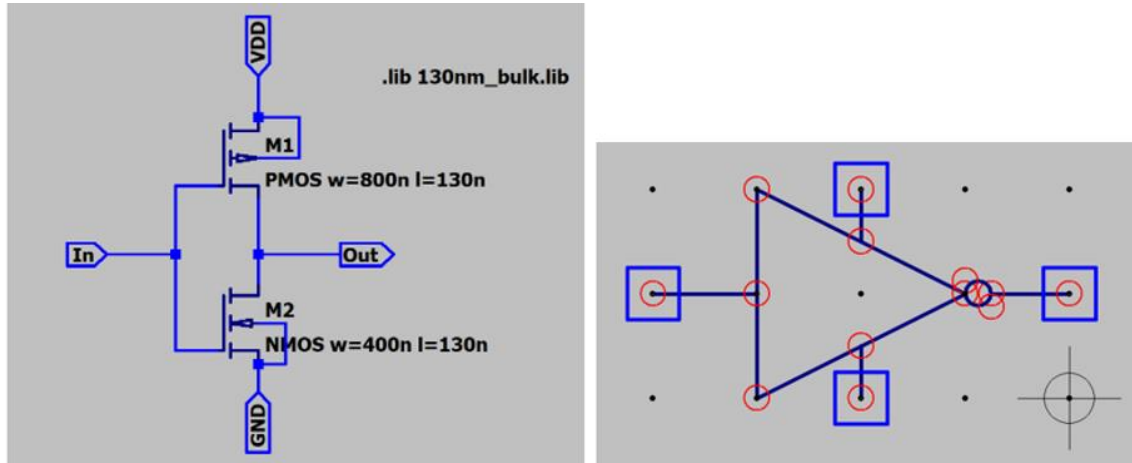
$$W_N = \frac{30}{5} \times 1 \times 3 \times 130 = 2340 \text{ (nm)}$$

Tên cổng	Kích thước cổng	Độ rộng kênh dẫn (nm)
A	73.986 C	$W_p = 19236; W_n = 9618$
B	18.246 C	$W_p = 4744; W_n = 2372$
C	30 C	$W_p = 9360; W_n = 2340$
D	14.797 C	$W_p = 3847; W_n = 1923$
E	12.164 C	$W_p = 3795; W_n = 948$

CHƯƠNG 3: MÔ PHỎNG THIẾT KẾ & ĐÁNH GIÁ

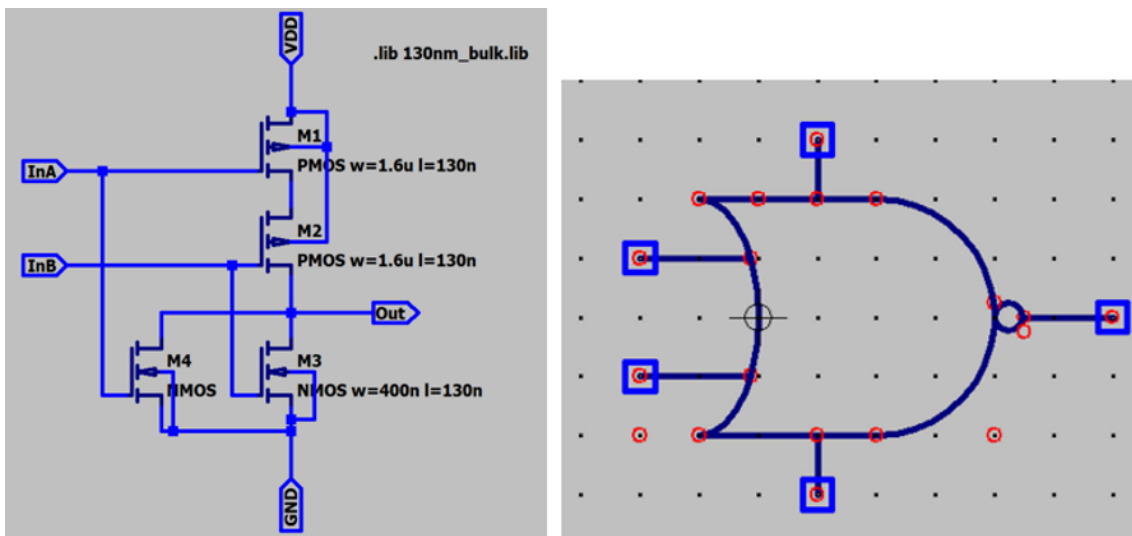
3.1. Thiết kế không áp dụng Logical Effort

3.1.1. Thiết kế cổng inverter



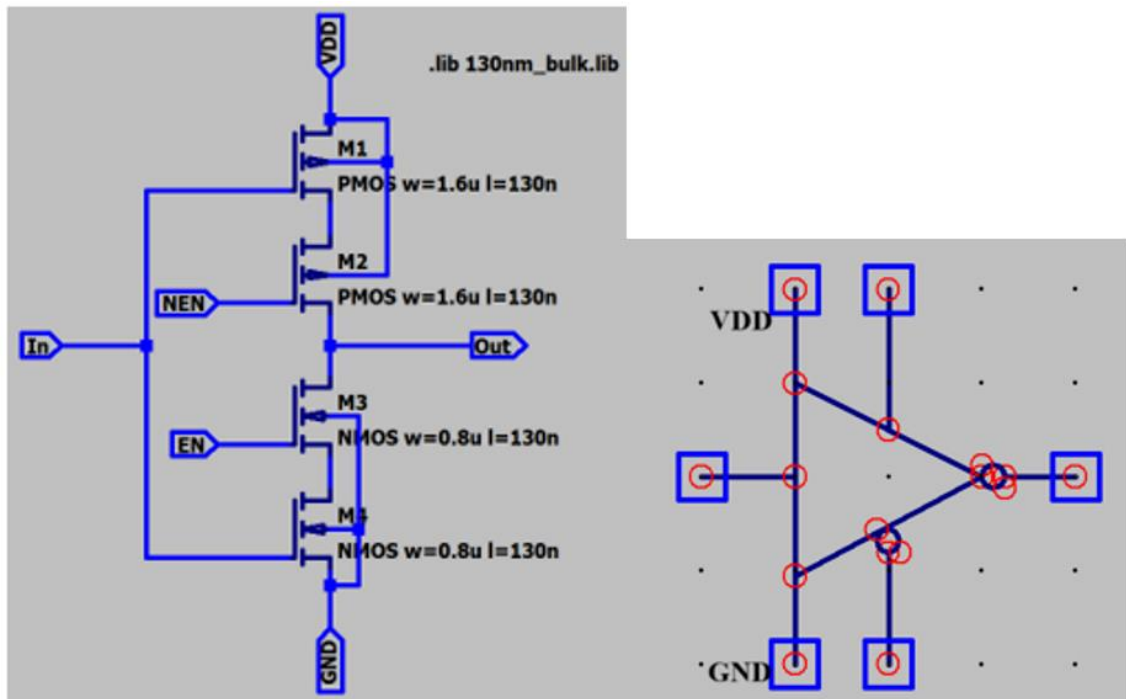
Hình 15: Schematic và Symbol của inverter

3.1.2. Thiết kế cổng NOR 2-input



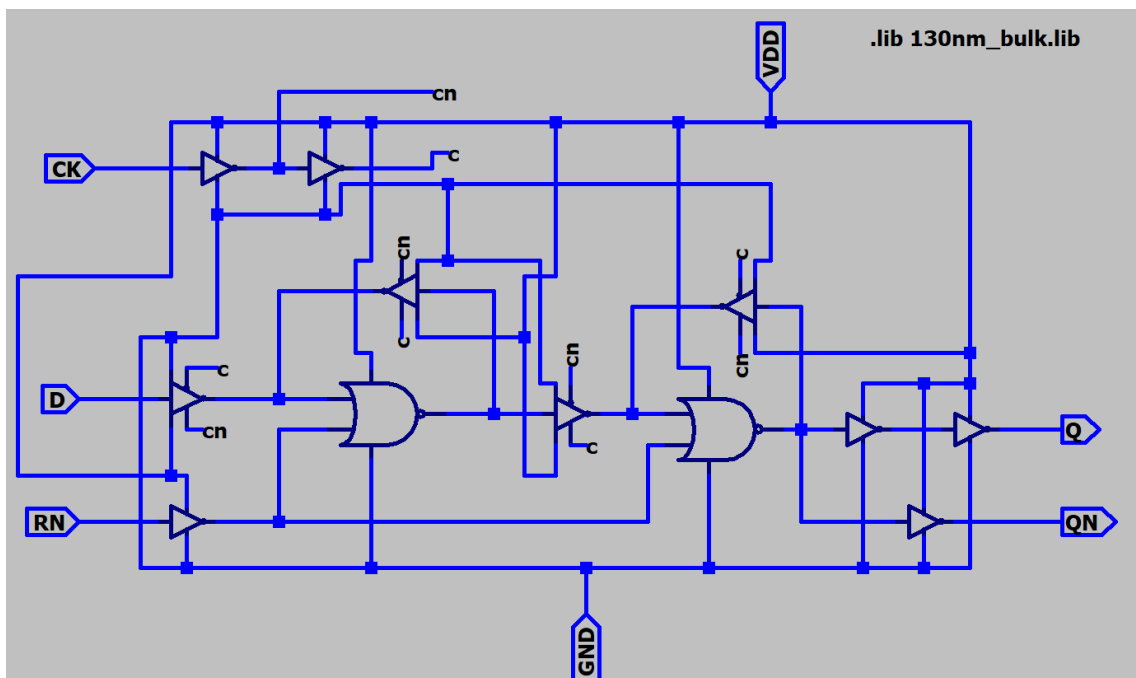
Hình 16: Schematic và Symbol của NOR2

3.1.3. Thiết kế cổng Tristate Inverter

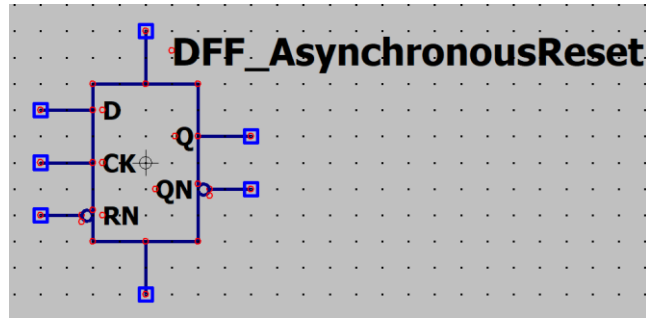


Hình 17: Schematic và Symbol của Tristate Inverter

3.1.4. Thiết kế FlipFlop D với chân Reset bất đồng bộ



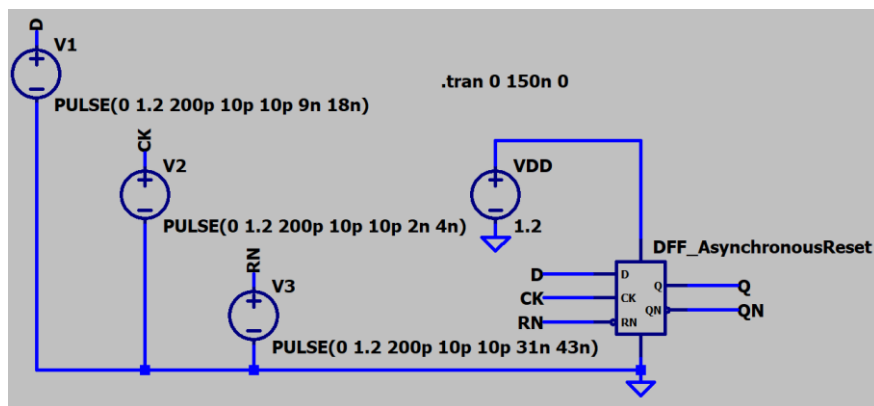
Hình 18: Schematic FFD với chân reset bất đồng bộ



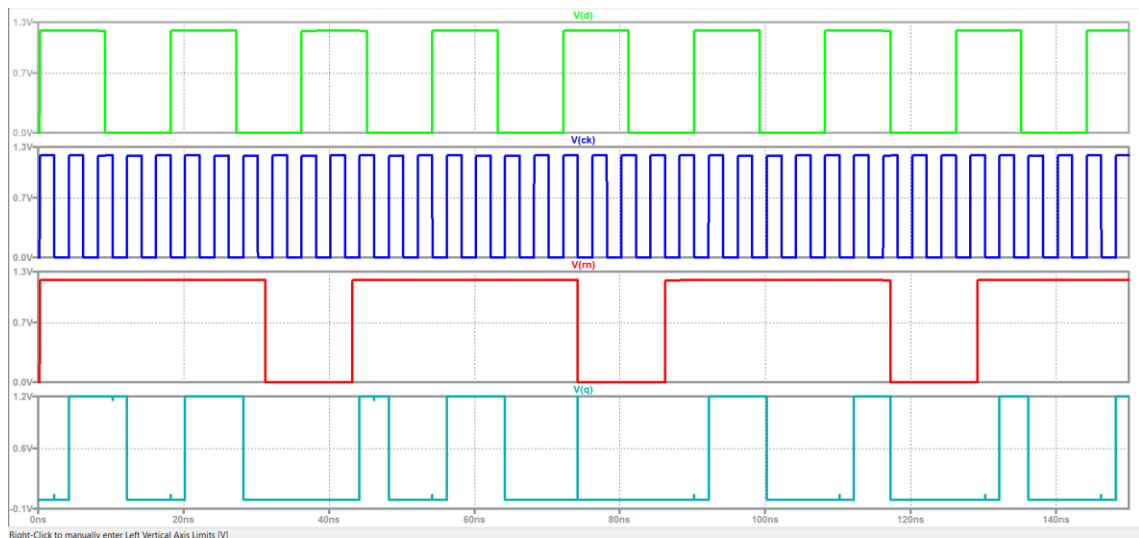
Hình 19: Symbol FFD với chân reset bất đồng bộ

3.1.5. Mô phỏng

Kết quả mô phỏng khi không có tụ tải:



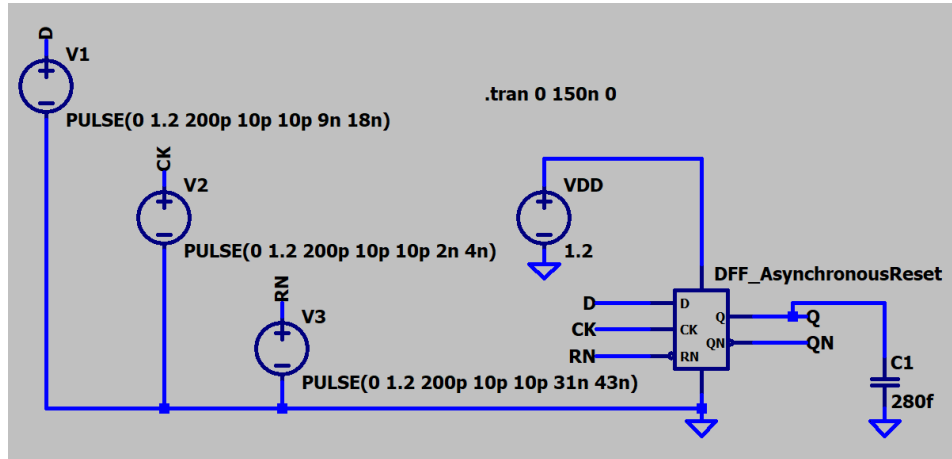
Hình 20



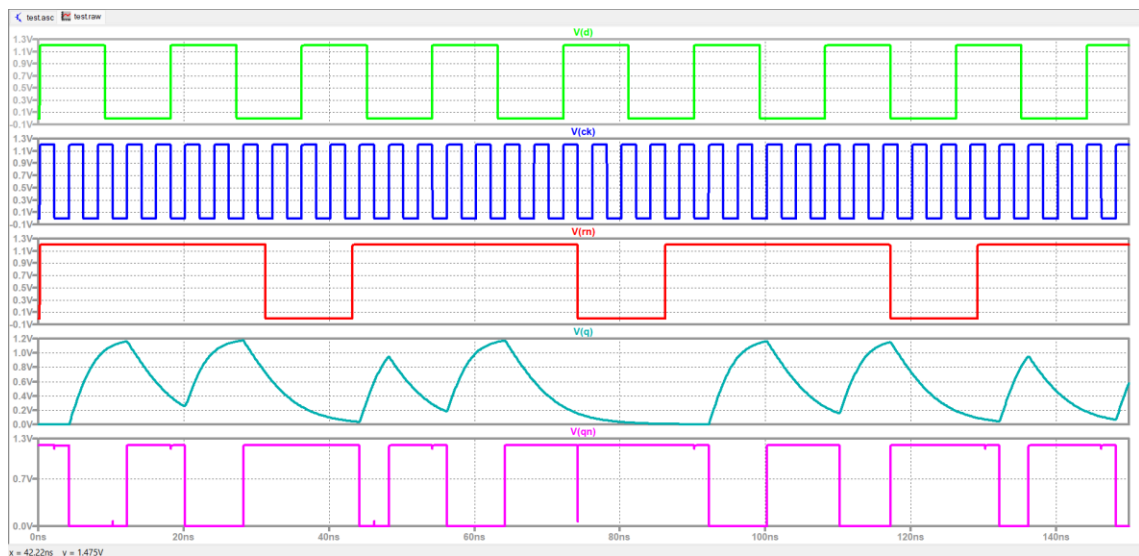
Hình 21

Kết quả mô phỏng trên cho dạng sóng ngõ ra đúng với bảng sự thật.

Kết quả mô phỏng khi có tụ tải:



Hình 22



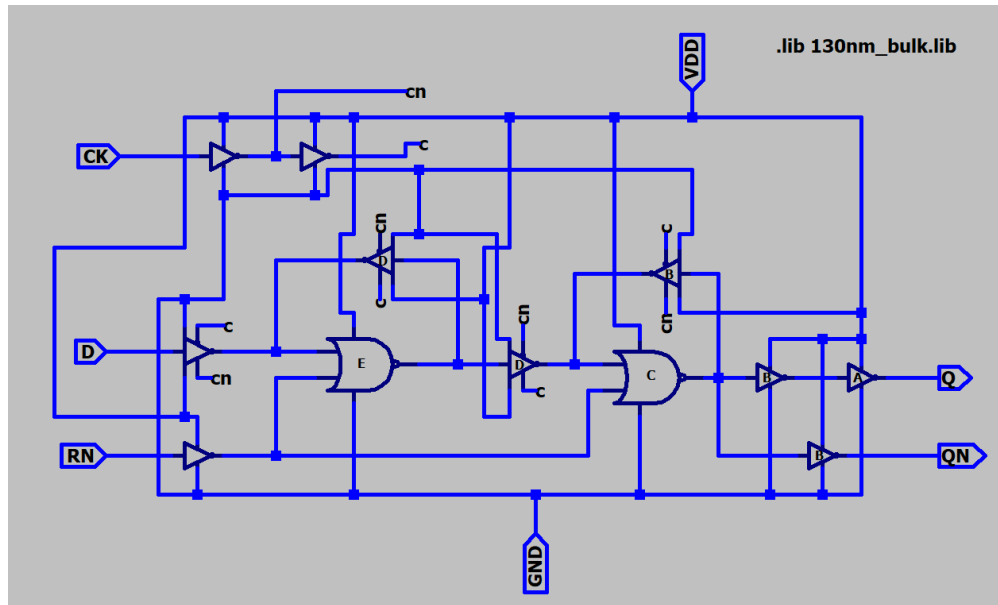
Hình 23

3.2. Thiết kế áp dụng Logical Effort

3.2.1. Thiết kế Schematic

Ở phần thiết kế này, vì nhận thấy sóng đầu ra của **trường hợp 2** ổn định và mang tính đúng đắn hơn của **trường hợp 1** nên nhóm tác giả đã quyết định trình

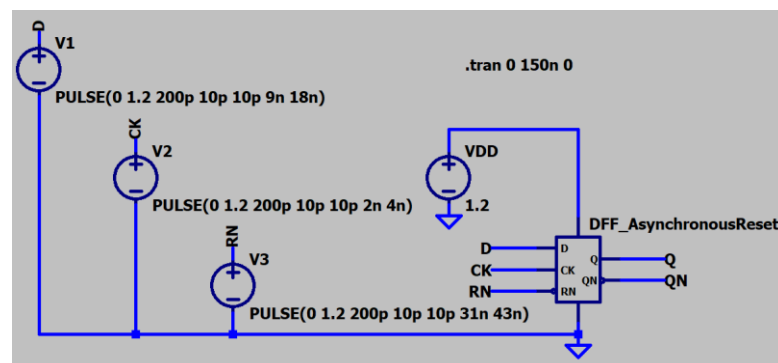
bày trong báo cáo các kết quả với các thông số được tính ở **trường hợp 2**. Thay lần lượt các thông số về Width (W) và Length (L=130nm) đã tính ở Chương 2 vào để thiết kế lại Schematic, ta được mạch như *Hình 24*.



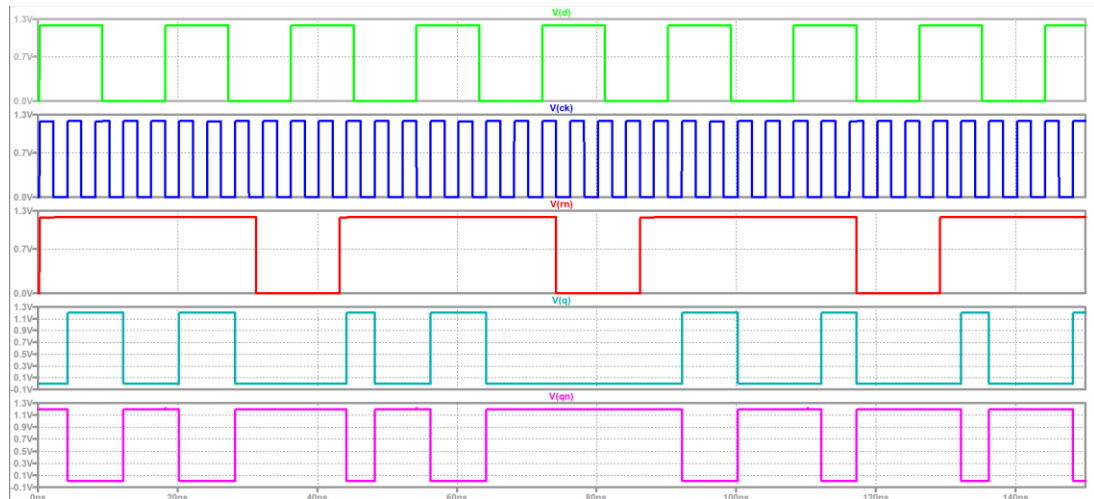
Hình 24: Schematic FFD reset bất đồng bộ áp dụng LE

3.2.2. Mô phỏng mạch

Khi không có tải:

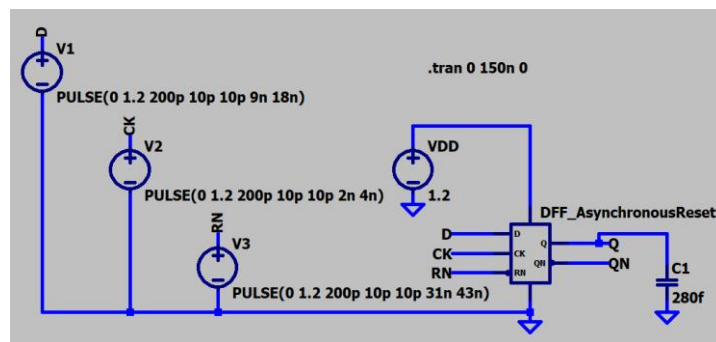


Hình 25

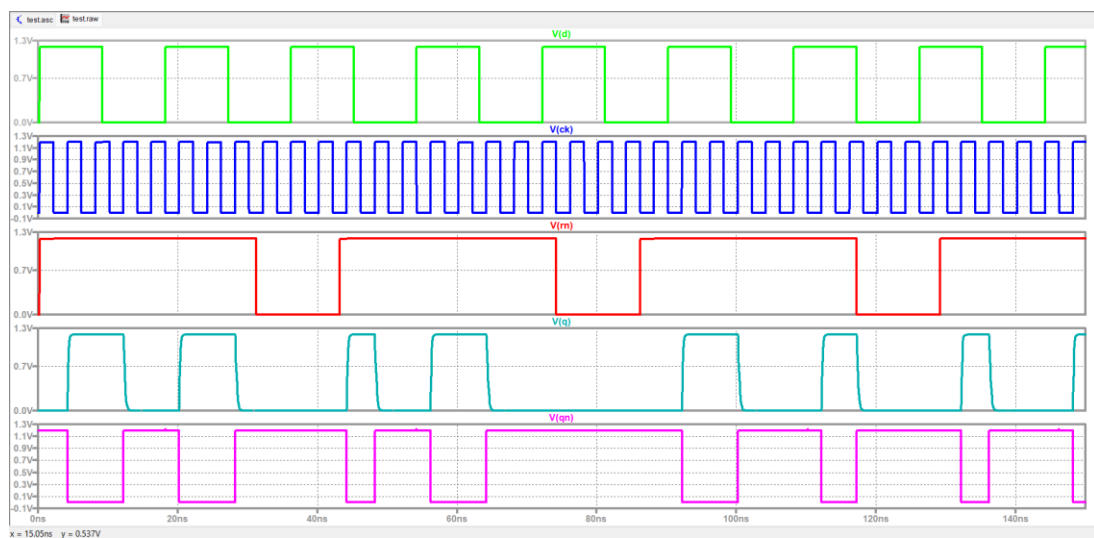


Hình 26

Khi có tụ tải:



Hình 27



Hình 28

3.3. Nhận xét

Từ việc quan sát dạng sóng ngõ ra của Q ở *Hình 23* và *Hình 28* có thể nhận xét rằng với việc áp dụng tính Logical Effort để thiết kế mạch đã cải thiện tốt độ delay của mạch khi mạch phải lái tải có giá trị nhất định ở phía sau.

CHƯƠNG 4: KẾT LUẬN

1. Kết quả :

Ở báo cáo này, việc thiết kế mạch và áp dụng việc tính toán Logical Effort với mục đích giảm thiểu độ trì hoãn, duy trì độ ổn định của định của dạng sóng đầu ra, nhóm tác giả đã đạt được các kết quả ngoài mong đợi. Việc tích hợp Logical Effort mang lại nhiều lợi thế, làm cho flip-flop D trở nên linh hoạt và phù hợp với nhiều ứng dụng khác nhau. Tuy nhiên, nhóm tác giả cũng cần tìm hiểu thêm các tính chính xác Logical Effort của mạch, chẳng hạn những công thức bậc cao có độ phức tạp tăng lên và khó khăn cho việc tính toán nhưng sẽ chính xác hơn khi thiết kế mạch ở tầm vi mô. Việc sử dụng phương pháp tính toán logical effort trong thiết kế này cải thiện độ tin cậy của hệ thống, khả năng đáp ứng, tính chính xác và nếu được cải thiện hơn nữa, nó sẽ là phương pháp được tin cậy để áp dụng và những hệ thống mạch tích hợp lớn.

2. Ưu và nhược điểm:

➤ Ưu điểm:

- Mạch hoạt động ổn định, phù hợp với nội dung lý thuyết đã được học
- Nâng cao khả năng tìm tòi, học hỏi các kiến thức mới của thành viên nhóm.
- Giúp sinh viên có thể hiểu được về lý thuyết và có các ý tưởng mới cho việc ứng dụng flip-flop D và các đề tài nghiên cứu sau này.

➤ Nhược điểm:

- Chưa tối ưu được độ trễ của mạch.
- Các thiết kế còn gặp một số vấn đề khi chạy mô phỏng.

3. Hướng phát triển:

- Để cải thiện độ chính xác của mạch, cần tìm hiểu về các công thức bậc cao hơn để việc tính toán có độ chính xác cao.
- Ứng dụng thiết kế từ đề tài này để phát triển hơn về các đề tài sau, có thể kể đến như việc kết hợp giữa đề tài này và các đề tài nghiên cứu về SRAM hoặc các cấu trúc mạch lưu trữ dữ liệu khác

TÀI LIỆU THAM KHẢO

- [1] Neil H. E. Weste, David Money Harris, “CMOS VLSI Design: ACircuits and Systems Perspective”, Addison Wesley, 2010.
- [2] S. H. D. Harris, in Digital Design and Computer Architecture, 2nd ed., Morgan Kaufmann, 2012, p. 720.