

ELEKTRONİĞE GİRİŞ ve ANALOG ELEKTRONİK LABORATUVARLARI



DENEY RAPORU

Deney Adı	İŞLEMSEL KUVVETLENDİRİCİLERİN DOĞRUSAL UYGULAMALARI
Deneyi Yaptıran Ar. Gör.	Hacer Kuduz
Raporu Hazırlayan (İsim / Numara / Bölüm)	Kadir Emre Oto / 150140032 / Bilgisayar Mühendisliği
Grup Numarası ve Deney Tarihi	F11 – 12.10.2017

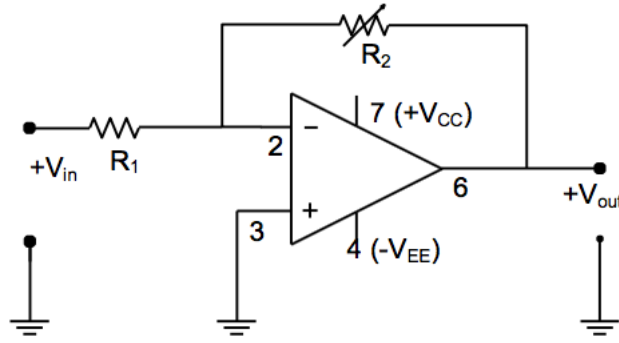
Rapor Notu	Teslim Edildiği Tarih	Teslim Alındığı Tarih
	18.10.2017	

ELEKTRONİĞE GİRİŞ ve ANALOG ELEKTRONİK LABORATUVARLARI

FAZ ÇEVİREN KUVVETLENDİRİCİ

Deney-2.1

İşlemsel kuvvetlendirici (Op-Amp) $\pm 15V$ besleme kaynaklarına bağlandı. $R_1 = 10K$ ve $R_2 = 100K$ dirençlerini Şekil-1 de görüldüğü gibi bağladık ve 1kHz lik sinüs uyguladık. Çıkış değerinde herhangi bir kırılma olmaması için uygun genliği 3V olarak belirledik. R_2 direncinin değerlerini sırayla 68K, 47K, 22K ve 10K olacak şekilde ayarladık ve çıkış genliklerini protokol kağıdına kaydettik. Devre elemanlarını ideal olmamasından dolayı ölçümlerde hatalar gözükabilmektedir, bu oranlar Tablo-1 de hesaplanmıştır. Yapılan ölçümlerde giriş ve çıkış değerleri arasında 180 derecelik (π radyan) faz farkı olduğu saptanmıştır.



Şekil 1 – Faz Çevirmeyen Kuvvetlendirici

R2	Ölçülen Çıkış Genliği	Teorik Çıkış Genliği	Hata (%)
100K	32V	30V	6,6
68K	22,5V	20,4V	10,2
47K	15V	14,1	6,3
22K	7,2V	6,6V	9,09
10K	3,3V	3V	10

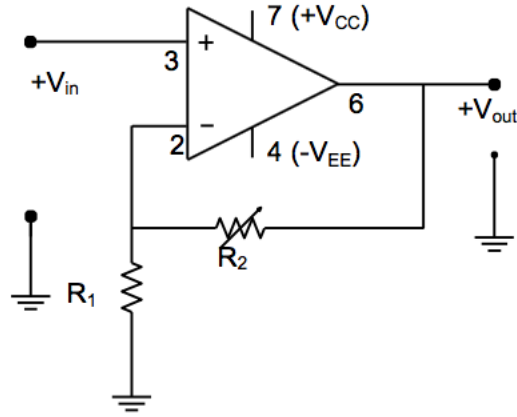
Tablo 1 – Faz Çeviren Kuvvetlendirici Hata Oranları

FAZ ÇEVİRMİYEN KUVVETLENDİRİCİ

Deney-2.2

Şekil-2 deki devre kurulmuş ve deney 2.1'deki ölçümler bu devre için de yapılmıştır. Ölçüm değerleri protokol kağıdına işlenmiş ve hata payı teorik değerlerle birlikte Tablo-2 de hesaplanmıştır. Ölçümlerde faz farklı olmadığı da görülmüştür.

ELEKTRONİĞE GİRİŞ ve ANALOG ELEKTRONİK LABORATUVARLARI



Şekil 2 – Faz Çevirmeyen Kuvvetlendirici

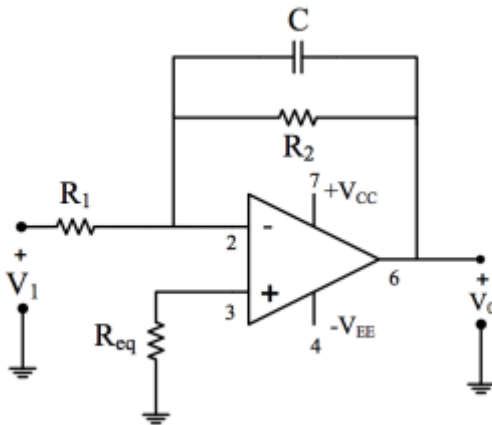
R2	Ölçülen Çıkış Genliği	Teorik Çıkış Genliği	Hata (%)
100K	27V	33V	15,15
68K	21V	23,4V	10,25
47K	17V	17,1	0,58
22K	9V	9,6V	6,25
10K	5V	6V	16,6

Tablo 2 – Faz Çevirmeyen Kuvvetlendirici Hata Oranları

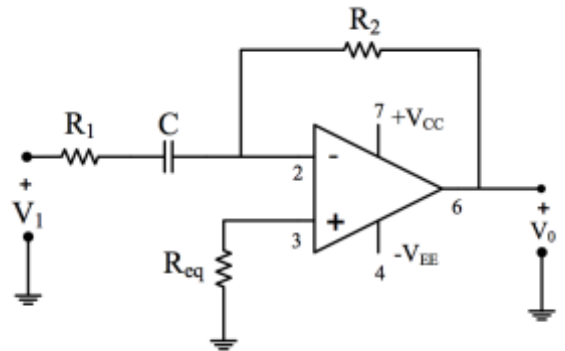
TÜREV VE İNTEGRAL ALICI DEVRELER

Deney-2.4

Bu deneyde Şekil – 3 ve Şekil – 4 deki devreler kurulmuş ve ölçülen giriş ve çıkış işaretleri protokol kağıdına işlenmiştir.



Şekil 3 – İntegral Alıcı Devre



Şekil 4 – Türev Alıcı Devre