

DENEY-6

LOJİK KAPILAR VE İKİLİ DEVRELER

DENEYİN AMACI: Bu deneyde temel mantık kapıları (logic gates) incelenecek tek kararlı ikili devrelerin çalışma prensipleri gözlemlenecektir.

ÖN HAZIRLIK

- Temel lojik kapı devrelerinden olan DEĞİL (NOT), VE (AND), VEYA (OR), VEYA-DEĞİL (NOR) ve VE-DEĞİL (NAND) kapılarının doğruluk tablolarını çıkartınız.
- Şekil 6.9'daki devrede kullanılan tranzistörün ve dirençlerin ne amaçla kullanıldığını düşününüz.
- Şekil 6.13'te devre topolojisi değişmeden VE-DEĞİL (NAND) elemanı ile devre kurulduğunda oluşan yeni devrenin doğruluk tablosunun çıkarılması ve bu tablo üzerinde hafızada tutma, yasak konum durumlarının araştırılması ve Şekil 16'daki devrenin nasıl çalışabileceğini düşününüz.

Not: Deney esnasında ön hazırlık hakkında sözlü değerlendirim yapılacaktır.

DENEY ÖNCESİ GÖZDEN GEÇİRİLMESİ FAYDALI KONULAR

- Sayısal kapı devreleri ve doğruluk tabloları
- CMOS ve TTL yapıların farkları
- CMOS evirici devresi ve giriş çıkış karakteristiğindeki çalışma bölgeleri, genel olarak nasıl çalıştığının bilinmesi
- Tek kararlı ikili devre yapıları

DENEYİN ÖĞRENCİYE KATACAKLARI

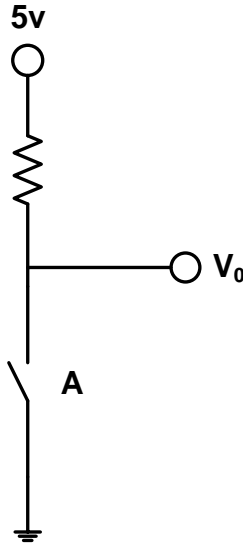
- ✓ Sayısal devrelerdeki 0-1 kavramının elektriksel olarak kavranması
- ✓ Doğruluk tablosu tanımı ve elektronik devre üzerinde uygulanması
- ✓ Temel lojik kapıların doğruluk tablolarının öğrenilmesi
- ✓ Flip-flop devresinin ne olduğunun ve devrelerde ne amaçla kullanıldığının öğrenilmesi
- ✓ Deneyden verilen tek kararlı ikili devre yapılarının analizinin deney föyündekine benzer şekilde aşama aşama analizinin yapılması
- ✓ Devrelerde herhangi bir düğümdeki gerilimin nasıl ve hangi nedenle besleme kaynağı geriliminin üstüne çıkabileceğinin öğrenilmesi
- ✓ Entegre girişlerinde kullanılan ESD diyotlarının ne sebeple kullanıldığının ve yapılan deneyde bu diyotların devreye ne gibi etkileri olduğunun öğrenilmiş olması.
- ✓ CADET üzerinde devre kurulabilmesi

KULLANILACAK MALZEMELER

- 1 adet CADET elektronik laboratuvarı deney cihazı,
- 1 adet CD4011 entegresi,
- 1 adet BC109 tranzistor,
- 1'er adet 10k ve 2.2k değerli dirençler,
- 1 adet 69k değerli ayarlanabilir direnç,
- 1'er adet 1.5n ve 2.2n değerli kondansatörler,
- Yeterli miktarda bağlantı kablosu.

1. İKİLİ DEVRELER ve SİSTEMLER

Bir ikili (binary) devrenin çıkışında iki seviye vardır. Şekil 6.1 göz önüne alındığında, çıkış 'A' anahtarı kapalı olduğunda '0' seviyesinde ($V_o = 0V$), açık olduğunda ise '1' seviyesinde ($V_o = 5V$) olur.

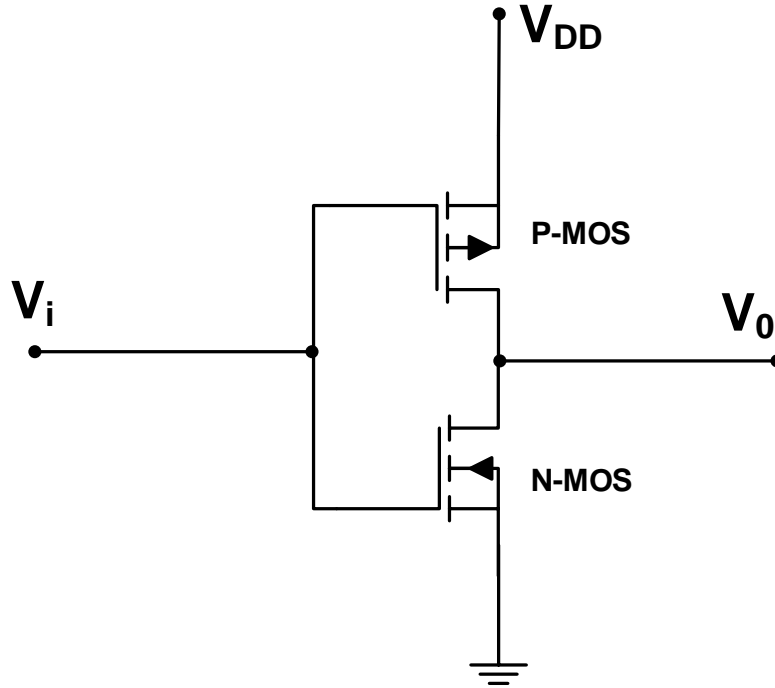


Şekil-6.1 Anahtarlı ikili devre

MOS elemanının anahtar olarak kullanılabilme özelliğinden yararlanılarak elde edilen ikili devreler hızlı, güvenilir ve çok geniş çapta tümleştirmeye uygundur. Temel lojik işlemlerin tekrarlanması ile bilgisayar, haberleşme ve kontrol düzenleri gibi sayısal elektronik sistemler elde edilebilir.

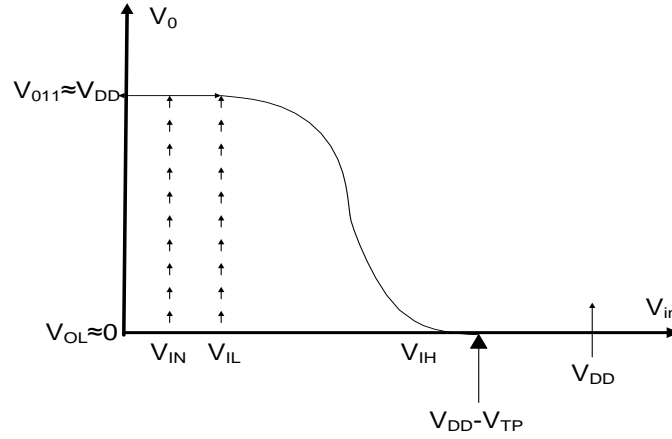
2. CMOS YAPILAR

Günümüzde MOS tranzistorları çok küçük boyutlarda ve yüksek yoğunlukta gerçeklemek mümkündür. (INTEL tarafından son olarak üretilen 153-Mbit SRAM devresinde 45nm teknolojisi kullanılmış ve devre bir trilyondan daha fazla tranzistor içermektedir.) Boyutların küçülmesi ve tekniklerinin iyileştirilmesi ile MOS devrelerin hızları da yükselmektedir. Son yıllarda tranzistor üretim teknolojilerinde de yenilikler denenmekte, özellikle 3 boyutlu (FIN-FET vb.) farklı fiziksel yapıda tranzistorlar ile daha gelişmiş tranzistorlar üretilebilmektedir.



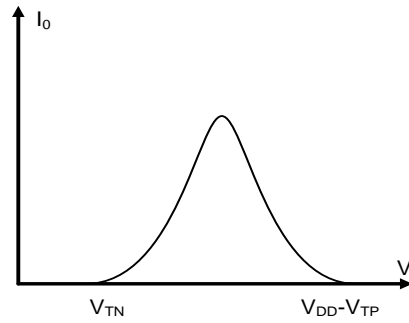
Şekil-6.2 CMOS evirici

CMOS evirici, bir NMOS ve bir PMOS'un Şekil 6.2'de görüldüğü gibi bağlanması ile elde edilir. Bu yapının çalışma prensibini inceleyelim. Giriş Lojik-1 seviyesinde olduğunda NMOS iletimde, PMOS kesimdedir. NMOS tranzistorun iletkan bir kanalı olmasına rağmen akımı PMOS'un kaçak akımı kadardır. Çıkış ise NMOS'un kanalı sayesinde Lojik-0 seviyesindedir ve 0V'a çok yakın bir değerdedir (Şekil 6.3). Giriş '0' seviyesine indiğinde bu kez PMOS iletimde, NMOS kesimdedir. PMOS sadece NMOS'un kaçak akımını akıtmakta, ancak PMOS'un mevcut yüksek iletkenlikteki kanalı sayesinde çıkış Lojik-1 seviyesinde ve yaklaşık olarak V_{DD} değerindedir (Şekil 6.3).



Şekil-6.3 Evirici çıkış karakteristiği

Yukarıda belirtildiği gibi her lojik konumda V_{DD} ile toprak arasında seri tranzistorlardan biri kesimdedir. Yapının sadece konum değiştirme sırasında akım akmaktadır (Şekil 6.4). Statik akım ve bu nedenle statik güç harcaması ise çok küçüktür. Bu durum, sistem tasarımı açısından büyük bir avantaj sağlar.



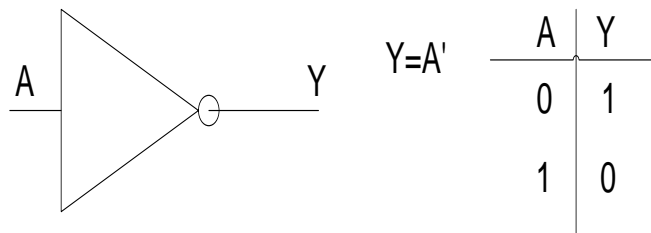
Şekil -6.4 Evirici akımı

Ancak CMOS yapılar genellikle benzer yapıları, yani kapasitif yükleri sürerler. Konum değiştirme sırasında bu kapasitif yükün doldurulup boşaltılması gerekir.

3. TEMEL LOJİK İŞLEMLER ve BU İŞLEMLERİ GERÇEKLEŞTİREN KAPILAR

DEĞİL (NOT)

Tek girişli, tek çıkışlı bir kapıdır. Girişteki işaretin evriği çıkışa yansır. Şekil 5'te NOT kapısının simgesel gösterimi ve durum tablosu verilmiştir.



Şekil-6.5 Evirici kapısı ve doğruluk tablosu

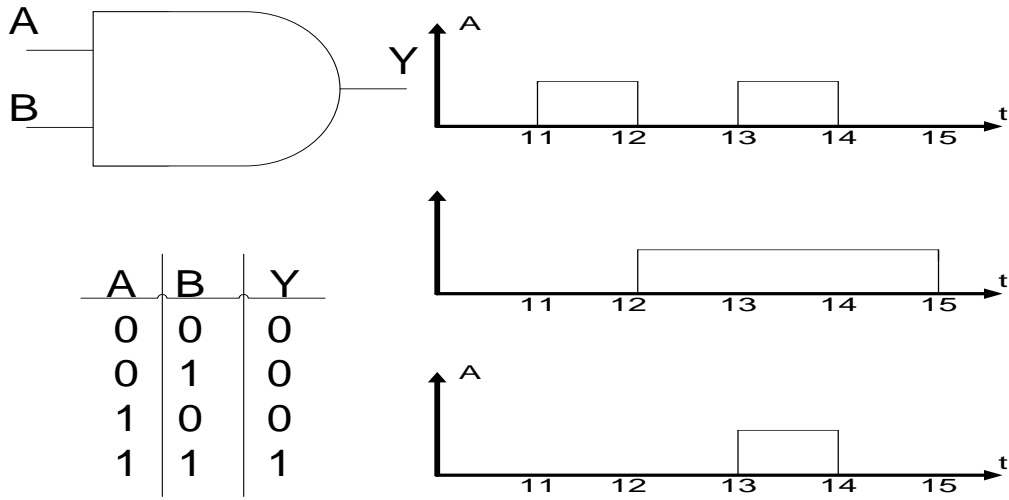
NOT kapısının CMOS gerçeklenmesi ise, daha önce incelenen CMOS evirici ile verilmiştir (Şekil 6.2).

VE (AND) – VE-DEĞİL (NAND)

Bir VE kapısı, iki veya daha çok girişe sahiptir ve aşağıdaki tanıma uygun olarak davranır.

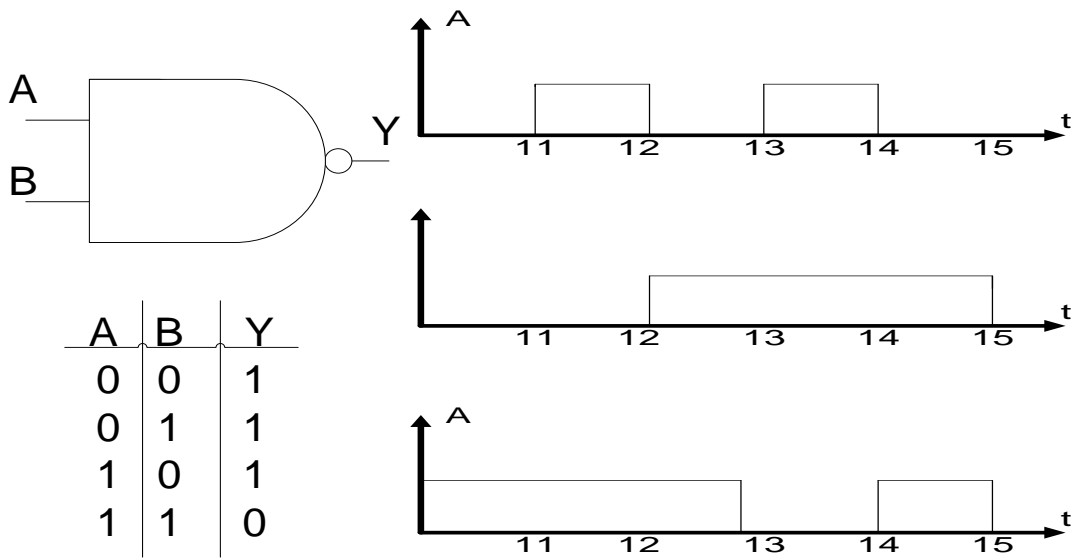
“Çıkış sadece tüm girişler 1 seviyesinde olduğu zaman 1 konumunda olur.”

VE kapısının simgesel gösterimi, iki girişli halde durum tablosu ve dalga şekilleri Şekil 6.6’da verilmiştir.



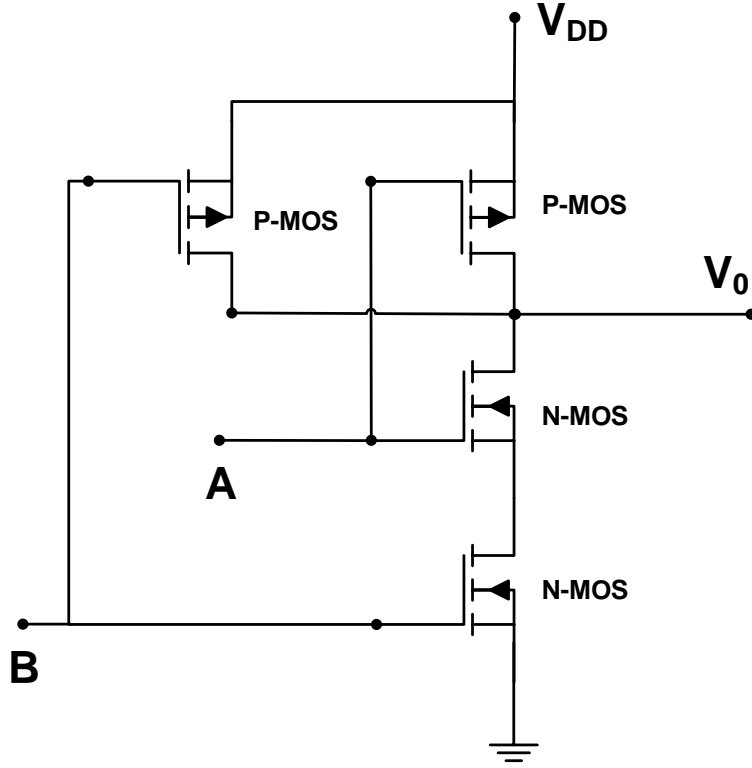
Şekil-6.6 VE kapısı, doğruluk tablosu ve çıkış gerilimi

VE-DEĞİL fonksiyonu, VE'nin evriğidir; lojik sembolü, durum tablosu ve dalga şekilleri Şekil 6.7’de verilmiştir.



Şekil-6.7 NAND kapısı, doğruluk tablosu ve çıkış gerilimi

VE-DEĞİL kapısının CMOS gereklemesi Şekil 6.8’de görüldüğü gibidir. Yapının statik analizi CMOS evirici benzeridir. 0 veya 1 durumunda V_{DD} ve toprak arasındaki yol üzerinde mutlaka kesimde bir tranzistor bulunmaktadır.

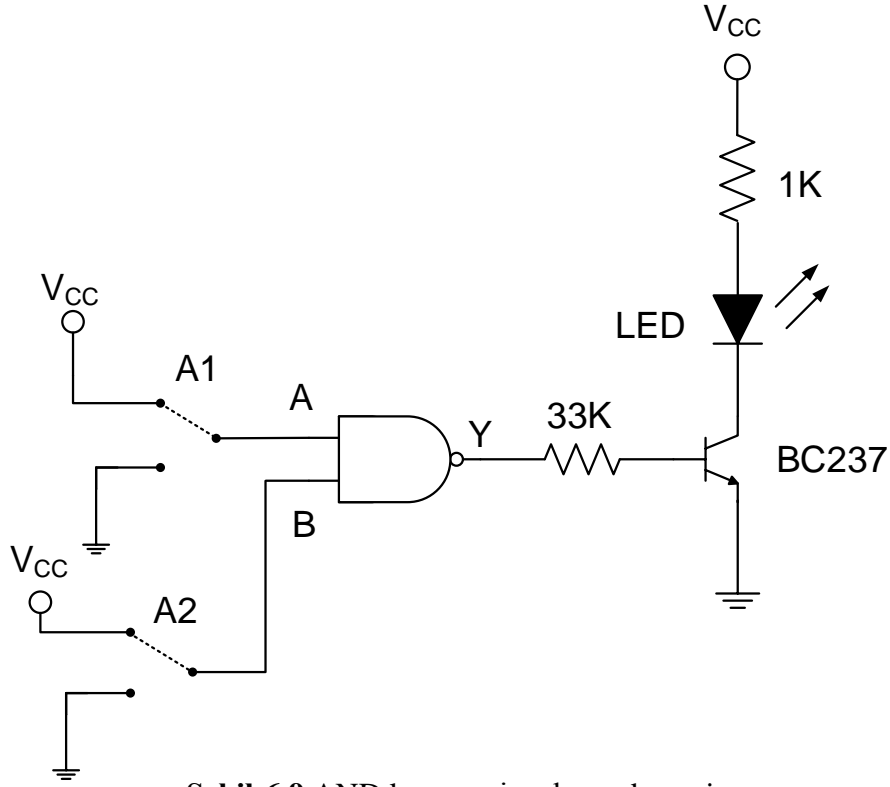


Şekil-6.8 CMOS VE-DEĞİL (NAND) kapısının gereklenmesi

Deney-6.1: VE-DEĞİL (NAND) kapısının lojik davranışını incelemek üzere 4011 CMOS tümdevresinden yararlanarak Şekil 6.9’daki devreyi tranzistor diren ve harici LED elemanı olmaksızın kurun. Yani lojik kapı çıkışını doğrudan CADET üzerindeki LED’lere verin.

Deney-6.2: ‘A1’ ve ‘A2’ anahtarları yardımıyla A ve B girişlerini uygun konumlara getirerek LED’in davranışına göre Y çıkışını inceleyin ve NAND elemanına ait doğruluk tablosunu çıkarın.

Deney-6.3: Sadece NAND kapıları kullanarak NOT ve NAND işlemleri nasıl gerekleştirilebilir, inceleyin.

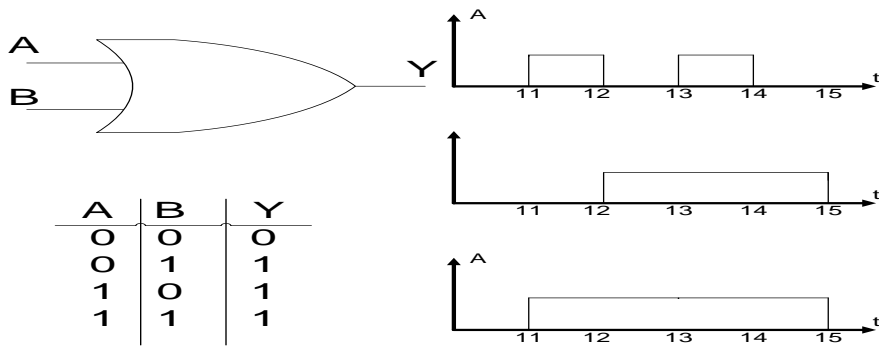


Şekil-6.9 AND kapısını inceleme devresi

VEYA (OR) - VEYA DEĞİL (NOR)

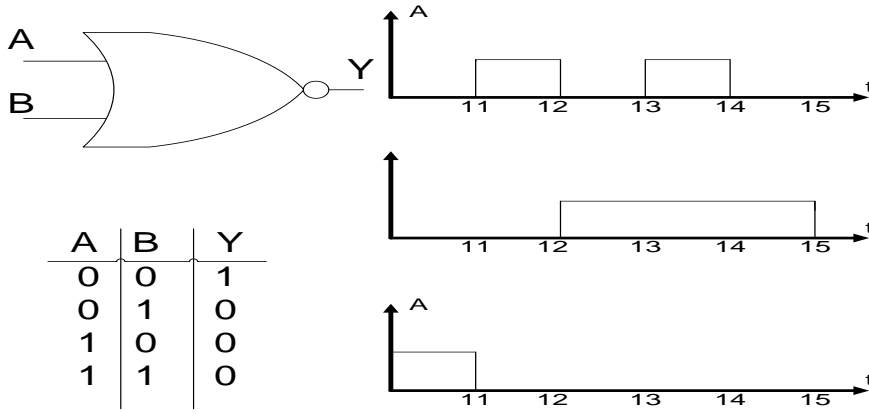
İki veya daha çok girişe sahip olabilen bir OR kapısının davranışı: “Girişlerinden herhangi birisi 1 seviyesinde olduğu zaman çıkış 1 olur.” şeklinde verilebilir.

VEYA (OR) kapısının simgesel gösterimi, iki girişli hat için durum tablosu ve dalga şekilleri Şekil 6.10’da verilmiştir.



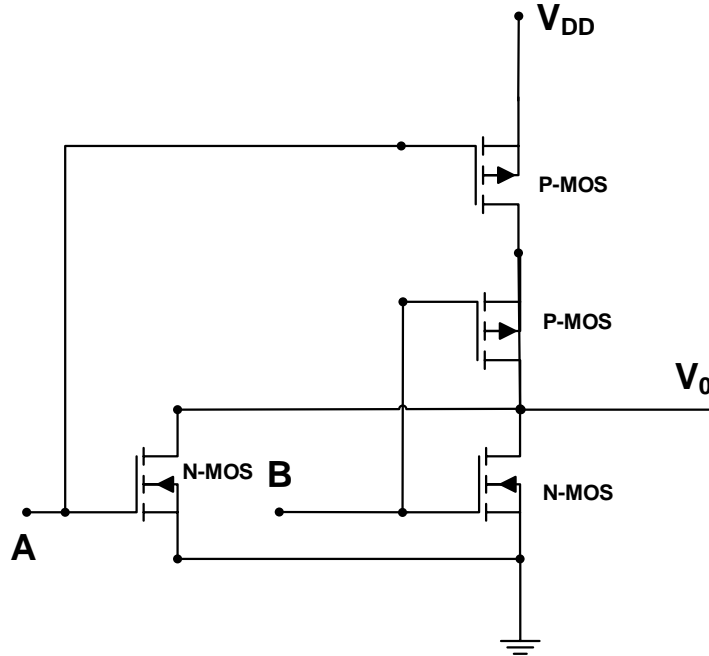
Şekil 6.10 OR kapısı, doğruluk tablosu ve çıkış gerilim şekli

VEYA-DEĞİL fonksiyonu VEYA’nın evriğidir (Şekil 6.11) ve Şekil 6.12’de görüldüğü gibi CMOS olarak gerçekleştirilebilir.



Şekil-6.11 NOR kapısı, doğruluk tablosu ve çıkış gerilim şekli

Sadece VEYA-DEĞİL (NOR) kapılarından faydalanarak DEĞİL, VE, VEYA işlemlerini nasıl gerçekleyebileceğinizi düşünün.



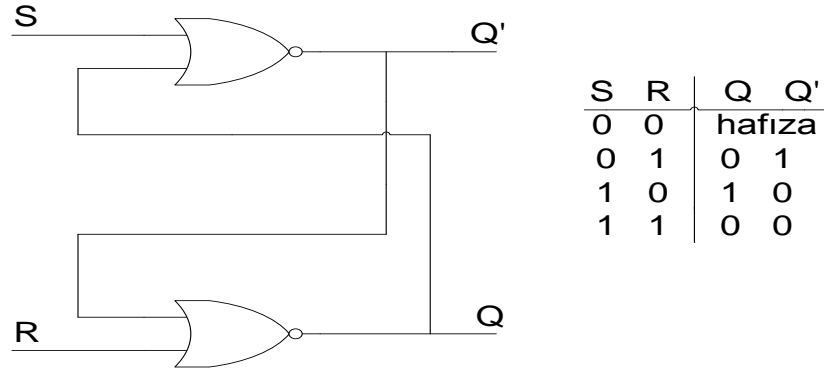
Şekil-6.12 VEYA-DEĞİL (NOR) kapısının gerçekleştirilmesi

4. İKİLİ DEVRELER

4.1 Çift Kararlı İkili Devreler (Bistable multivibrator, flip-flop)

Daha önce incelenen VE-DEĞİL (NAND) ve VEYA-DEĞİL (NOR) kapılarının yardımı ile girişlerdeki değerlere göre çıkışı iki seviyede değer alabilen ve her iki seviyede kararlı olabilen devreler gerçekleştirilebilir. Bu devrelerin iki çıkışı vardır ve bir çıkış diğer çıkıştaki işaretin evriğidir.

Şekil 6.13’de VEYA-DEĞİL (NOR) kapıları ile gerçekleştirilen çift kararlı ikili devre ve durum tablosu görülmektedir.



Şekil-6.13 SR-çift kararlı ikili devresi ve durum tablosu

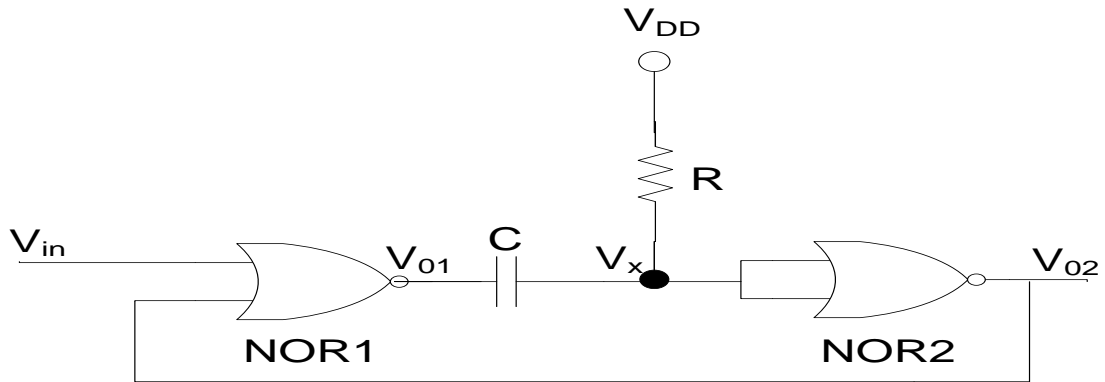
Devrenin S (SET-yazma) girişi 1, R (RESET-silme) girişi 0 yapıldığı zaman çıkışlar $Q=1$, $Q'=0$ değerlerini alır. Bundan sonra $S=0$ yapılırsa durum değişmez. $R=1$, $S=0$ yapıldığında ise $Q=0$, $Q'=1$ durumu oluşur. $S=1, R=1$ durumu istenmeyen (yasak) konumdur (Neden?).

Deney-6.4: Şekil 13'deki devreye benzer şekilde VE-DEĞİL (NAND) kapıları kullanarak çift kararlı ikili devre elde edin.

Deney-6.5: Bu devrenin lojik davranışını daha önce yaptığınız ölçümlere benzer şekilde inceleyin. Yeni durumda oluşan durum tablosunu çıkararak elde ettiğiniz durum tablosunu yorumlayın.

Yukarıda incelediğimiz ikili devreler, en basit temel ikili yapılarıdır ve SR flip-flop olarak adlandırılırlar. Elektronik sistemlerde, hafıza elemanı olarak, ayrıca sayma ve frekans bölme işlemlerini gerçeklemek üzere kullanılırlar.

4.2 Tek Kararlı İkili Devreler (Monostable Multivibrator)



Şekil-6.14 Tek kararlı ikili devre

Dışarıdan bir etki gelmediği sürece bir kararlı konumda bulunan bu devreler, girişe uygulanacak bir darbe ile durum değiştirirler. Devredeki elemanların belirlediği bir süre boyunca bu yarı kararlı durumda kalan devrenin çıkışı, bu sürenin sonunda tekrar kararlı seviye değerini alır. Bu tür devrelerden darbe şekillendirici, geciktirici olarak ve zaman düzenlerinde yararlanılabilir.

Şekil 6.14'te direnç, kapasite ve VEYA-DEĞİL (NOR) kapılarından yararlanılarak gerçekleştirilmiş bir tek kararlı ikili devre görülmektedir.

Devrenin davranışını inceleyelim: Devreye tetikleme için Şekil 6.15a'da görülen işaret uygulansın. $t < 0$ 'da R'den akım akmadığı durumda $v_x = V_{DD}$ gerilimi vardır. Böylece kondansatörün uçlarındaki gerilim:

$$v_c = v_{o1} - v_x = V_{DD} - V_{DD} = 0$$

olarak bulunur.

$t=0$ anında tetikleme işareti uygulandığında, 1 numaralı VEYA-DEĞİL (NOR) kapısının çıkışı 0 değerine düşer; v_c hemen değişemediğinden ($v_c(0^+) = 0$), v_x noktası da 0 değerine iner. Bu durumda iki nolu NOR kapısının çıkışı ve bir nolu NOR kapısının bir girişi 1 değerine çıkar. C kapasitesi, R direnci üzerinden dolmaya, v_x gerilimi de yükselmeye başlar. V_x geriliminin değeri iki nolu NOR kapısının eşik gerilimine erişinceye kadar (v_{in} girişi 0'a inse bile) kapılar konum değiştirmezler. v_x geriliminin zamanla değişimi aşağıdaki gibi verilebilir:

$$v_x(t) = V_{DD}(1 - e^{-t/RC})$$

Genellikle tasarım, CMOS kapılarının eşik gerilimleri $V_{DD}/2$ olacak şekilde yapılır. $v_x = V_{DD}/2$ değerine ulaştığında ($t = T_1$) 2 nolu NOR kapısının çıkışı konum değiştirir ($v_{o2} = 0$) ve her iki girişinde de 0 değeri bulunan 1 nolu NOR kapısının çıkışı $v_{o1} = V_{DD}$ değerini alır. (Kapının eşik değerinin $V_{DD}/2$ olduğu durum için T_1 değerini R ve C'ye ağırlı olarak bulun.) Kondansatörün uçlarındaki v_c gerilimi hemen değişemeyeceğinden v_x noktasının gerilimi:

$$v_x(T_1^+) = V_{DD} + V_T \quad (V_T = V_{DD}/2 \text{ için } v_x(T_1^+) = 3/2 V_{DD})$$

değerini alır. Kondansatörün aynı zaman sabiti ile boşalması ile devre tekrar $t < 0$ 'daki duruma döner. Devrenin çeşitli noktalarının gerilimlerine ilişkin dalga şekilleri Şekil 6.15'te verilmiştir.

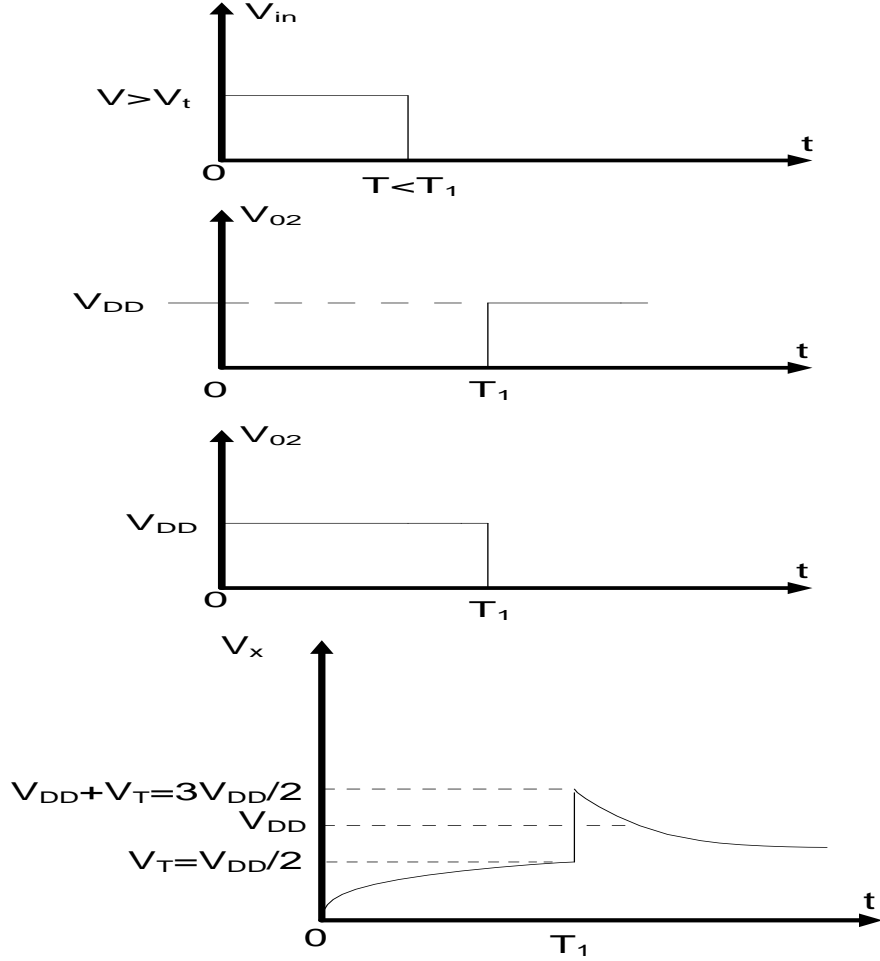
v_x geriliminin T_1 anında $3/2 V_{DD}$ değerine yükselmesinin NOR kapısındaki MOS elemanı açısından tehlikeli olacağı göz önüne alınarak (Neden?) bu duruma karşı nasıl bir önlem alınabileceğini tartışın.

Deney-6.6: Tek kararlı ikili devreleri incelemek amacıyla Şekil 6.16'daki devreyi kurun.

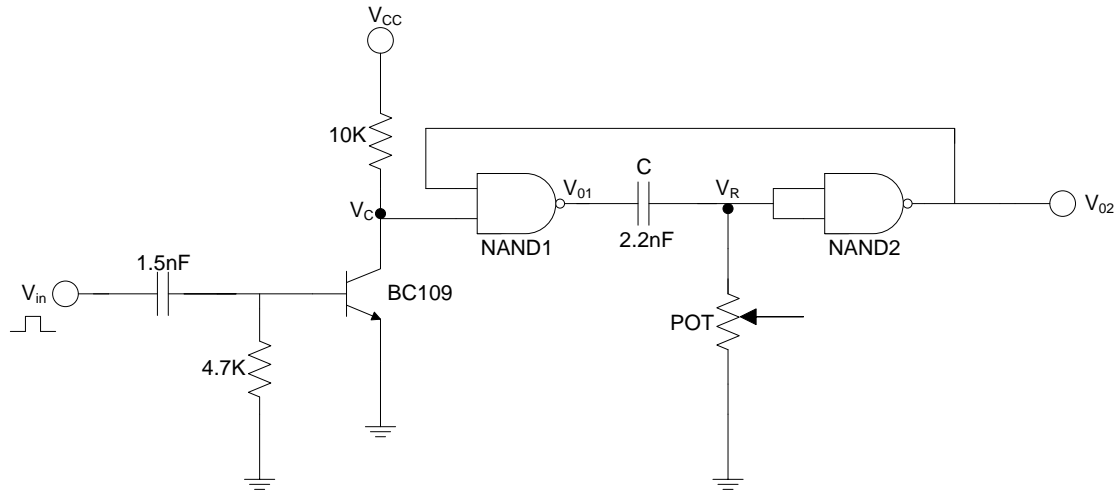
Deney-6.7: Devrede tranzistorun kolektöründeki gerilimin zamana göre değişimini çizin.

Deney-6.8: Devrenin girişe uygulanan kare dalganın bir periyodu boyunca V_R çıkışının zamana göre değişimini çizin. Elde ettiğiniz grafiği Şekil 6.15'teki ile karşılaştırın.

Deney-6.9: Şekil 14'deki devreyle sizin kurduğunuz devre arasındaki farkları tartışın.



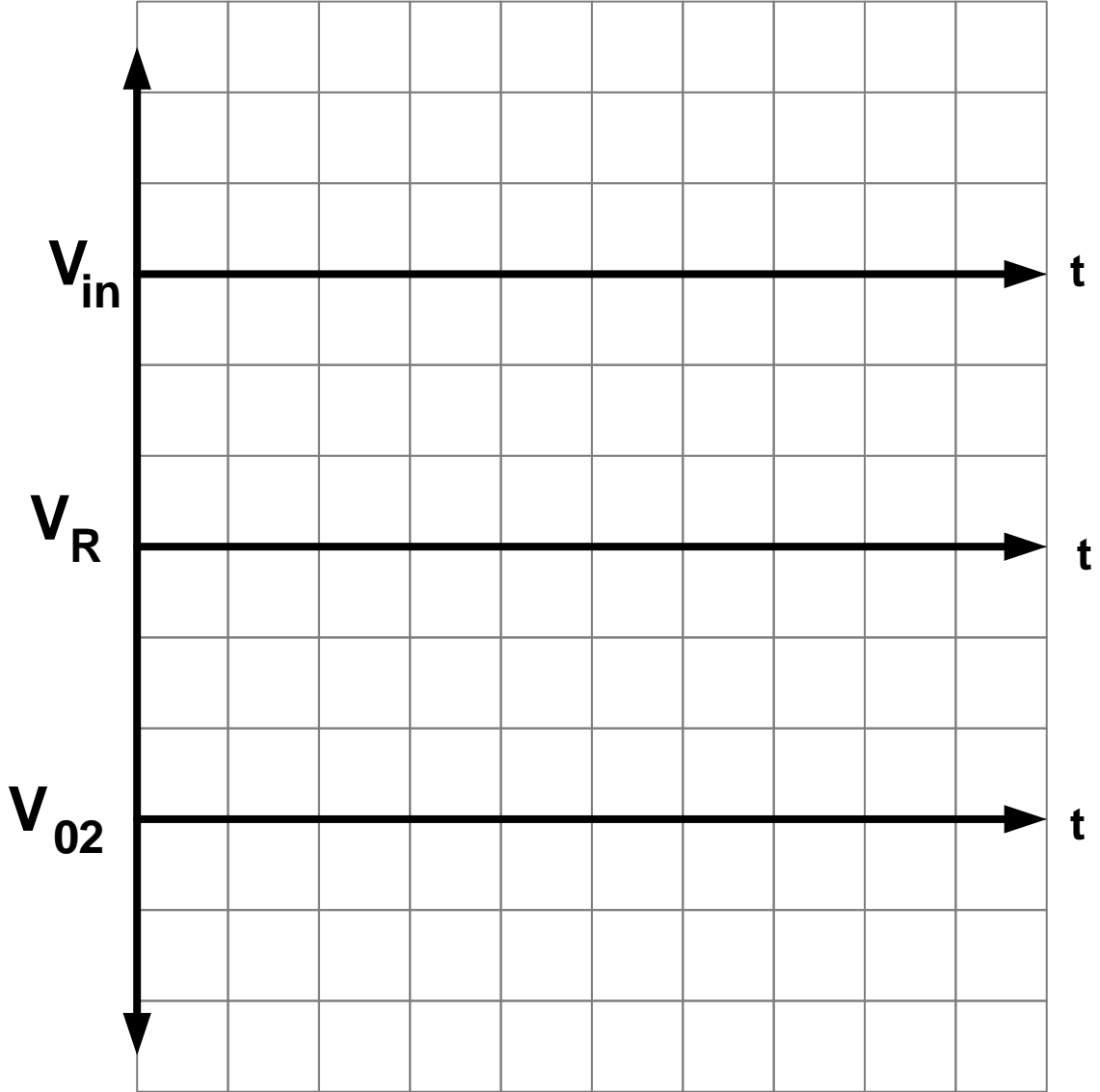
Şekil-6.15 Gerilim dalga şekilleri



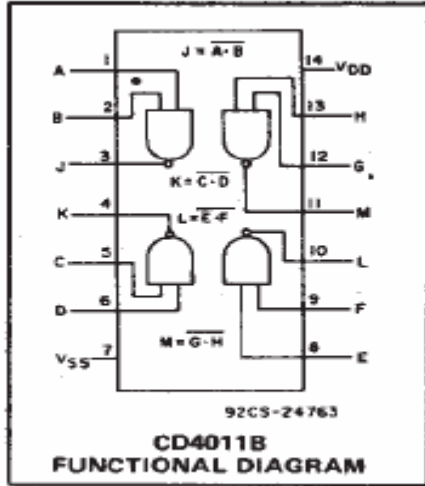
Şekil-6.16 Ölçme devresi

(DENEY-6) ÖLÇME SONUÇLARINI İŞLEME KISMI

Deneyi Yaptıran Araştırma Görevlisi	
Deney Günü ve Saati	
Deneyi yapan öğrencinin:	
Adı ve Soyadı:	
Numarası:	
Grup Numarası:	
E-postası:	

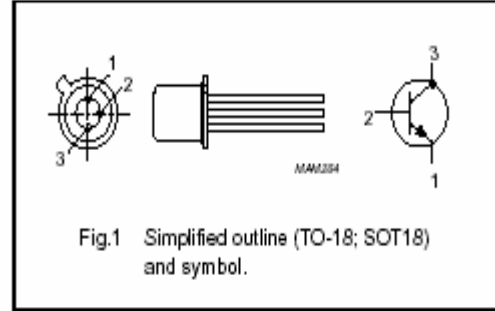


EK-BİLGİLER



PINNING

PIN	DESCRIPTION
1	emitter
2	base
3	collector, connected to the case



DENEY 6 - RAPORDA İSTENENLER

- Deney esnasında yapılan tüm çalışmalar özetlenecek, elde edilen sonuçların teorik olarak beklenen sonuçlarla uyuşup uyuşmadığı belirtilecektir. Varsa oluşan farklılıkların sebebi ifade edilmelidir.
- Son kurulan tek kararlı ikili devre bilgisayar destekli bir tasarım aracıyla (örneğin PSpice, LT Spice) analiz edilecek, elde edilen veriler deneyde bulunan verilerle karşılaştırılacaktır.
- Tek kararlı ikili devrenin nasıl çalıştığı deney esnasında elde edilen grafikler üzerinden yorumlanmalıdır.
- Tek kararlı ikili devrelerin kullanım yerine örnek veriniz.
- İçerik haricinde rapora gösterilen özen ve sarf edilen gayret de değerlendirmeyi de etkileyecektir.