项目要求

1. 项目目标

* 设计实现Processor 支持 RISCV指令子集 TinyRV2
* 设计实现Cache

1. 项目要求

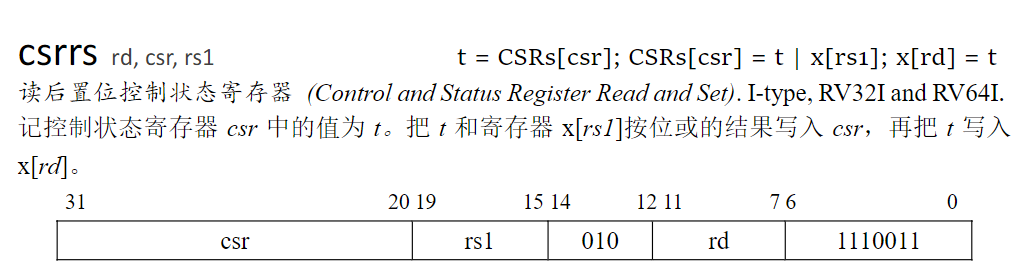
Processor:

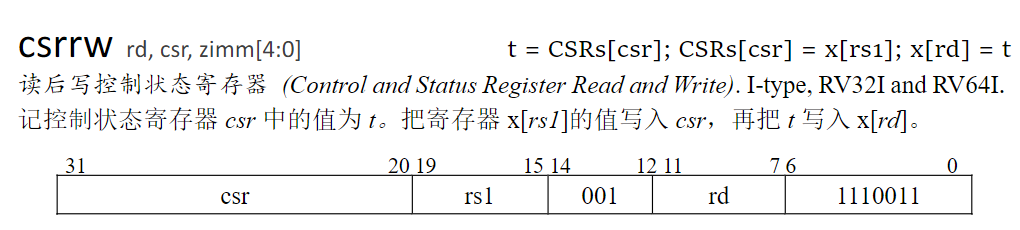
* 五段流水线
* Reset vector:0x200

Tips:

csrr rd, csr == csrrs rd, csr, x0

csrw csr, rs1 == csrrw, x0, csr, rs1

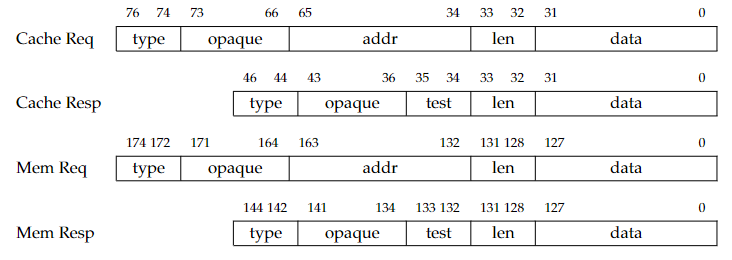




Cache:

* + Capacity:256B
  + Cacheline:16B
  + Write back + write allocate
  + 分离Instruction Cache 与 Data Cache

访存请求遵循如下格式：



模块接口定义遵循给定模板。

1. 项目评估

* 通过所有指令功能及Cache单元测试。
* 应用性能评估CPI