

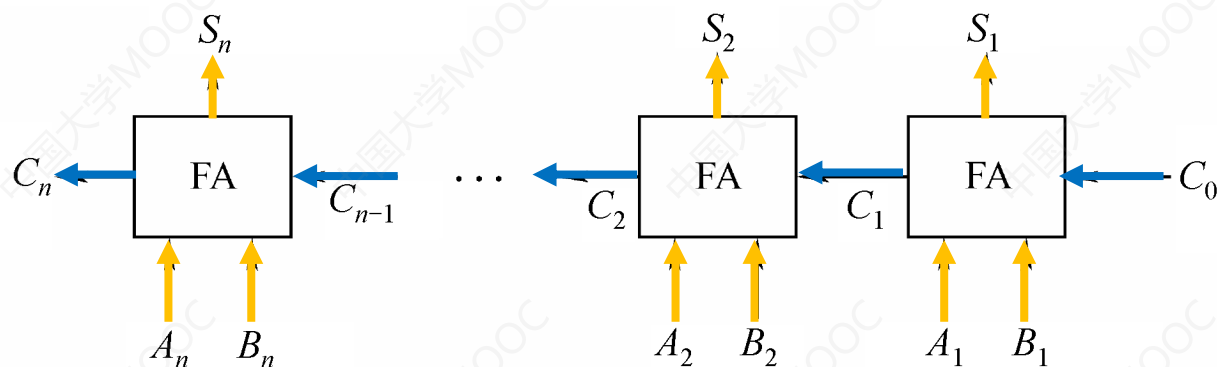
本节内容

# 并行进位加 法器

## 本节总览

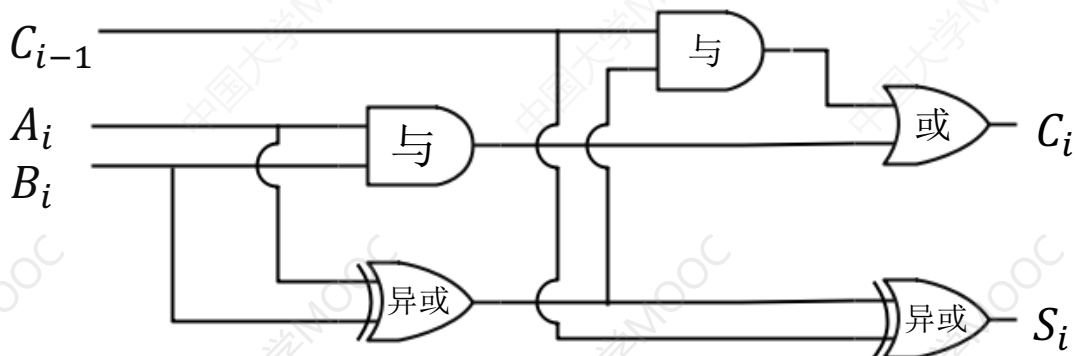


# 串行进位的并行加法器



**串行进位的并行加法器：**把n个全加器串接起来，就可进行两个n位数的相加。

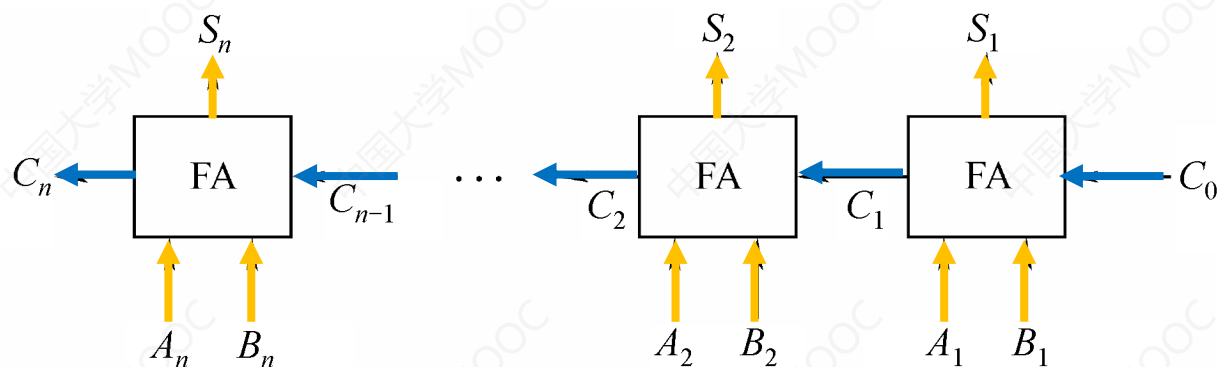
串行进位又称为行波进位，每一级进位直接依赖于前一级的进位，即进位信号是逐级形成的。



$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

## 如何更快的产生进位？



禁止套娃

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$

$$C_i = A_i B_i + (A_i \oplus B_i) (A_{i-1} B_{i-1} + (A_{i-1} \oplus B_{i-1}) C_{i-2})$$

$$C_i = A_i B_i + (A_i \oplus B_i) (A_{i-1} B_{i-1} + (A_{i-1} \oplus B_{i-1}) (A_{i-2} B_{i-2} + (A_{i-2} \oplus B_{i-2}) C_{i-3}))$$

.....

终有一天可以展开到  $C_0$

记：

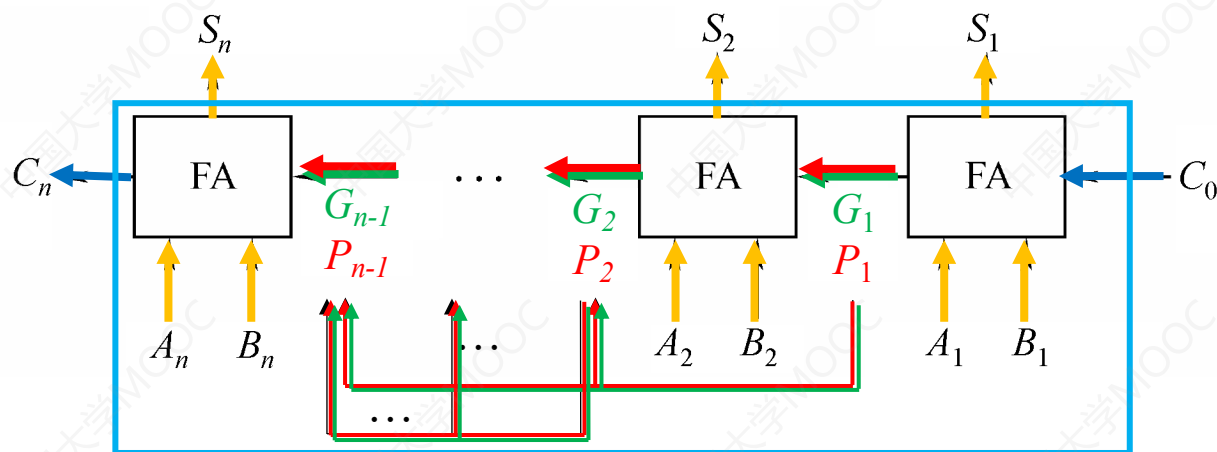
$$G_i = A_i B_i$$

$$P_i = A_i \oplus B_i$$

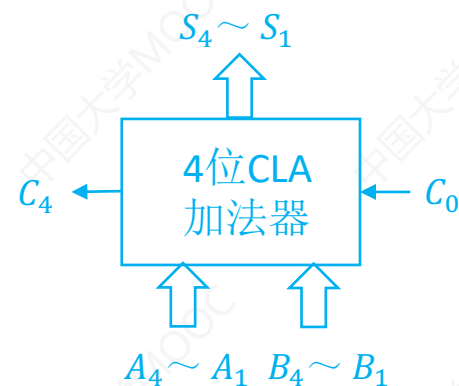
刚开始就有的信息

结论：第  $i$  位向更高位的进位  $C_i$  可根据 被加数、加数的第  $1 \sim i$  位, 再结合  $C_0$  即可确定

## 并行加法器的优化



由4个FA和一些新的  
线路、运算逻辑组成



并行进位的并行加法器：各级进位信号同时形成，又称为先行进位、同时进位

$$G_i = A_i B_i \quad P_i = A_i \oplus B_i$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} = G_i + P_i C_{i-1}$$

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 C_3 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

.....

继续套娃会导致  
电路越来越复杂

## 本节回顾

