

實驗二

組合邏輯的設計方法與步驟

實驗目的

- 藉由實驗的過程了解一般組合電路的設計方法與步驟

實驗項目

- BCD碼偵錯電路
- 二的補數產生器

五、實習項目

- A. BCD 碼偵錯示範電路。
- B. 超三碼偵錯示範電路。
- C. 平方產生器示範電路。
- D. 二的補數產生器示範電路。

A、BCD 碼偵錯示範電路

1. 邏輯圖如圖 3 - 6(a) 所示，示範電路則如圖 3 - 6(b) 所示。74LS08 及 74LS32 的 IC 接腳圖如圖 3 - 7(a) 及圖 3 - 7(b) 所示。

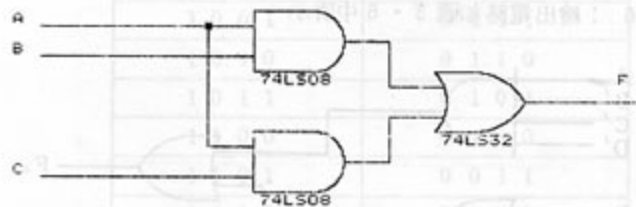


圖 3 - 6 (a) BCD 偵錯邏輯圖

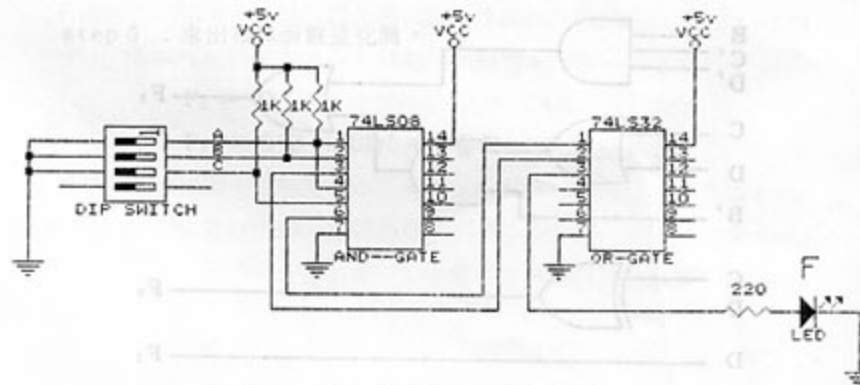
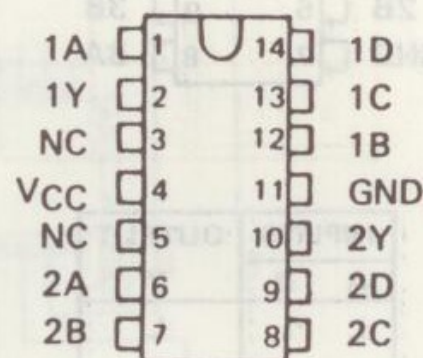


圖 3 - 6 (b) BCD 偵錯示範電路

D、二的補數產生器示範電路

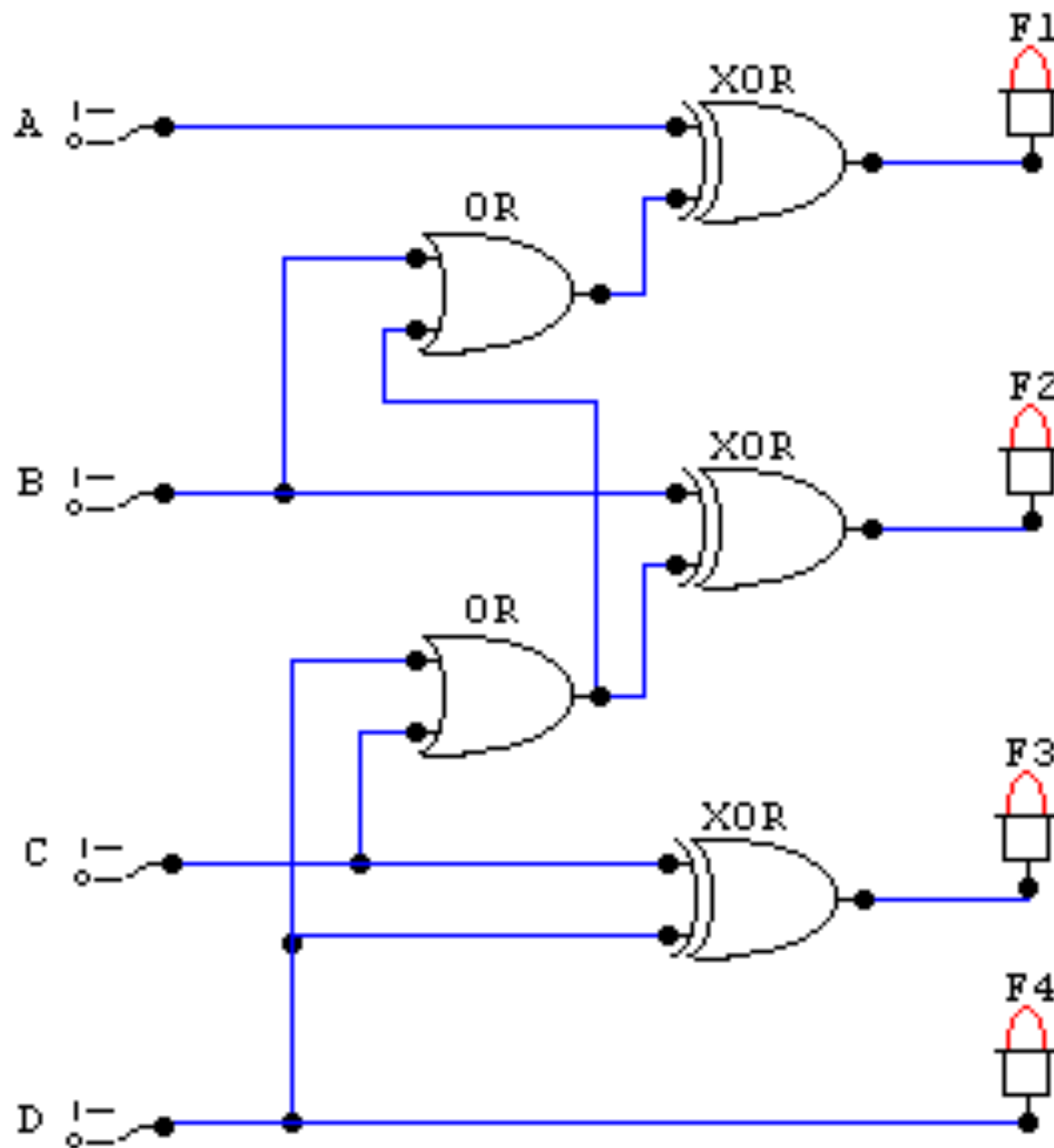
1. 二的補數產生器邏輯圖如圖 3 - 12 (a)，示範電路如圖 3 - 12 (b) 所示
74LS08、74LS32、74LS04、74LS86 及 74LS21 的 IC 接
請參考圖 3 - 7、圖 3 - 9、圖 3 - 11 及圖 3 - 13。

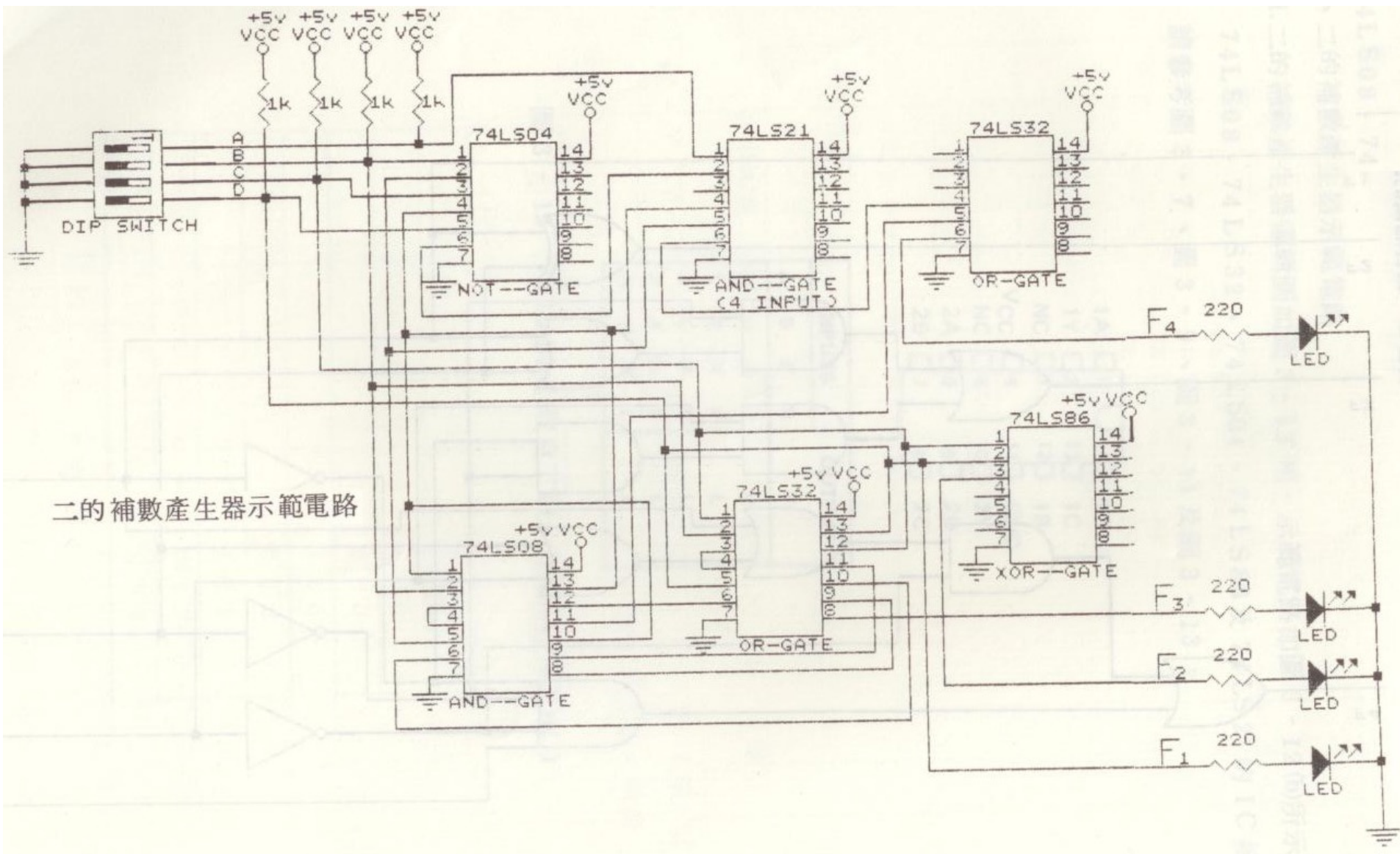


INPUTS				OUTPUT
A	B	C	D	
H	H	H	H	H
L	X	X	X	L
X	L	X	X	L
X	X	L	X	L
X	X	X	L	L

圖 3 - 13 74LS21 (取自TTL DATA BOOK)

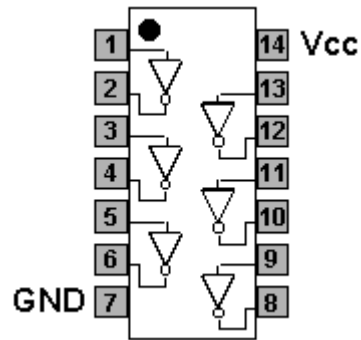
二的補數產生器



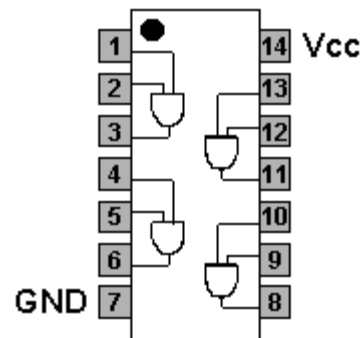


二的補數產生器示範電路

74LS04 (NOT Gate)



74LS08 (AND Gate)



74LS32 (OR Gate)

