

實驗四

乘法器

實驗目的

- 了解二進制乘法器的設計
- 了解IC型的乘法器使用

實驗項目

- 2bit * 2bit 乘法器
- 4bit * 3bit 乘法器(加分用)

四、相關知識

A、二進制乘法與二進制乘法

在乘法的過程中，事實上可視為許多位元的相加，如圖 6 - 1 所示。

$$\begin{array}{r} 10 \\ \times 11 \\ \hline 10 \\ 10 \\ \hline 110 \end{array} \quad \Longrightarrow \quad \begin{array}{r} 2 \\ \times 3 \\ \hline 6 \end{array}$$

(二進制) (十進制)

圖 6 - 1

由圖 6 - 1 中我們可發現二個二進制數的相乘，可以由很多單一位元相乘之後的和得到。

B、單一位元的相乘

1. 由圖 6 - 1 中二進制相乘的特性，我們可列出如表 6 - 3 (a) 的真值表。

A	B	M
0	0	0
0	1	0
1	0	0
1	1	1

(a) 單位元乘法真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(b) AND 真值表

表 6 - 3

2. 將表 6 - 3 (a) 的真值表與表 6 - 3 (b) AND 閘的真值表比較之後，我們可發現單一位元的相乘，可用 AND 閘來完成。

C、2 bit × 2 bit 乘法器

1. 首先考慮 2 bit × 2 bit 的運算情形，如圖 6 - 2 所示。

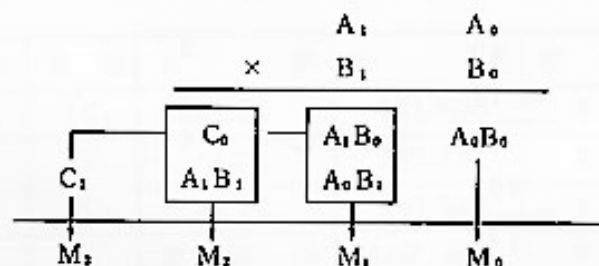


圖 6 - 2

2. 由圖 6 - 2 的運算特性，可得如下的布林函數。

$$M_0 = A_0 B_0$$

$$M_1 = A_1 B_0 + A_0 B_1$$

$$M_2 = A_1 B_1 + C_0$$

$$M_3 = C_1$$

3. 由 2 中的布林函數，可得如圖 6 - 3 的電路。

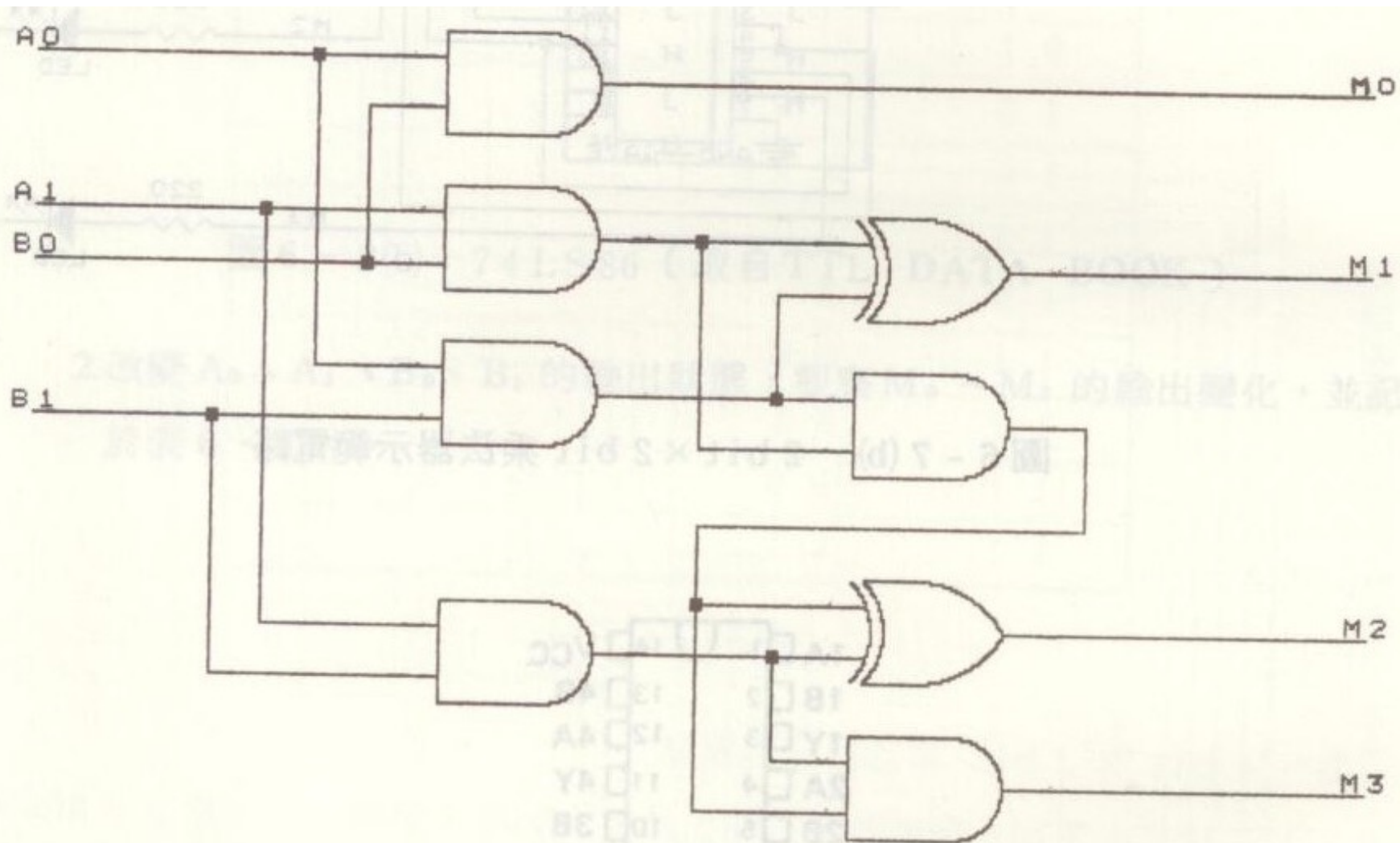


圖 6 - 7 (a) 2 bit \times 2bit 乘法器邏輯圖

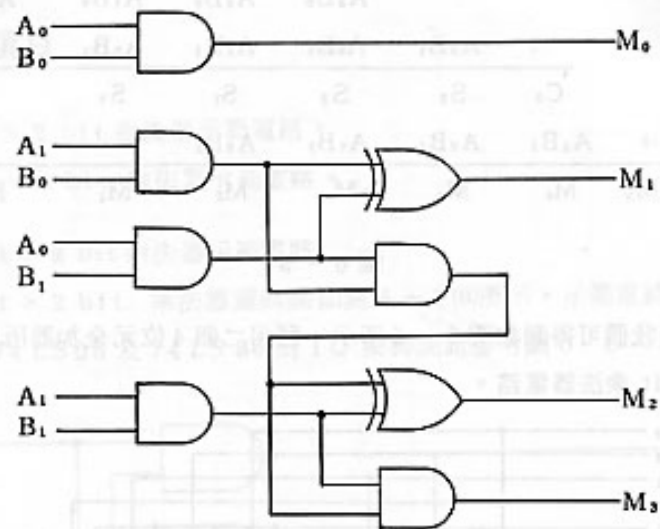


圖 6 - 3

D、4 bit \times 3 bit 乘法器

1. 首先分析 4 bit \times 3 bit 的乘法運算，如圖 6 - 4 所示。

	A_3	A_2	A_1	A_0	
\times		B_2	B_1	B_0	
		A_3B_0	A_2B_0	A_1B_0	A_0B_0 — ①
	A_3B_1	A_2B_1	A_1B_1	A_0B_1	—— ②
A_3B_2	A_2B_2	A_1B_2	A_0B_2		—— ③

圖 6 - 4

2. 由圖 6 - 4 中，我們發現 4 bit \times 3 bit 的乘法可由二次加法運算來完成。
 第一次將①及②相加，第二次將第一次運算後的和與③相加，如圖 6 - 5 所示。

			A_3B_0	A_2B_0	A_1B_0	A_0B_0
	+	A_3B_1	A_2B_1	A_1B_1	A_0B_1	
	C_0	S_3	S_2	S_1	S_0	
	+	A_3B_2	A_2B_2	A_1B_2	A_0B_2	
M_6	M_5	M_4	M_3	M_2	M_1	M_0

圖 6 - 5

3.最後我們可得到如圖 6 - 6 所示，利用二個 4 位元全加器所組成 4 bit \times 3 bit 乘法器電路。

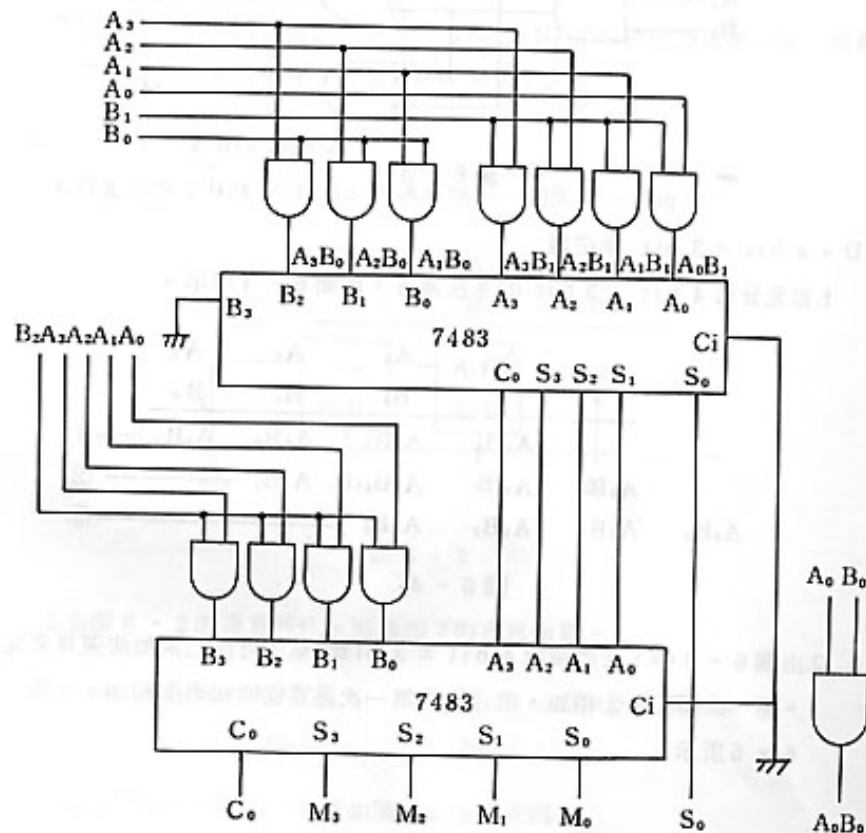
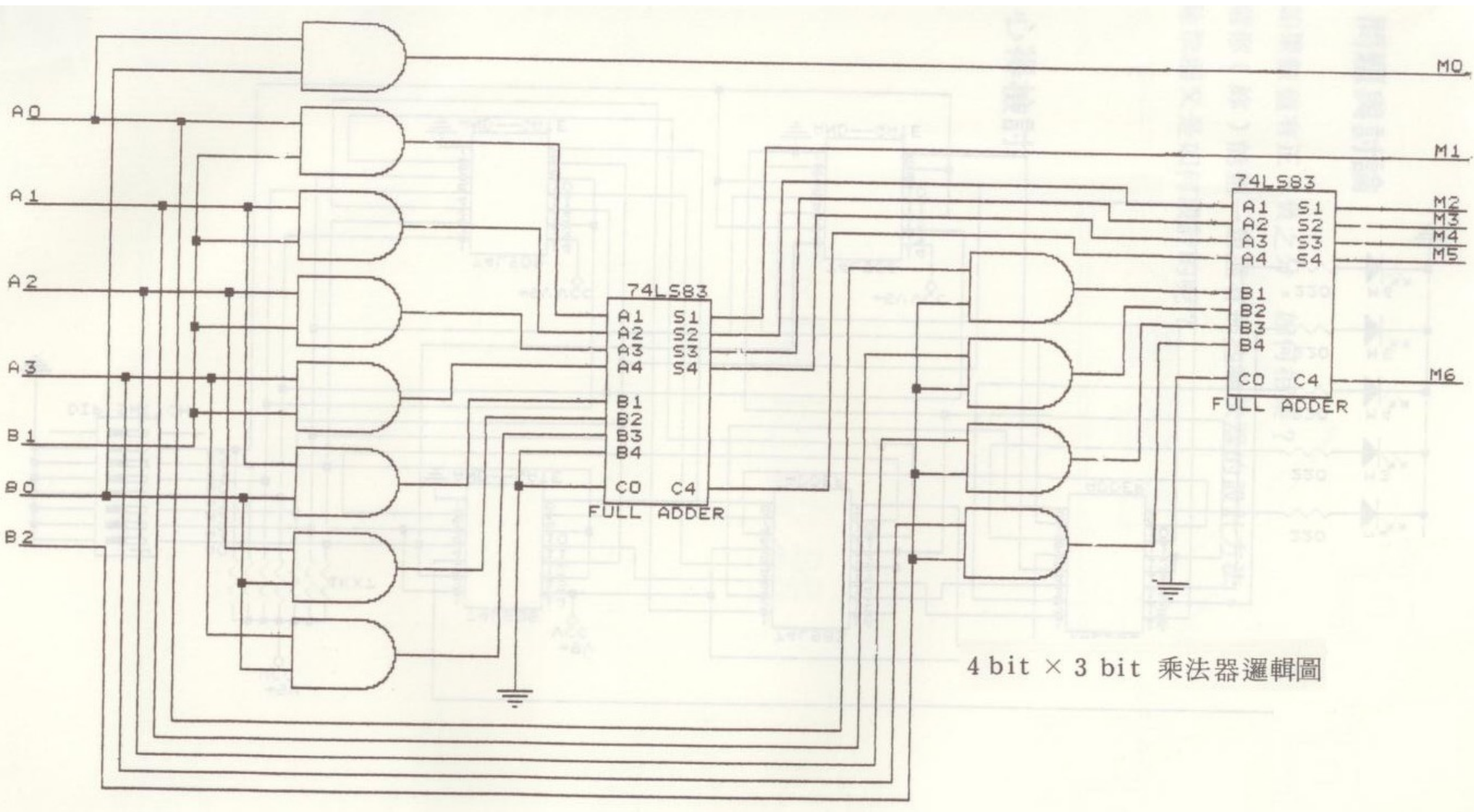


圖 6 - 6



4 bit × 3 bit 乘法器邏輯圖

