

實驗三

加法器與減法器

實驗目的

- 了解加法器的原理與應用
- 了解減法器的原理與應用

實驗項目

- 實作半加器
- 實作全減器

半加法器

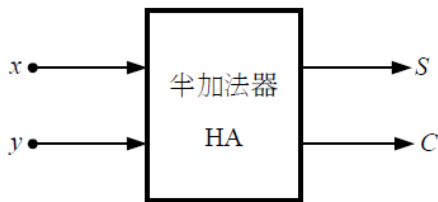
- ◆ **半加法器** (Half Adder) 是一種組合邏輯電路，此電路僅可執行**兩組 1 位元**之二進位數的加法運算。接著列出兩個二進位數相加之**運算規則**如下：

$$\begin{array}{r}
 0 \\
 + 0 \\
 \hline
 00
 \end{array}
 \quad
 \begin{array}{r}
 0 \\
 + 1 \\
 \hline
 01
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 + 0 \\
 \hline
 01
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 + 1 \\
 \hline
 10
 \end{array}$$

被加數
 加數

進位 和

- ◆ 半加法器有**加數與被加數**等**兩個輸入變數**，分別用 x 與 y 來標示，而兩數相加後會產生一個**和** (Sum) 與可能產生之**進位** (Carry) 等**兩個輸出變數**，分別標示為 S 與 C 。



(a) 方塊圖

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

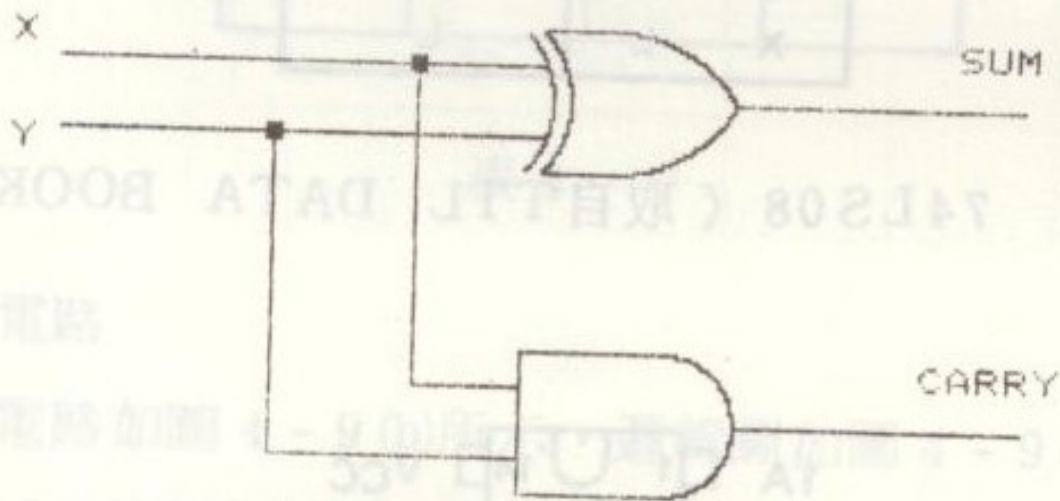
(b) 真值表

應為7408(And) + 7486(XOR)

A、半加器示範電路。

1. 半加器的示範電路如下圖圖 4 - 7 (b) 所示，邏輯圖如圖 4 - 7 (a) 所示。

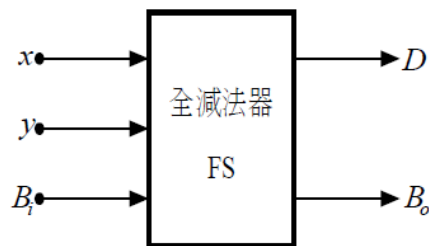
74LS00 及 74LS86 的 IC 接腳圖則如圖 4 - 8 所示。



(a) 半加器邏輯圖

減法器(全減法器)

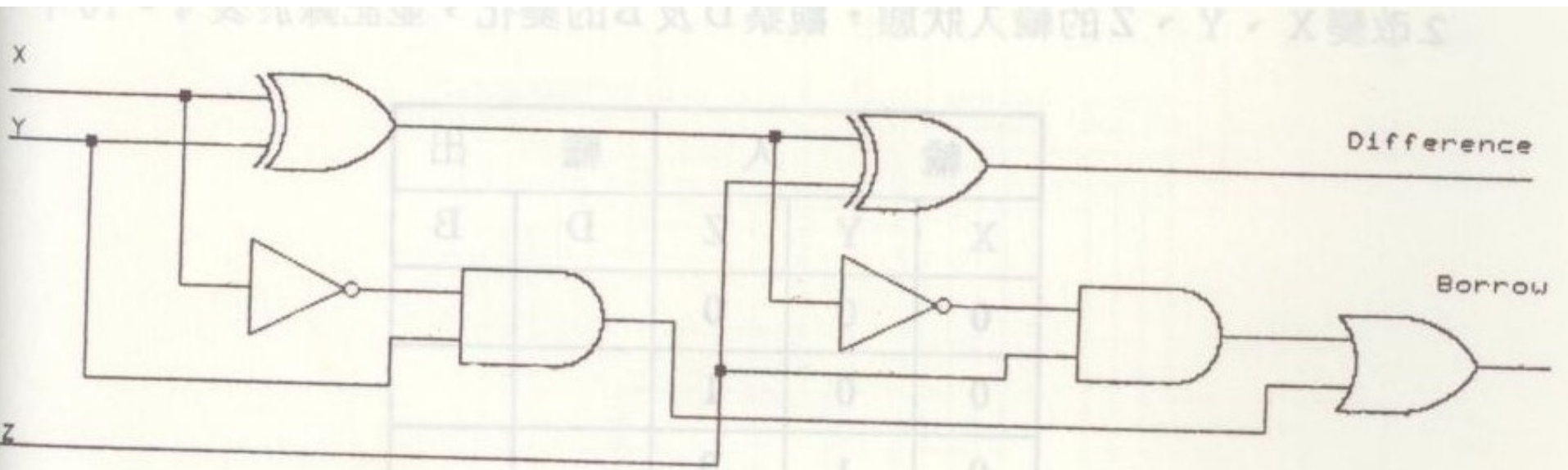
- ◆ 因考慮借位傳輸的問題，全減法器有被減數、減數與借位輸入等 3 個輸入變數，分別標示為 x 、 y 與 B_i ，而這 3 個輸入之二進位數相減後，會產生一個差 (Difference) 與可能產生一個借位 (Borrow) 等兩個輸出變數，分別標示為 D 與 B_o 。當得知輸入與輸出之變數後，即可繪出全減法器之方塊圖與真值表，如下圖所示。



(a) 方塊圖

x	y	B_i	D	B_o
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

(b) 真值表



(a) 全減器邏輯圖

實驗參考

- 連結：<https://reurl.cc/d7lray>

