1. dual-port block RAM 世里重自己设计简单双端中RAM,则一定要注意、当同一时间、读和写同一个 hemary block 时,我 们读取的值必须是即将写入这个memory block的新值,而不是存储在其中的旧值。 sys\_clk wen ren rd\_equ\_ wr\_flag W-data 5 wen 同安出现 w\_data inst\_mem [1] Dunte 7 in inst[1] Z read\_day w\_data\_ dly r. data rd\_equ\_wr\_flag sys-clk r\_data w\_addr w\_data r\_addr

图为 W-data 5 rd\_equ-cur-flag, inst\_mem[1] 40 r-data-dly都没有x丰孝,所以为了使他们同 岩以满足组合逻辑电路,W-data要打一拍,才能用于组合逻辑中取值。 坛:r-data 也可以直接读取inst\_mem[1]的值,而不是w-data-dly的值,但可能由于物理 原图, inst-mem[1]中的维证基本入。 许、我们看到ren 5 r-data 并不同步,因此对于1的指金、别们要在instruction decade 对象扩发出 ren信号给RAM,然后过了一个olk cycle,便做在execution的填出RAM中的值。 2. if \_ id 我们在 instruction\_fetch 中已经对 inst 打了一板、得到r-data, 因性技术instruction fetch stage 不能再对 inst信号分级打一拍操作,但是为了实现流水线中刷机制、必须对inst做些 级全逻辑操作。 to Pinstruction\_feld 中并收有对 instruction进行打一板,则if\_id 提供所需实现的证能为: { instruction fetch } inst | if id inst dly > sys-clk hold insto X inst 1 X inst 2 X inst 3 X inst 4 X inst 5 X inst 6 X inst 7 X inst Vinst 0 (inst 1 (inst 2) (inst 3) (NOP) Vinst 5 (inst 6) #o Zinstruction fetch 2经对instrution 打一拍,则if-id模块要要现上述相同的效果,则