

TXD

👉 实验三：通信信号的产生

Notice

👁️ 注意：

1. `rtl/txd.v` 为顶层设计文件
2. `test/txd_tb.v` 为联合仿真文件
3. `simulation/vcd/txd.vcd` 为波形输出文件

可使用 `GTKWave` 或 `Vscode Extension: WaveTrace` 查看

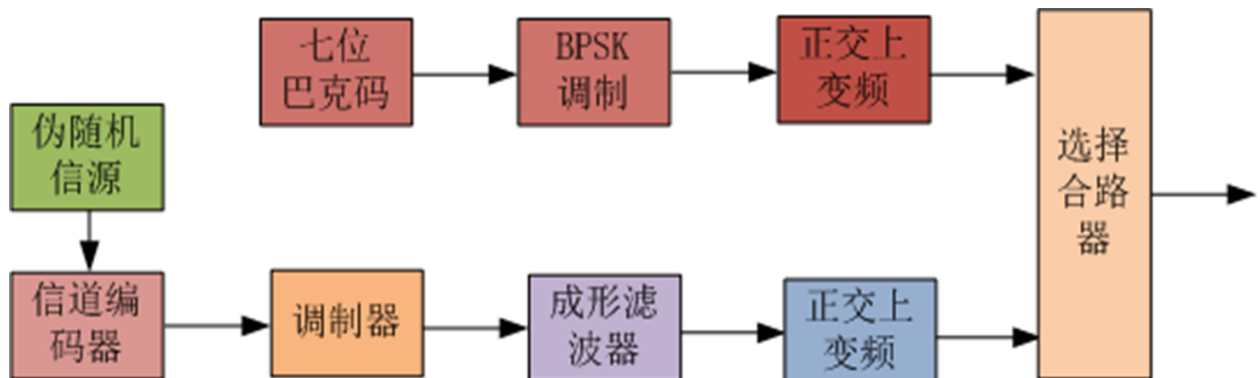
Environment

🚀 仿真环境

1. Ubuntu 20.04.6 LTS
2. Icarus Verilog version 13.0 (devel) (v12_0-dirty)
3. GTKWave Analyzer v3.3.103 (w)1999-2019 BSI

Requirements

按照下图所示，利用 verilog 实现通信信号的生成



实验要求：

- (1) 码元速率为 1 M symbol/s，载波频率为 50 MHz；
- (2) 信道编码方式为 Gray 编码、CRC 编码、汉明码等任选一种；
- (3) 调制方式为 QPSK、8PSK、MSK、16QAM 等任选一种；

- (4) 使用根升余弦成形滤波, 成形因子 0.3(5分);
- (5) 采用七位巴克码完成群同步, 发送五帧数据, 每帧信息为 57 个码元。

Architecture

整体架构及参数确定

1. 信源采用 M 序列发生器 (时钟域: 1 MHz)
 1. 码元速率: 1 M symbol/s
 2. 信息速率: 1 M bps
2. 信道编码采用 (2, 1, 3) 卷积码 (时钟域: 1 MHz & 2 MHz)
 1. 信息速率倍频至: 2 Mbps
3. 成型滤波器 (时钟域: 10 MHz)
 1. 根余弦成型滤波器
 2. 成型因子: 0.3
 3. 采样频率: 10 MHz
 4. 截至频率: 1.8 MHz

借助 matlab 设计并生成 .coe 文件, 即生成滤波器系数

4. 巴克码 (时钟域: 2 MHz)
 1. 7 bits
 2. 信息速率: 2 Mbps
5. 载波 (时钟域: $50 \times 2 \times 4 = 400$ MHz)
 1. 频率: 50 MHz

编码后信号 1 bit 对应 25 个周期的载波信号

2. 采样率: 400 MHz
3. 载波信号的生成采用查找表的方式
 1. 保存前 $\frac{1}{4}$ 周期正弦波形的 2 个离散点值;
 2. 离散点值的位宽设置为 15 bits, 生成载波信号时加入正负标志位, 即载波信号位宽设置为 16 bits;
 3. 借助 matlab 计算离散点值, 注意将值域从浮点数 $[0, 1]$ 量化至整数 $[0, 2^{15}]$ 。
6. BPSK 调制 (时钟域: 2 MHz)

巴克码与信息码元均采用 BPSK 调制, 载波信号一致

7. 正交上变频 (DUC)

由 2 MHz 上变频至 50 MHz

$$S(t) = \text{Re} \{ [I(t) + jQ(t)] e^{j2\pi f_0 t} \}$$

对于 BPSK 调制信号而言：

$$S(t) = I(t)\cos(2\pi f_0 t)$$

8. 选择合路器（时钟域：2 MHz）

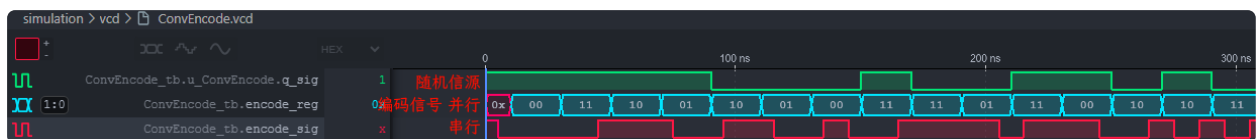
1. **` | 巴克码（7 个码元） | 数据负载（50 个码元） |
2. 需要计数器来产生两路使能信号，用于巴克码与负载的产生

Simulation

🧐 各模块仿真及联合仿真

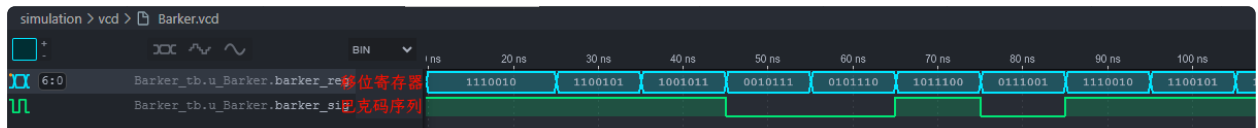
Channel Encode

(2, 1, 3) 卷积码编码器



Barker code

7 bits 巴克码发生器，产生帧同步序列



Carrier Signal

载波信号发生模块

1. ROM

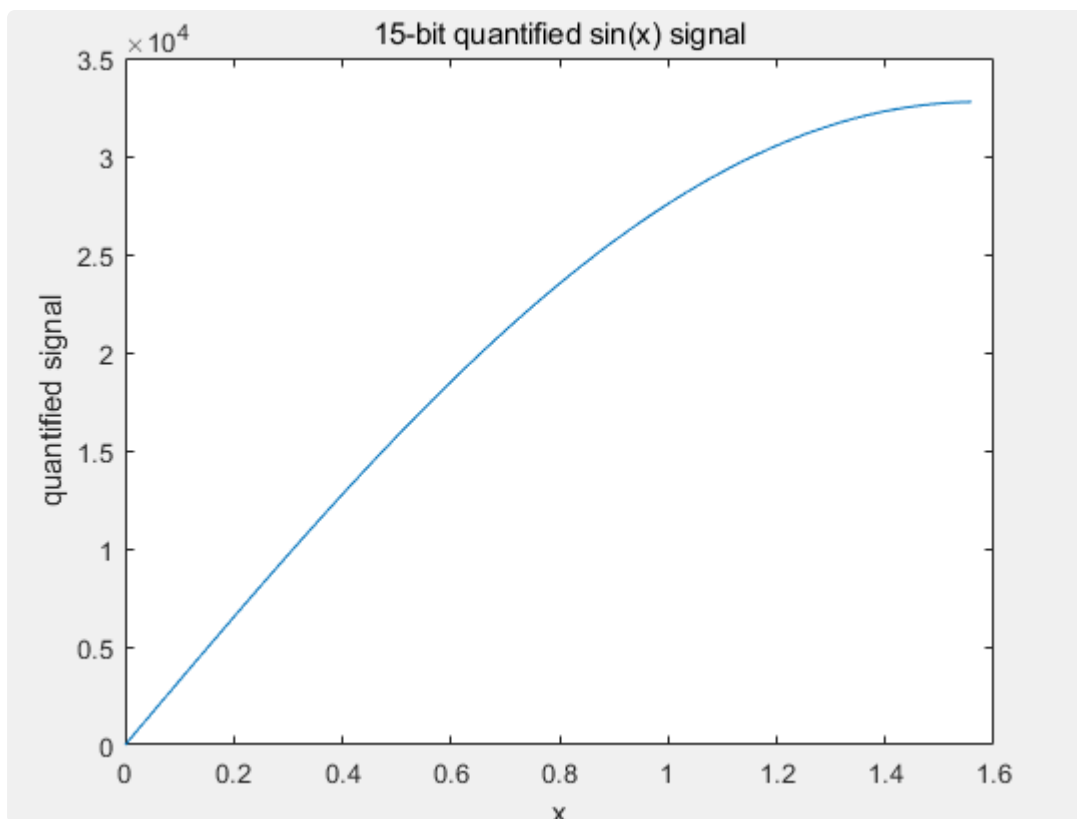
存储前 $\frac{1}{4}$ 周期的采样点

2. 状态机

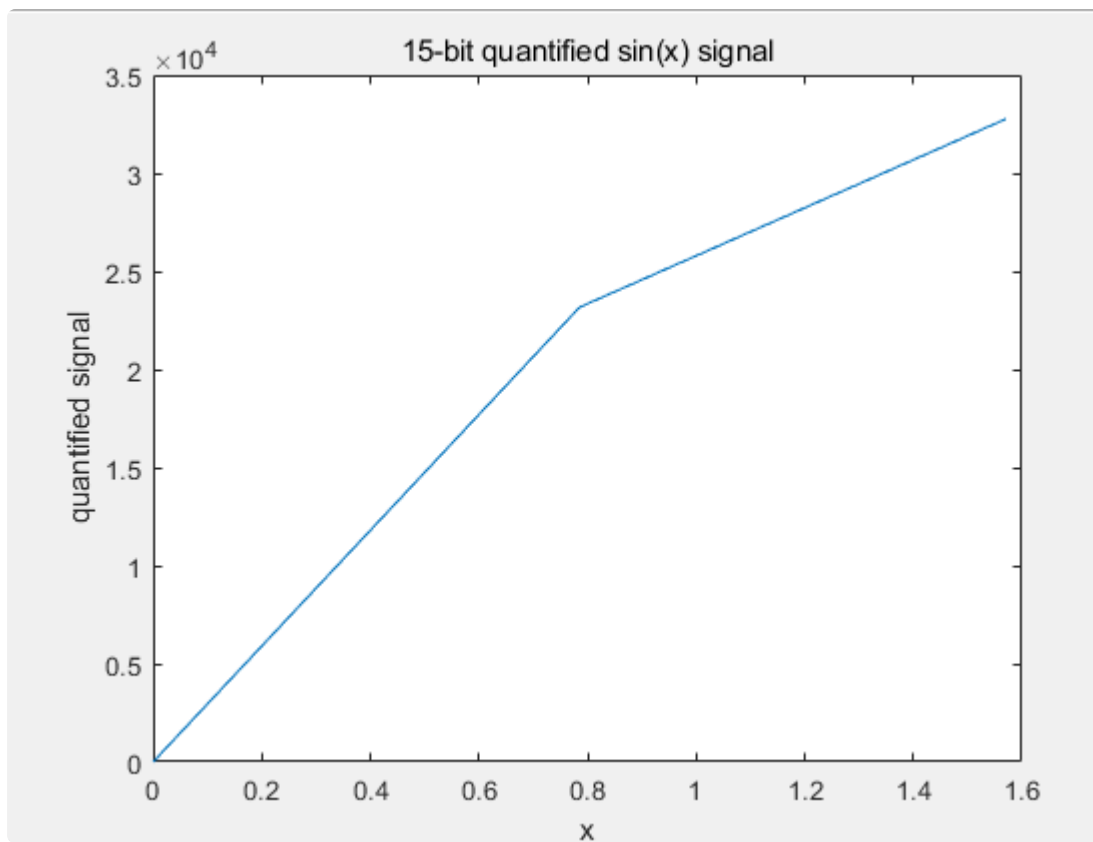
将一个周期的载波信号划分为 4 个区间

matlab 生成载波信号采样点

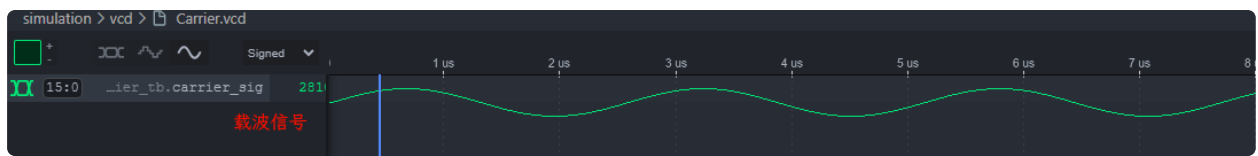
载波信号频率为 50 MHz，采样频率为 12.8 GHz，1/4 周期采样 64 个点



载波信号采样频率降低为 400 MHz，1/4 周期采样 2 个点

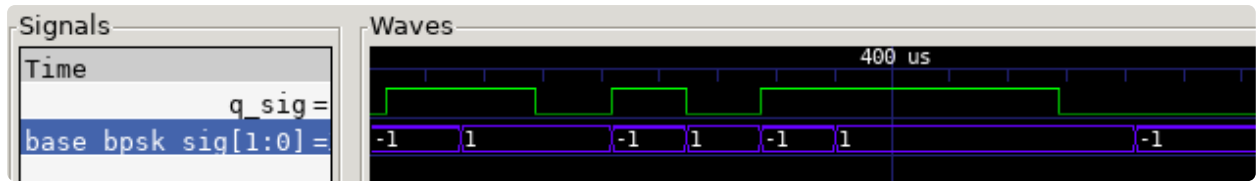


产生载波信号

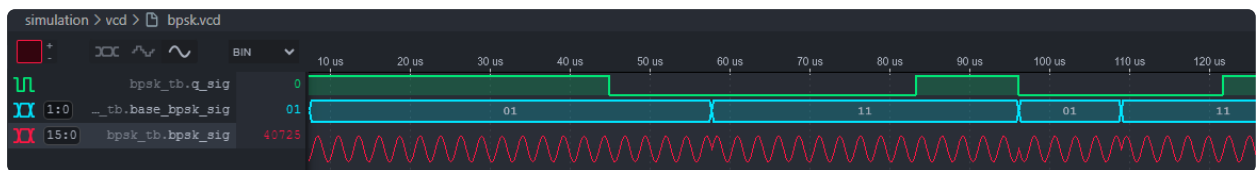


BPSK Modulation

基带信号 BPSK 调制



调制信号正交上变频

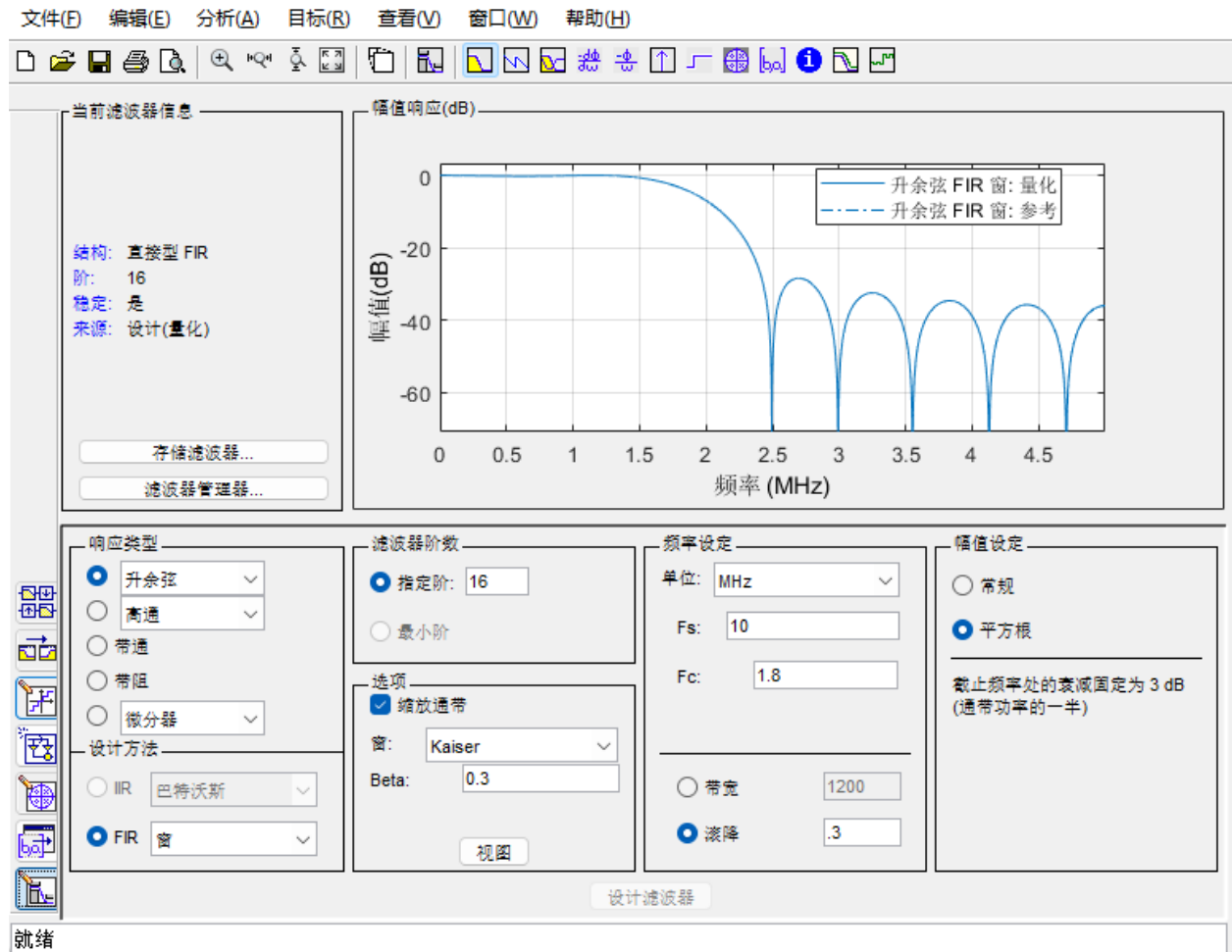


RRC Fir

根升余弦滤波器

👁️ 避免码间串扰

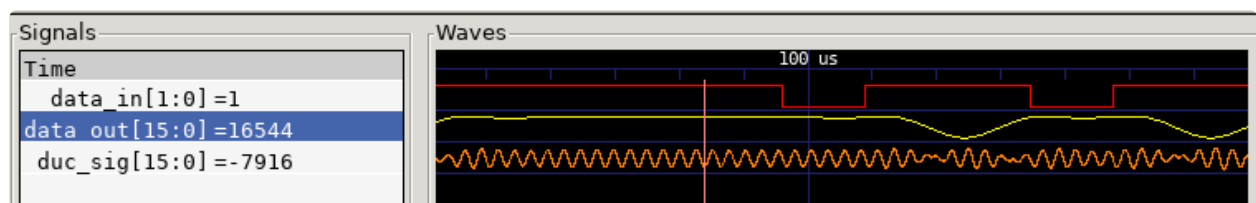
matlab 滤波器设计



滤波产生成型信号

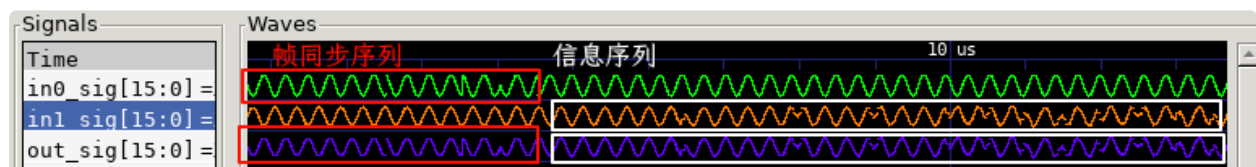


成型信号正交上变频



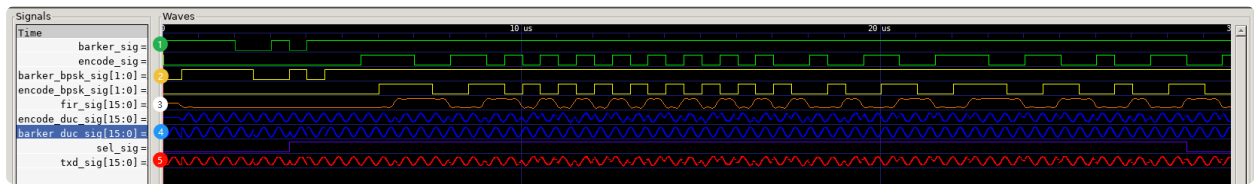
选择合路器

前 7 位为巴克码帧同步序列, 后 50 位为信息序列



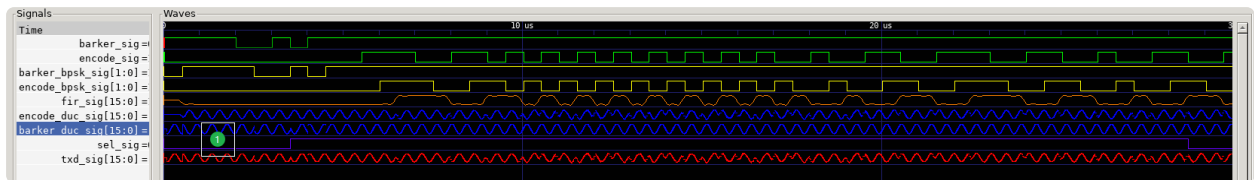
联合仿真

载波信号频率为 50 MHz，采样频率为 12.8 GHz，1/4 周期采样 64 个点

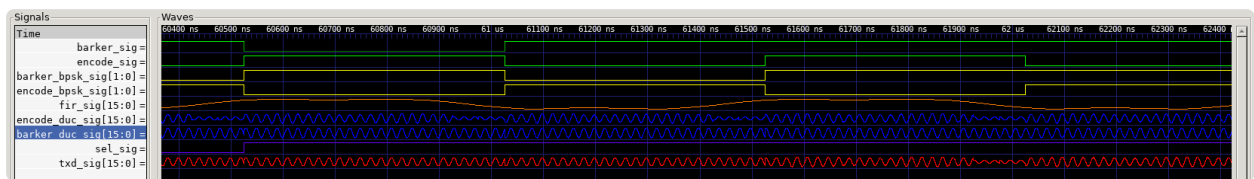


1. 基带信号
2. 调制信号
3. 成型信号
4. 上变频信号
5. 输出信号

发送 5 帧

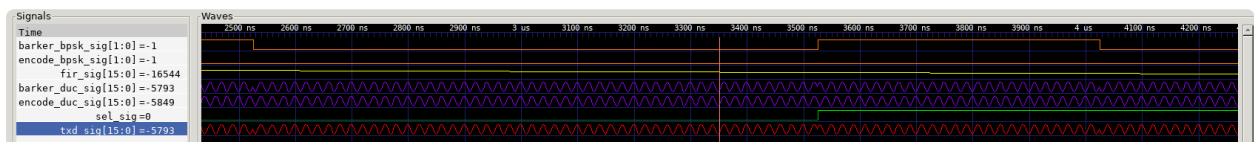


波形细节



载波信号降低采样频率

载波信号采样频率降低为 400 MHz，1/4 周期采样 2 个点



Resource

发射机的实现参考以下资源

1. bpsk
2. 根升余弦滤波 Xilinx IP 核
3. 根升余弦滤波器 Verilog 实现
4. 上变频
5. 上变频 2