**实验操作补充说明**

FPGA的型号为**EP3C25E144C8**。



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | 缺口标记 |  | |
| GND | 保留 | PIN\_100 | PIN\_98 | 保留 |
| 5V | 保留 | PIN\_103 | PIN\_99 | 保留 |

缺口管脚为98，99，100，103。这4个管脚是板子设计时留下的专门为用户开发使用的管脚。所以在下载程序到硬件时，我们可以在这4个管脚中任选使用。

FPGA PIN\_98　　说明：PIN\_98与XSRO扩展通用模块上的信号输出接口中TE3测试孔连接。

FPGA PIN\_99　　说明：PIN\_99与XSRO扩展通用模块上的信号输出接口中TE4测试孔连接。

FPGA PIN\_100　说明：PIN\_100与XSRO扩展通用模块上的信号输出接口中TE5测试孔连接。

FPGA PIN\_103 　说明：PIN\_103与XSRO扩展通用模块上的信号输出接口中TE6测试孔连接。

FPGA PIN\_87 说明：PIN\_87与内部的12MHz晶振连接，只能做信号输入。

FPGA PIN\_88 说明：PIN\_88与内部的12MHz晶振连接，只能做信号输入。

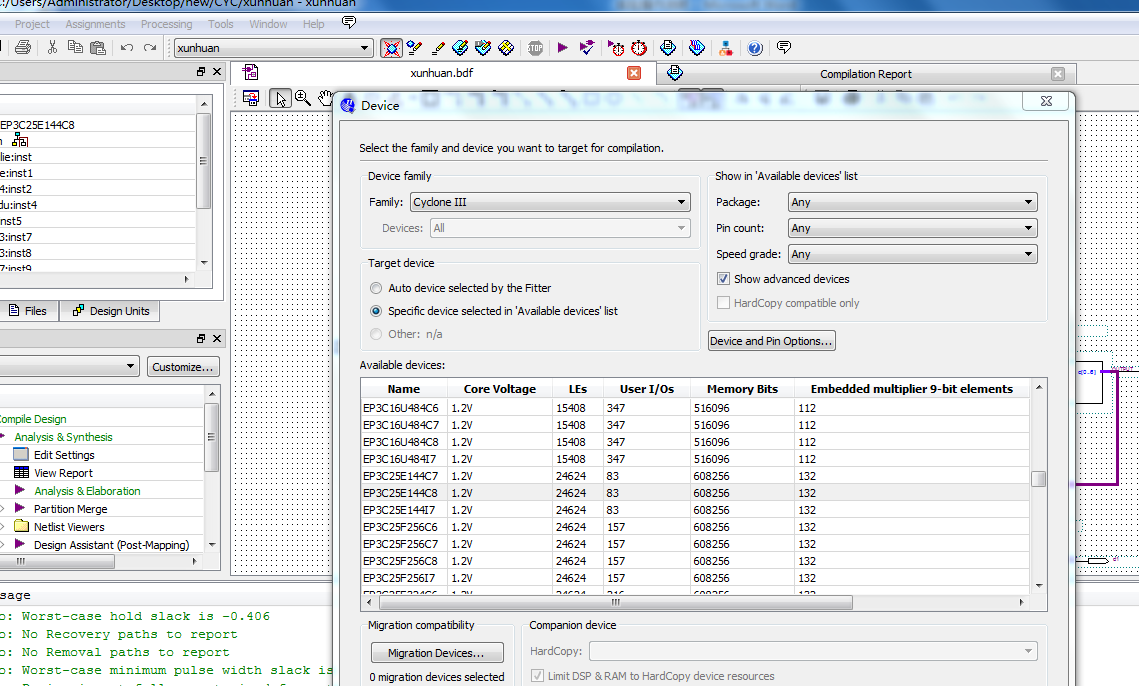
FPGA PIN\_89 说明：PIN\_89与内部的7.68MHz晶振连接，只能做信号输入。

FPGA PIN\_89 说明：PIN\_90与内部的7.68MHz晶振连接，只能做信号输入。

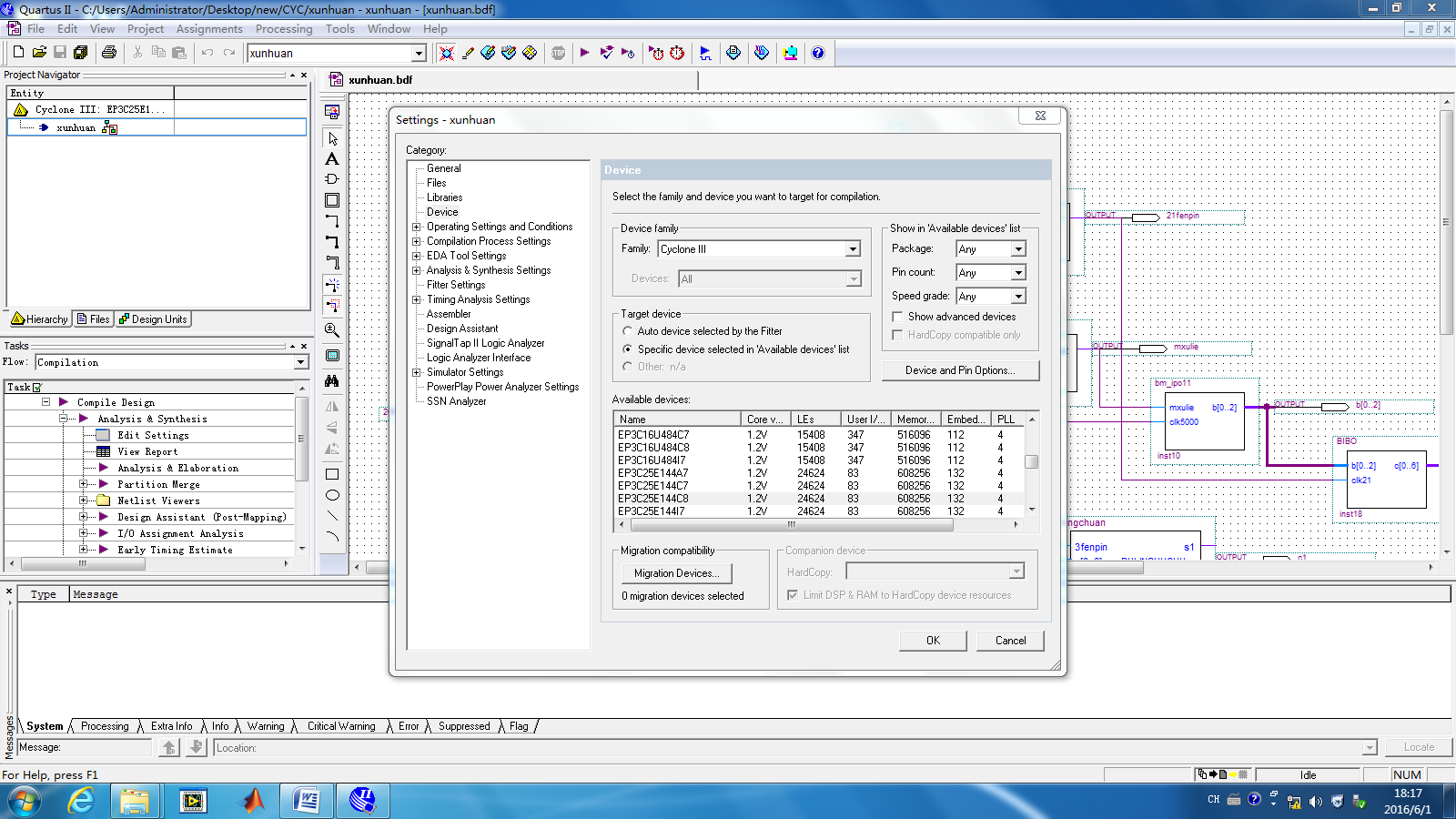
FPGA PIN\_132 说明：PIN\_132与内部的7.68MHz晶振连接，只能做信号输入。

1. 选择硬件：Assignments-Devise

11 版本: Cyclone III – EP3C25E144C8

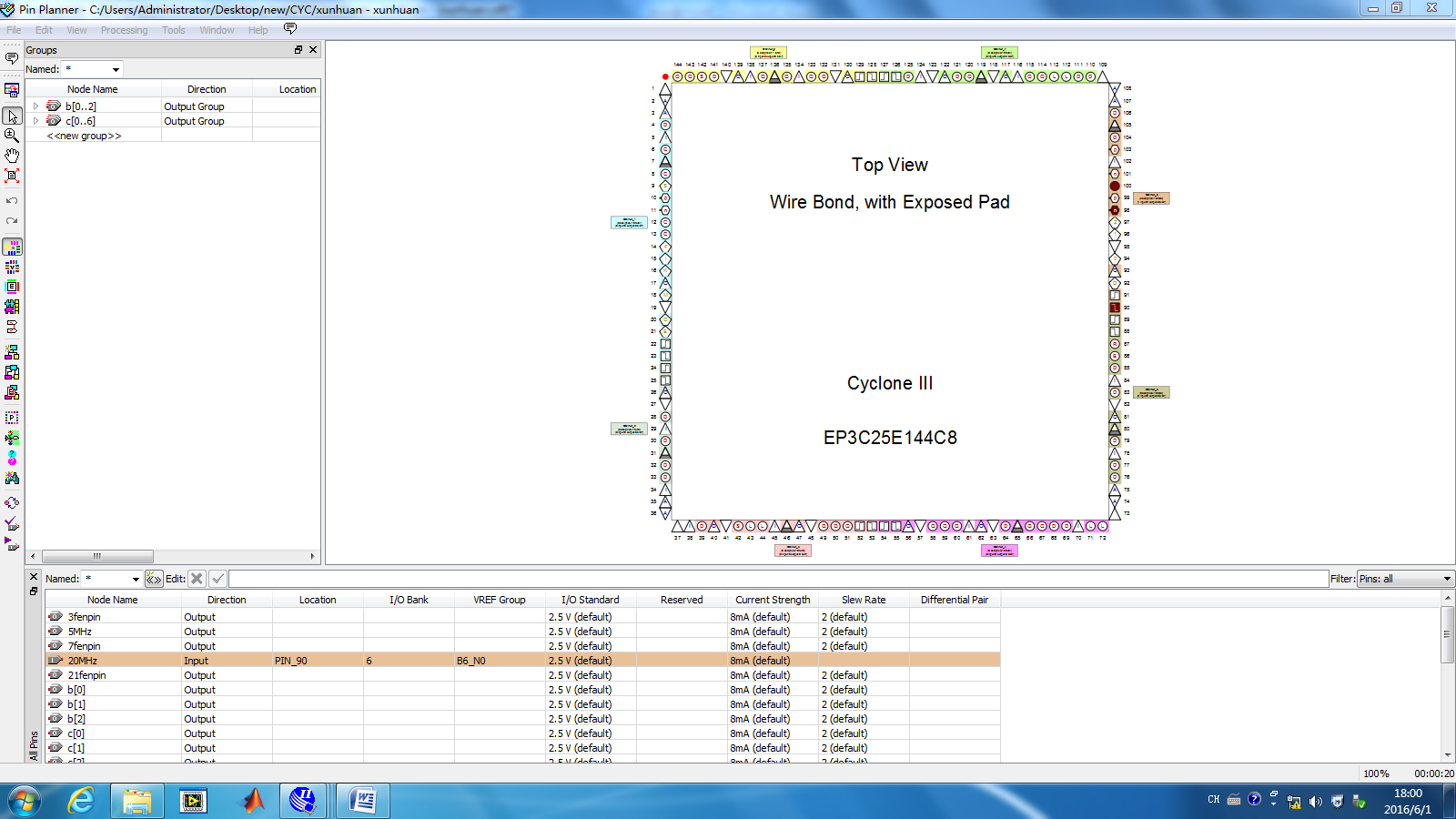


9版本：Cyclone III – EP3C25E144C8

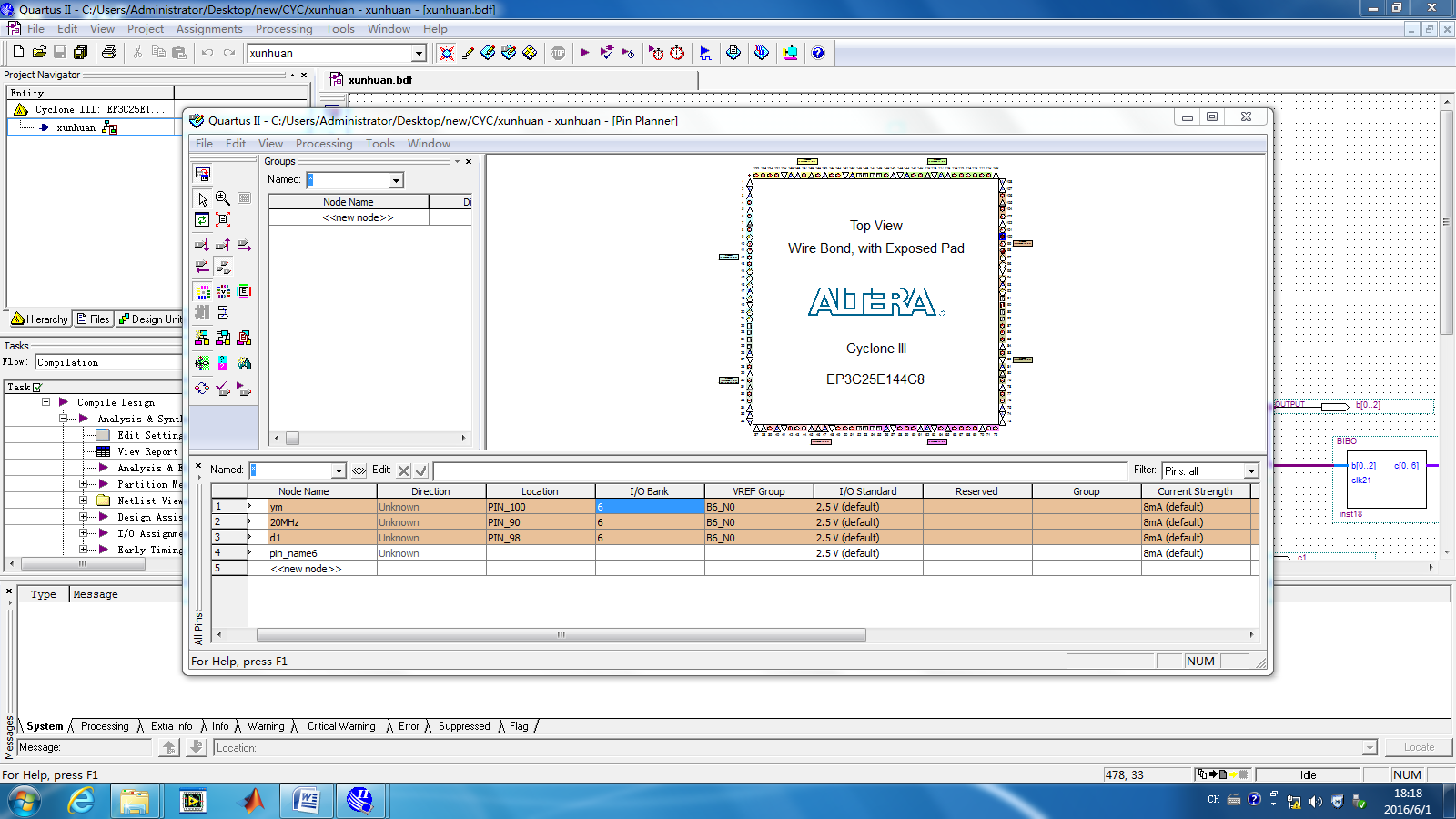


1. 二次开发管脚：

11版本: Assignments-Pin Plan



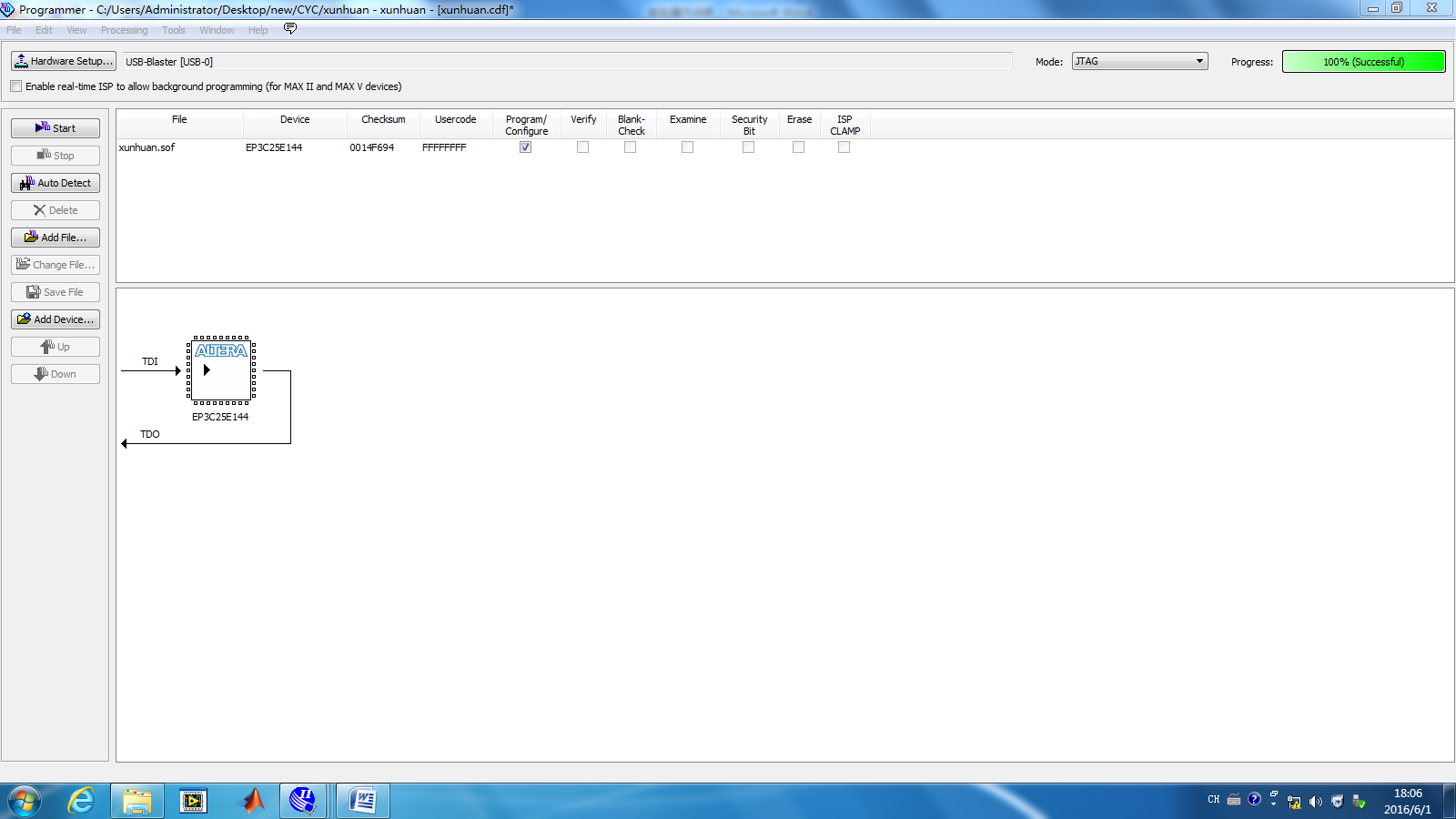
9版本: Assignments-Pins



注意: 在这里我们只对我们要求的管脚进行设置; (1)系统时钟20Mhz—90管脚;(2)编码译码管脚在98，99，100，103这几个管脚中任选，但要记住自己所选的管脚，下载到硬件中测试使用。

选择时：点击I/O Bank，然后再左边的下拉列表中选择可选的管脚。

1. 注意：选择设定管脚以后要再次进行编译，生存新的sof文件。否则设置不成功。
2. 下载：（一定要在11版本中进行下载，否则不能生成最新的sof文件）Tools-Programmer。



选择最新生成的sof文件，若有其他文件，可以右击文件-Delete，选择删除。

然后，点击start开始下载，右上角100%时下载成功。

5.测试。将实验平台中的GPIO口与板子相连，然后使用示波器测试编码和译码输出。