

## Построение логической схемы по таблице истинности с использованием конъюнктивной или дизъюнктивной формы

**Цель работы:** по заданному варианту таблицы истинности составить выражение булевой функции с помощью конъюнктивной или дизъюнктивной формы. Построить логическую схему в Logic Works.

Таблица, в которой задано значение функции F для всех возможных комбинаций входных сигналов, называется таблицей истинности булевой функции. Число возможных комбинаций входных сигналов вычисляется по формуле  $2^N$ , где N-число входов.

Например, пусть имеется таблица истинности для некоторой функции от двух входов x и y.

Таблица 3

X	Y	F
0	0	1
0	1	1
1	0	0
1	1	1

Требуется записать Булево (логическое) выражение по данной таблице истинности. Существуют два эквивалентных стандартных способа построения логического выражения:

Стандартная сумма произведений (каноническая сумма минитермов)

Таблица 4

X	Y	F	Минитермы (произведения)
0	0	1	$\bar{x} \cdot \bar{y}$
0	1	1	$\bar{x} \cdot y$
1	0	0	
1	1	1	$x \cdot y$

Минитермы записываются для всех строчек таблицы, содержащих "1" в столбце значений функции, а затем составляется их сумма. Инверсия ставится над буквой (литералом), обозначающей переменную, если значение переменной в данной строчке таблицы равно "0".

$F(x, y) = \bar{x} \cdot \bar{y} + \bar{x} \cdot y + x \cdot y$  -стандартная сумма произведений (Стандартное произведение сумм (каноническое произведение макстермов)).

Макстермы записываются для всех строчек таблицы, содержащих "0" в столбце значений функции, а затем составляется их произведение. Инверсия ставится над буквой (литералом), обозначающей переменную, если значение переменной в данной строчке таблицы равно "1".

Таблица 5

X	Y	F	Макстермы (суммы)
0	0	1	
0	1	1	
1	0	0	$\bar{x} + y$
1	1	1	

$F(x, y) = \bar{x} + y$  -стандартное произведение сумм (каноническое произведение макстермов)

## 2. ПОСТРОЕНИЕ В ПРОГРАММНОМ ПАКЕТЕ LOGIC WORKS ЛОГИЧЕСКИХ СХЕМ С ИСПОЛЬЗОВАНИЕМ ОСНОВНЫХ БУЛЕВЫХ ЭЛЕМЕНТОВ “И”, “ИЛИ” И “НЕ”.

*Цель работы* – научиться применять Программный пакет Logic Works для реализации логической диаграммы по булевой функции от нескольких переменных, заданной в виде таблицы истинности.

### КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ.

Программный пакет Logic Works v.4.06 фирмы Capilano Computing предназначен для моделирования работы электрических схем, построенных на дискретных элементах.

С его помощью Вы можете собрать в графическом окне редактора схем логическую или электрическую схему дискретного устройства, используя библиотеку стандартных элементов дискретных схем, и провести моделирование его работы на компьютере.

Программный пакет имеет интуитивно понятный привычный интерфейс для приложений Windows, представленный на рис. 1.

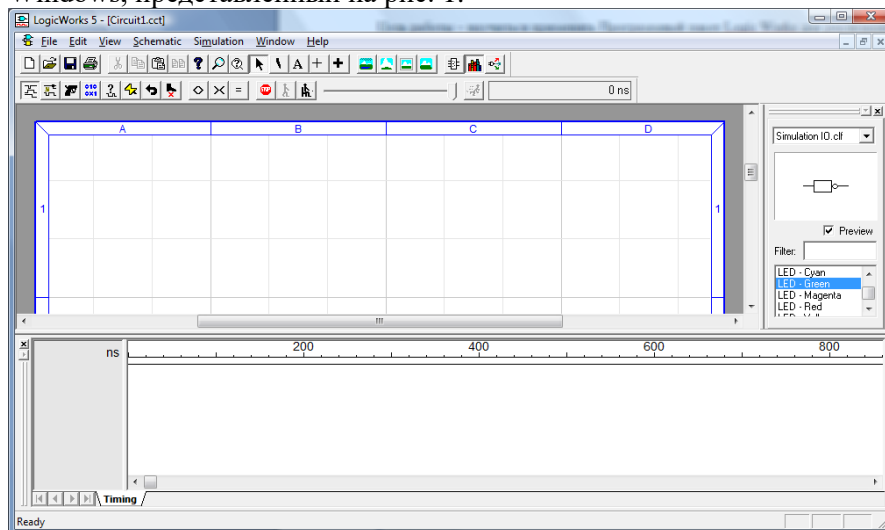


Рис.3. Интерфейс пользователя пакета Logic Works.

Заголовок окна включает название пакета и полный путь к редактируемому файлу.

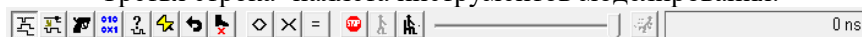
Верхняя строка - строка выпадающих меню.

**File Edit View Schematic Simulation Window Help**

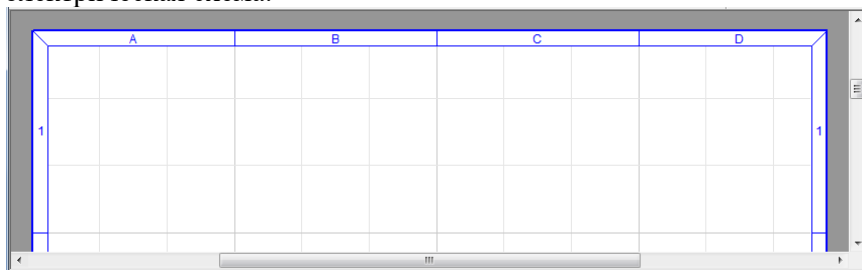
Вторая строка – паллета стандартных инструментов.



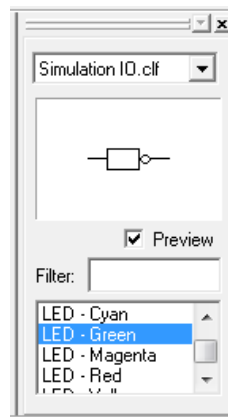
Третья строка- паллета инструментов моделирования.



Слева в центральной части экрана окно графического редактора, где размещается электрическая схема.

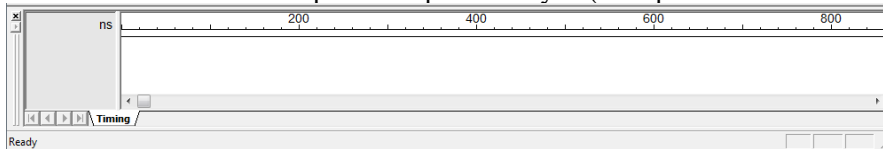


Справа в центральной части экрана окно, в котором отображается список доступных стандартных элементов из библиотеки, название которой выбрано в верхнем поле выбора файла библиотеки. В данном примере выбрана библиотека с элементами устройств ввода-вывода, располагающаяся в файле Simulation IO.clt. В подчиненном окне ниже находится изображение конкретного элемента из библиотеки, который был последним выбран из списка элементов двойным щелчком мыши.


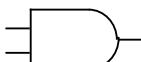




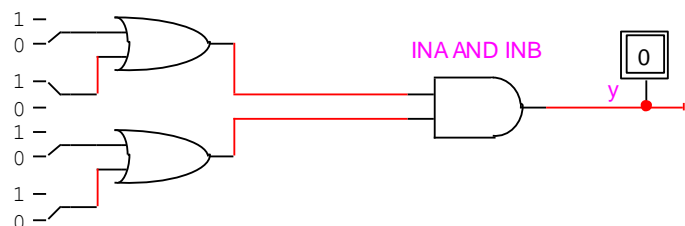
Ниже окна графического редактора располагается окно, в котором строятся временные диаграммы сигналов в процессе моделирования. Чтоб построились временные диаграммы сигналов необходимо выполнение двух условий: а) имена сигналов должны быть обозначены на схеме путем выделения правой кнопкой мыши соответствующей соединительной линии на схеме и заполнение в ниспадающем контекстном меню пункта Name; б) на схеме должен присутствовать стандартный элемент Clock, хотя бы и неподключенный к другим элементам схемы. Масштаб времени на временной диаграмме изменяется с помощью слайдера (движка) на панели инструментов моделирования.

Самая нижняя строка – строка статуса (отображения состояния) программы.



Изображение и название минимального набора стандартных элементов для построения и анализа работы булевых схем, наименование библиотеки, в которой они расположены, и пример построения схемы приведен на Рис.4. Изображения булевых элементов выполнены по

Изображение эл-та	Наименование эл-та	Библиотека
	OR-2	Simulation Gates.clf
	AND-2	Simulation Gates.clf
	Binary Switch	DemoLib.clf
	Binary Probe	DemoLib.clf



американскому стандарту.

Рис.4. Изображение и название минимального набора стандартных элементов для построения и анализа работы булевых (логических) схем, наименование библиотеки, в которой они расположены, и пример построения схемы.

Для построения схемы надо выполнить следующие действия:

а) выбрать соответствующую библиотеку, двойным щелчком мыши на названии элемента в списке выбрать его и щелчком мыши разместить элемент на свободном месте графического экрана;

б) щелчком мыши на иконке с изображением жирной стрелки в основной паллете инструментов, отменяем режим размещения текущего элемента;

в) повторяем п.а) для размещения в окне графического редактора нового элемента;

г) щелчком мыши на иконке с изображением жирной стрелки в основной паллете инструментов переходим в режим рисования соединительных линий;

д) соединяем выходы и входы элементов “резиновыми” соединительными линиями путем щелчка мыши на соответствующем выходе и протяжкой мыши при нажатой левой клавише до соответствующего входа (при протяжке мыши от выхода элемента до уже имеющейся соединительной линии можно создать точку ветвления схемы).

е) если необходимо удалить часть соединительной линии, щелчком мыши на иконке с изображением жирной наклонной черты в основной паллете инструментов переходим в режим стирания соединительных линий;

Элемент Binary Switch позволяет подавать на входы схемы логические нули и единицы, а элемент Binary Probe отображает логическое состояние в текущий момент на линии, к которой он подсоединен. Приведенный минимальный набор элементов позволяет строить и анализировать работу булевых схем любой сложности.

Логические элементы.

Основные логические элементы Logic Works соответствуют основным операциям Булевой алгебры (табл.6 и рис.5)

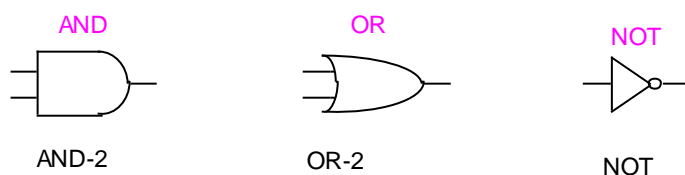


Рис.5. Обозначение основных логических элементов в Logic Works

Таблица 6

Обозначения основных операций Булевой алгебры в различных областях применения.

Название	Конъюнкция логическое И	Дизъюнкция логическое ИЛИ	Отрицание, инверсия логическое НЕ	Сложение по модулю 2 исключающее ИЛИ
Область применения обозначений				
Булева алгебра	$x \cdot y$	$x + y$	$\overline{x}$	$x \oplus y$
Булева алгебра	$x y$	$x \vee y$	$\overline{x}$	$x \oplus y$
Булева алгебра	$x \wedge y$	$x \vee y$	$\overline{x}$	$x \Phi y$
Логика	$x \& y$	$x \vee y$	$\neg x$	
Теория множеств	$x \cap y$ пересечение	$x \cup y$ объединение	$\overline{x}$ дополнение до 1	
Языки программирования	$x \text{ AND } y$	$x \text{ OR } y$	$\text{NOT } x$	$x \text{ XOR } y$
Язык Си (логические)	$x \&\& y$	$x \parallel y$	$!x$	
Язык Си (поразрядные)	$x \& y$	$x   y$	$\sim x$ (обратный код)	$x - y$

В Logic Works принят стандарт США.

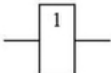

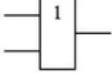



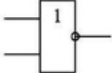

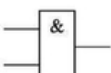



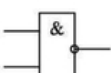

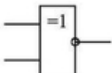

ГОСТ	ANSI	ГОСТ	ANSI
 Буфер	 BUF	 ИЛИ	 OR
 Инвертор	 INV	 ИЛИ-НЕ	 NOR
 И	 AND	 Исключающее ИЛИ	 XOR
 И-НЕ	 NAND	 Исключающее ИЛИ-НЕ	 XNOR

Рис.6 Стандарты обозначения логических элементов на схемах.

Построение логической схемы по таблице истинности.

Таблица, в которой задано значение функции F для всех возможных комбинаций входных сигналов, называется таблицей истинности булевой функции. Число возможных комбинаций входных сигналов вычисляется по формуле  $2^N$ , где N-число входов.

Например, пусть имеется таблица истинности для некоторой функции от двух входов x и y.

Таблица 7

X	Y	F
0	0	1
0	1	1
1	0	0
1	1	1

Требуется записать Булево (логическое) выражение по данной таблице истинности. Существуют два эквивалентных стандартных способа построения логического выражения:

Стандартная сумма произведений (каноническая сумма минитермов);

Таблица 8

X	Y	F	Минитермы (произведения)
0	0	1	$\bar{x} \cdot \bar{y}$
0	1	1	$\bar{x} \cdot y$
1	0	0	
1	1	1	$x \cdot y$

Минитермы записываются для всех строчек таблицы, содержащих "1" в столбце значений функции, а затем составляется их сумма. Инверсия ставится над буквой (литералом), обозначающей переменную, если значение переменной в данной строчке таблицы равно "0".

$F(x, y) = \bar{x} \cdot \bar{y} + \bar{x} \cdot y + x \cdot y$  - стандартная сумма произведений (каноническая сумма минитермов)

Данной формуле соответствует следующая логическая диаграмма или схема в Logic Works. Построение логической диаграммы следует начинать с конца, то есть выхода схемы.

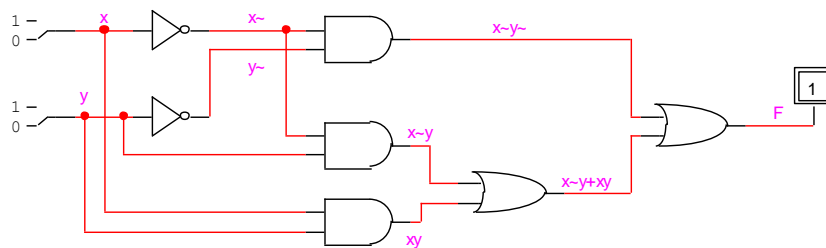


Рис.7

Стандартное произведение сумм (каноническое произведение макстермов).

Макстермы записываются для всех строчек таблицы, содержащих "0" в столбце значений функции, а затем составляется их произведение. Инверсия ставится над буквой (литералом), обозначающей переменную, если значение переменной в данной строчке таблицы равно "1".

Таблица 9

X	Y	F	Макстермы (суммы)
0	0	1	
0	1	1	
1	0	0	$\bar{x} + y$
1	1	1	

$F(x, y) = \bar{x} + y$  -стандартное произведение сумм (каноническое произведение макстермов)

Данной формуле соответствует следующая логическая диаграмма или схема в Logic Works.

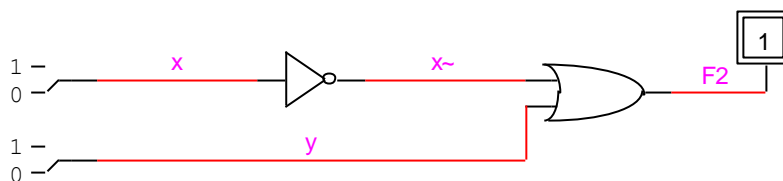


Рис.8

Какая из схем будет проще, зависит от числа "1" и "0" в таблице истинности.

Для того, чтоб убедиться в эквивалентности полученных формул, совместите обе схемы на одном листе Logic Works и используйте общие входные ключи.

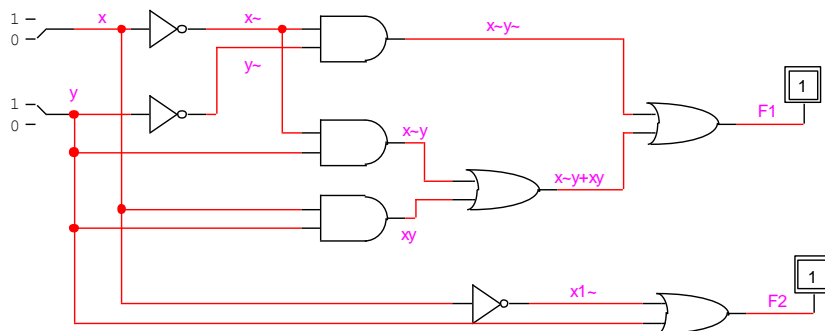


Рис.9

Не используйте одинаковые обозначения для различных линий сигналов на схеме!

Дополнительные логические элементы (рис.10,11,12) находятся в библиотеке Simulation Gates.clf и не требуют комментариев.

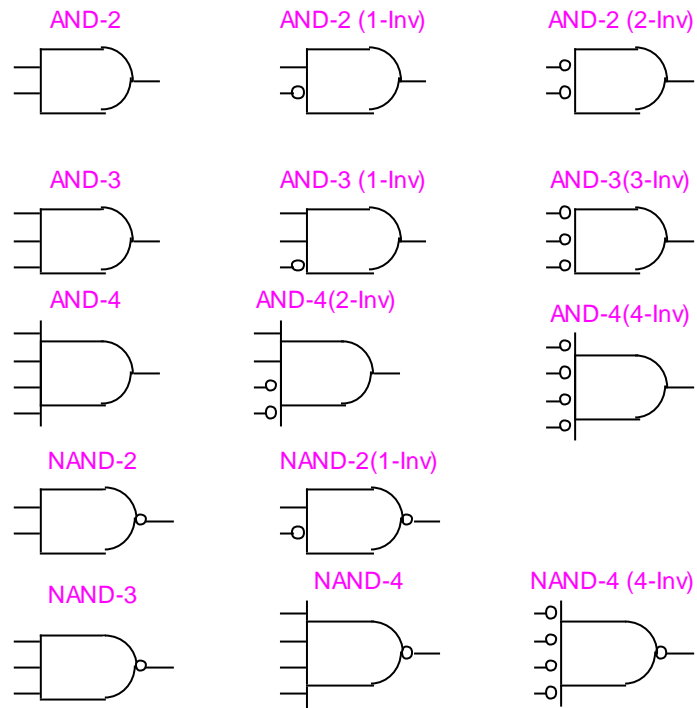


Рис.10 Логические элементы AND и NAND из библиотеки Simulation Gates.clf.

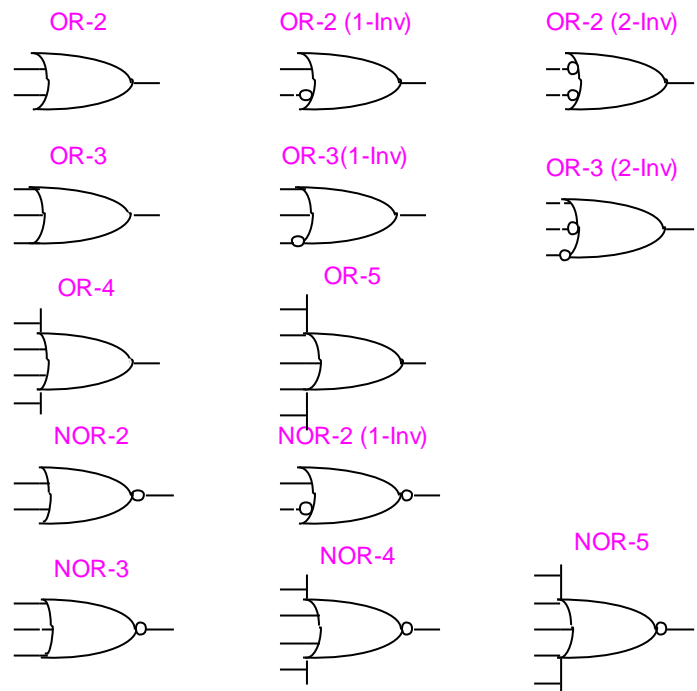


Рис.11 Логические элементы OR и NOR из библиотеки Simulation Gates.clf.

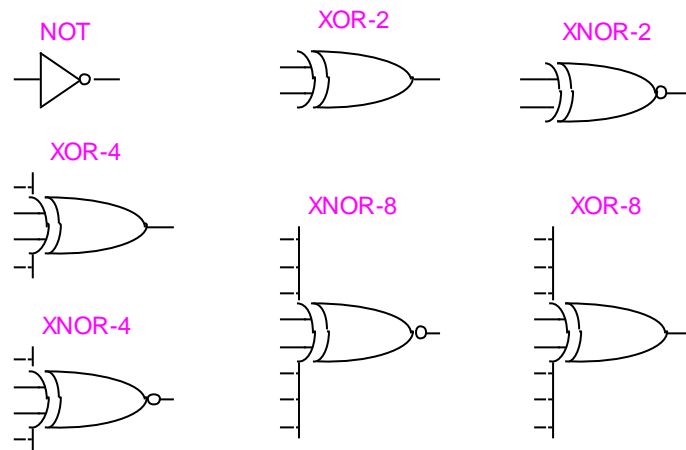


Рис.12 Логические элементы NO (НЕТ), XOR(исключающее ИЛИ) и NXOR из библиотеки Simulation Gates.clf.

### ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ.

Ознакомиться с основными приемами работы в Logic Works.

Собрать в Logic Works схемы, реализующие примеры из раздела Построение логической схемы по таблице истинности, и убедиться, что собранные схемы реализуют данные функции.

По выданному преподавателем варианту таблицы истинности булевой функции построить логические диаграммы (объединить в виде одной схемы) в Logic Works для стандартной суммы произведений и стандартного произведения сумм.

Провести моделирование работы схемы в Logic Works, построить таблицы истинности для проверки функционирования схем в соответствии с заданной таблицей истинности.

По лабораторной работе составить отчет с логическими диаграммами и таблицей истинности.

Сдать отчет в печатном и электронном виде вместе со схемой Logic Works (\*.cct).