ПЕРВОЕ ВЫСШЕЕ ТЕХНИЧЕСКОЕ УЧЕБНОЕ ЗАВЕДЕНИЕ РОССИИ



МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

федеральное государственное бюджетное образовательное учреждение высшего образования

**«САНКТ-ПЕТЕРБУРГСКИЙ ГОРНЫЙ УНИВЕРСИТЕТ**

**ИМПЕРАТРИЦЫ ЕКАТЕРИНЫ II»**

Кафедра автоматизации технологических процессов и производств

**Лабораторная работа №1**

|  |  |
| --- | --- |
| По дисциплине: | Вычислительные машины, системы и сети |
|  | (наименование учебной дисциплины согласно учебному плану) |

|  |  |
| --- | --- |
| Тема работы: | Триггеры и последовательные схемы |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Выполнил: студент гр. | | |  | АПГ-22 |  |  |  | Скрябнев А.В. | |
|  | | |  | (шифр группы) |  | (подпись) | |  | (Ф.И.О.) |
|  |  |

|  |  |  |
| --- | --- | --- |
| Дата ­­­\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ |  |  |
|  |  |  |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Проверил  руководитель работы: |  |  | ассистент |  |  |  | Масько О.Н. |
|  |  |  | (должность) |  | (подпись) |  | (Ф.И.О.) |

Санкт-Петербург

2025

1 Цель и порядок выполнения работы

1. Ознакомиться с теоретической частью.
2. Исследовать работу асинхронного «SR-триггера» инверсными входами, подавая на его входы все возможные комбинации значений входных двоичных переменных, и фиксируя сигнал на нормальном выходе триггера Q и инверсном -Q. Все результаты исследования свести в таблицу опытов. По результатам исследования составить таблицу истинности, прямую и обратную таблицы переходов. Начертить временные диаграммы.
3. «SR-триггер» с инверсными входами преобразовать в «SR-триггер» с прямыми входами. Исследовать его работу, составить таблицу истинности, прямую и обратную таблицы переходов и составить временные диаграммы.
4. Собрать схему «SR-триггера», синхронизируемого уровнем сигнала на входе С, и исследовать его работу. Начертить временные диаграммы.
5. Собрать на схему синхронного «JK-триггера», исследовать его работу и начертить временные диаграммы. По результатам исследования составить таблицу истинности, прямую и обратную таблицы переходов.
6. «JK-триггер» перевести поочередно в режим работы «D и T-триггеров», исследовать их работу, начертить временные диаграммы. По результатам исследования составить таблицу истинности, прямую и обратную таблицы переходов.
7. По проделанной работе оформить отчет, в котором должны быть структурные схемы всех исследуемых триггеров, их таблицы переходов и временные диаграммы, и краткое описание их работы.

2 Ход работы

2.1 Общие теоретические сведения

До сих пор рассматривались комбинационные сети, в которых выход Y зависит только от текущего сочетания входных сигналов. Такие сети не имеют памяти. В последовательностных (или просто последовательных) сетях (sequential network) можно хранить значения сигналов и состояний и использовать их позже в других операциях. Память реализуется на элементах с двумя устойчивыми состояниями (bistable), которые в русской терминологии называют триггерами (flip-flop; слово trigger в английском языке имеет несколько иное значение — запускающий элемент, спусковой крючок). Выход триггера зависит не только от текущего состояния на входе, но и от предыдущего на выходе. В отличие от комбинационных схем (сетей), последовательные схемы, построенные на логических элементах, содержат обратные связи. Синтез и анализ последовательных схем удобнее проводить, используя в качестве "кирпичиков" стандартные простейшие последовательные элементы (схемы) с известными свойствами.

Простейшим элементом такого типа является SR-триггер (Set-Reset — установка-сброс). Два входа S и R могут иметь логическое значение "0" либо "1", однако им обоим нельзя принимать одно и то же значение одновременно. Выход обозначается у; обычно на интегральных схемах существует и инвертированный выход . Если S = 1, то выход изменяется на Y =1 ( = 0) и триггер переходит в состояние "установка". Если затем вход S принимает значение "0", то триггер "помнит", что до этого он имел значение "1" и удерживает выходное значение Y = 1. Если теперь вход R примет значение " 1", то с учетом S = 0 триггер сбрасывается и на выходе Y = 0 ( = 1). Аналогично, как и ранее, R может вернуться к "0" и состояние Y = 0 останется до тех пор, пока не появится новый сигнал S=1.

2.2 Асинхронный RS-триггер с прямыми входами

Термин "асинхронный" означает, что значение выхода меняется в тот же самый момент времени, что и значение на входе (конечно, если пренебрегать временем переходных процессов в электрических цепях).

Q (quit) – выход,

– является электрически противоположным выходу Q, то есть инверсией Q (Если Q = 1, то ).

S (set) – установка

R (reset) – сброс

Когда S равно 1 (что соответствует замыканию верхнего переключателя на рисунке1) Q = 1, то . Когда R = 1 (что соответствует замыканию нижнего переключателя на рисунке1) Q = 0, то . Когда оба переключателя равны 0, выход указывает на то, являлось ли последним действием установка или сброс значения Q. Случай когда оба входа равны 1 запрещён, так как протеворечит условию: Q противоположно . Всё выше описаное было подтверженно опытным путем и изображено в таблице 1.

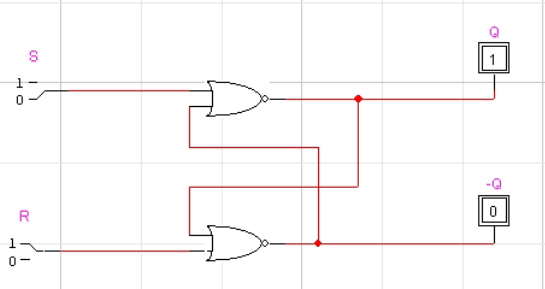


Рисунок 1 – RS – триггер c прямыми входами

Таблица 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы | | | Выходы | |
| Q(t-1) | S | R | Q(t) | Q(t) |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | Запрещено | |
| 1 | 1 | 1 | Запрещено | |

Временная диаграмма (эпюра напряжений) асинхронного RS триггера с прямыми входами изображена на рисунке 2.

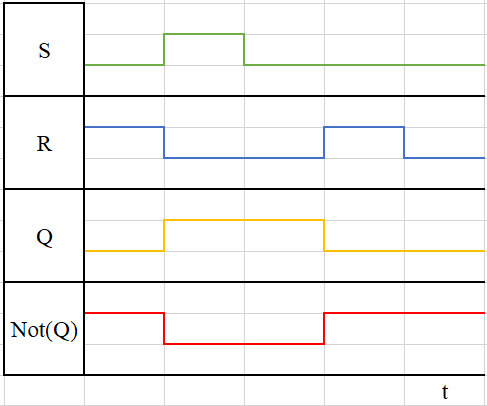


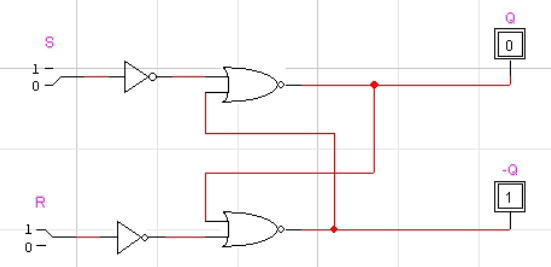
Рисунок 2 - Временная диаграмма (эпюра напряжений) асинхронного RS триггера с прямыми входами

2.3 Асинхронный RS-триггер с инверсными входами

Есть несколько способов превратить RS – триггер c прямыми входами в RS-триггер с инверсными входами (Рисунок 3):

- По теореме Де – Моргана: в любом устройстве можно заменить одновременно все И на ИЛИ, поменяв тип входов и выходов.

- Инвертировать сами входа



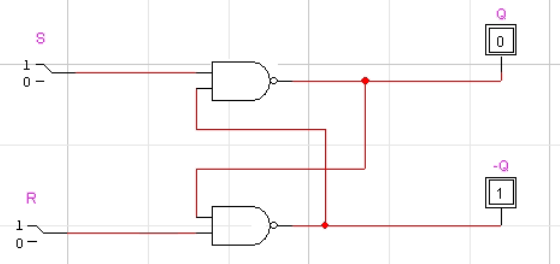


Рисунок 3 - асинхронный RS-триггер с инверсными входами

В ходе лабораторной работы были сняты опыты на основе которых была построена таблица истинности (Таблица 2).

Таблица 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q(t-1) | Not\_S | Not\_R | Q | Not(Q) |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | ЗАПРЕЩЕНО | |
| 1 | 1 | 1 | ЗАПРЕЩЕНО | |
| 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |

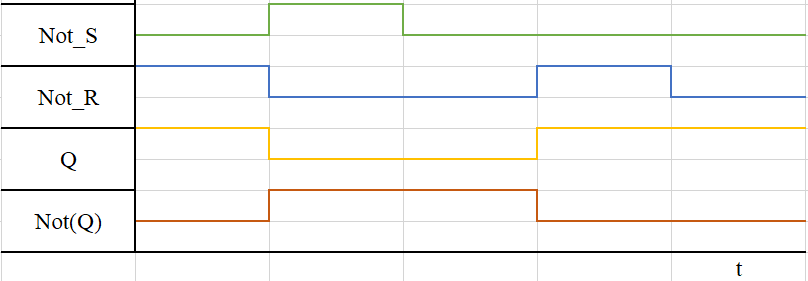


Рисунок 4 – Временная диаграмма (эпюра напряжений) асинхронного RS триггера с инверсными входами

2.3 Синхронный RS – триггер c прямыми входами

Наряду с асинхронными триггерами существуют синхронные триггеры. Синхронные триггеры имеют дополнительный вход С для тактовых импульсов (СР — clock pulses). Выходное значение (состояние) триггера меняется согласно его таблице истинности не сразу после изменения значения сигнала на входе, а лишь при активном уровне на синхронизирующем входе С. Временные диаграммы синхронного и асинхронного триггера отличаются, но если анализировать только логику переходов, то можно не включать вход C в таблицу истинности. Тогда таблицы истинности асинхронного и соответствующего синхронного триггера будут совпадать. Если переход триггера осуществляется при низком уровне сигнала на входе C, то на условном обозначении триггера вход C помечается символом инверсии (кружком).

Если на С вход (в синхронном триггере) подать 1, то триггер работает также, как асинхронный. Если на С - 0, то состояние триггера ни при каком изменении входа не меняется.

Синхронные RS – триггеры применяются, потому что всегда присутствует нарастание сигнала. Для того чтобы все триггеры переключались строго в определенные моменты времени, применяются синхронные RS – триггеры. Вход С синхронизирует работу. Фронты S, R не должны приходиться на импульс С. Синхронный RS – триггер c прямыми входами изображен на рисунке 5.

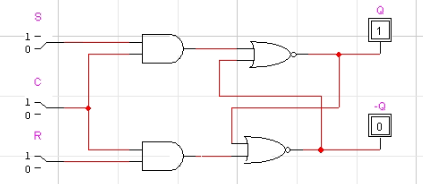


Рисунок 5 - Синхронный RS – триггер c прямыми входами

В ходе опытов была составлена таблица истинности и диаграмма времени (Таблица 3 и Рисунки 6).

Таблица 3

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | Выходы | | |
| Q(t-1) | S | R | С | Q(t) | | Q(t) |
| 0 | 0 | 0 | 0 | 0 | | 1 |
| 1 | 0 | 0 | 0 | 1 | | 0 |
| 0 | 0 | 0 | 1 | 0 | | 1 |
| 1 | 0 | 0 | 1 | 1 | | 0 |
| 0 | 0 | 1 | 0 | 0 | | 1 |
| 1 | 0 | 1 | 0 | 1 | | 0 |
| 0 | 0 | 1 | 1 | 0 | | 1 |
| 1 | 0 | 1 | 1 | 0 | | 1 |
| 0 | 1 | 0 | 0 | 0 | | 1 |
| 1 | 1 | 0 | 0 | 1 | | 0 |
| 0 | 1 | 0 | 1 | 1 | | 0 |
| 1 | 1 | 0 | 1 | 1 | | 0 |
| 0 | 1 | 1 | 0 | 0 | | 1 |
| 1 | 1 | 1 | 0 | 1 | | 0 |
| 0 | 1 | 1 | 1 | Запрещено | | |
| 1 | 1 | 1 | 1 | Запрещено | | |

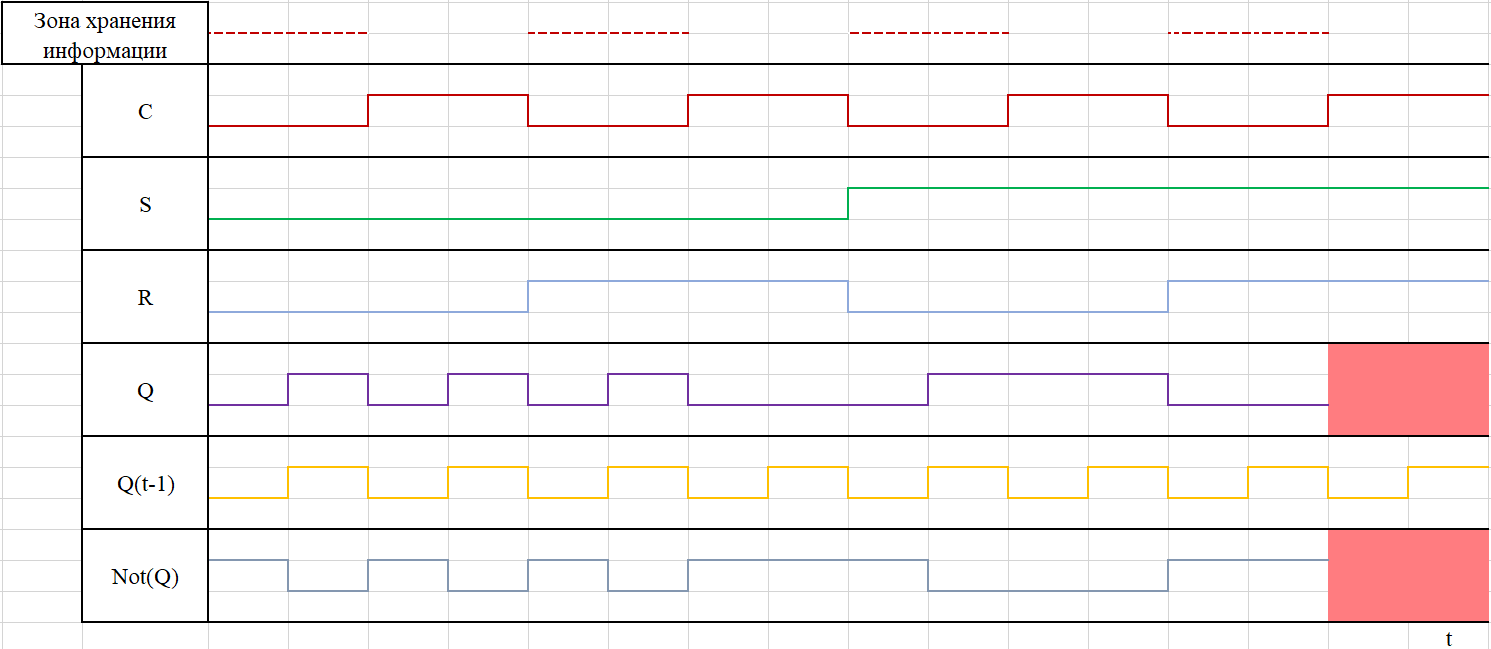


Рисунок 6 – Временная диаграмма (эпюра напряжений) синхронного RS триггера с прямыми входами

2.4 JK - триггер

Основан на синхронном RS – триггере.

J – установка, K – сброс, С – вход для тактовых импульсов (работает по отрицательному фронту, когда С падает).

JK – триггер придуман для того, чтобы использовать запрещенный режим. Данное устройство с помощью цепочки обратных связей позволяет нам задействовать комбинацию сигналов J = 1, K = 1. В этом случае триггер перебросится в противоположное состояние.

JK – триггер изображён на рисунке 7.

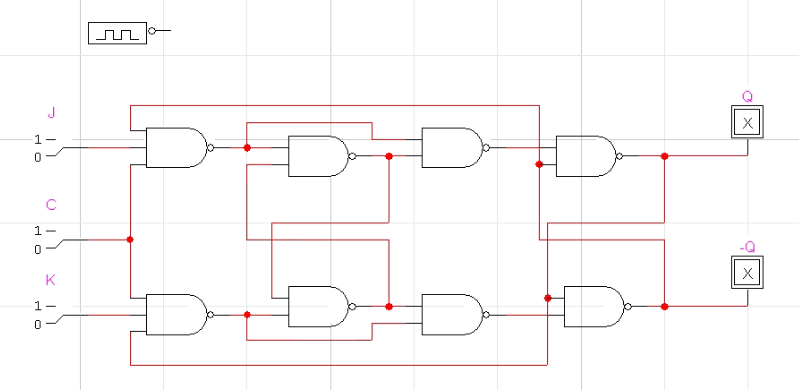


Рисунок 7 – Структурная схема JK - триггера (на элементах и-не)

В ходе опытов была составлена таблица истинности и диаграмма времени (Таблица 4 и Рисунки 8).

Таблица 4

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Входы | | | | Выходы | |
| Q(t-1) | J | K | С | Q(t) | Q(t) |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 |

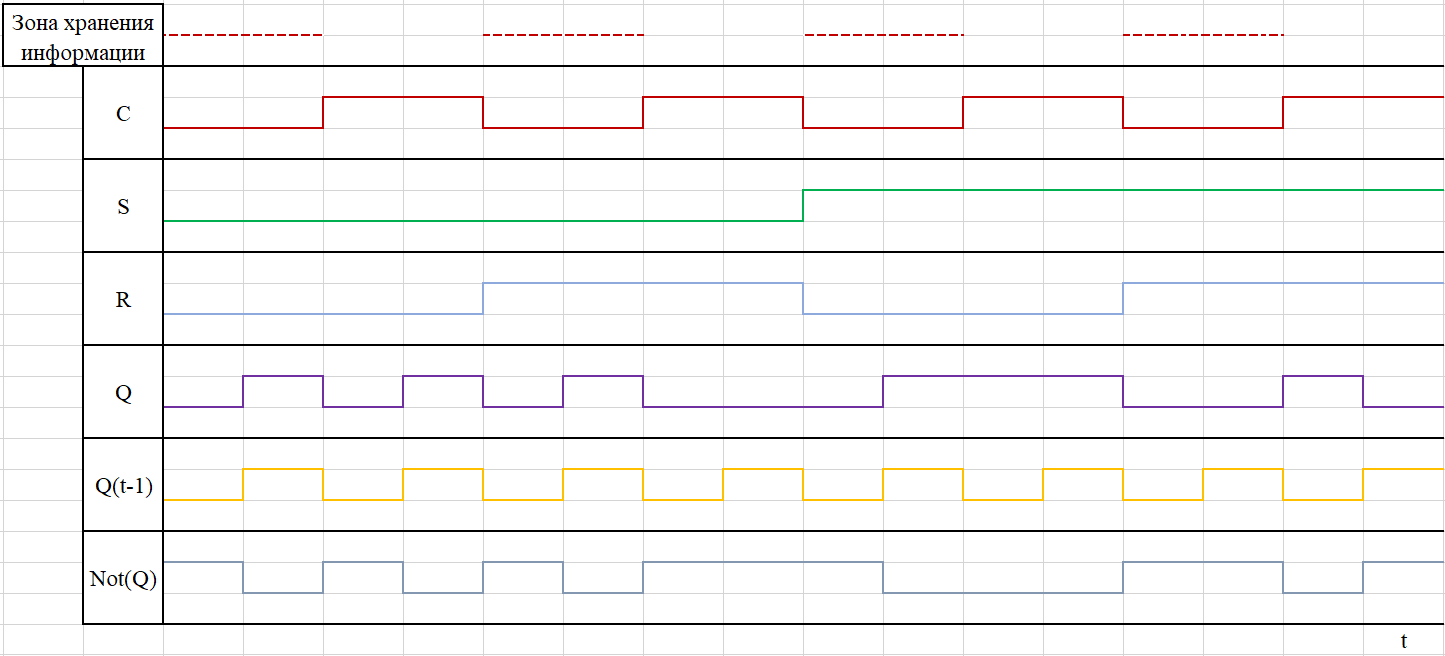


Рисунок 8 – Временная диаграмма (эпюра напряжений) JK - триггера

2.5 D – Триггер

D-триггер (Рисунок 9) - простейший элемент памяти. На его выходе тот же сигнал, но с задержкой по времени на такт. Чтобы JK превратить в D-триггер, нужно J вход через инвертор подать на K.

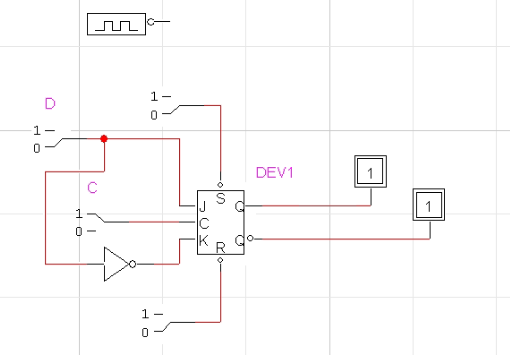


Рисунок 9 – Структурная схема D - триггера (собранного из JK)

Таблица 5

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы | | | | |
| С | Q | D | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

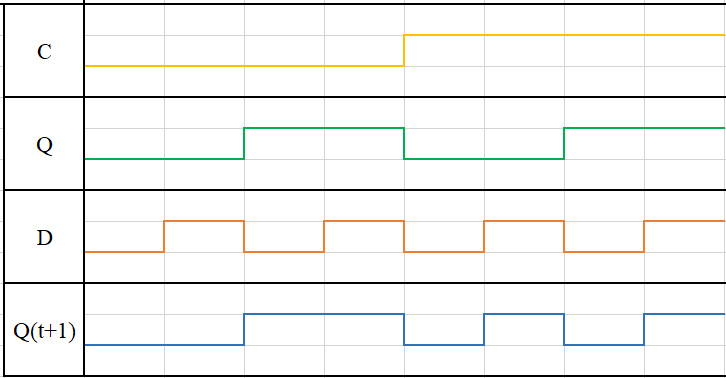


Рисунок 10 - Временная диаграмма (эпюра напряжений) D - триггера

Как видим, в первой и четвертой строке значения сигналов Q в моменты времени t и t+1 совпадают. То есть D-триггер является элементом задержки сигнала. В результате рассматриваемые приборы асинхронного типа не нашли своего применения, так как на выходе будет повторяться входной сигнал с небольшой временной задержкой.

2.6 Т- Триггер

Т – триггер – счетный или делитель частоты.

Информация на выходе меняется при отрицательном фронте С.

Т – триггер становится счетным, если установить несколько Т – триггеров подряд.

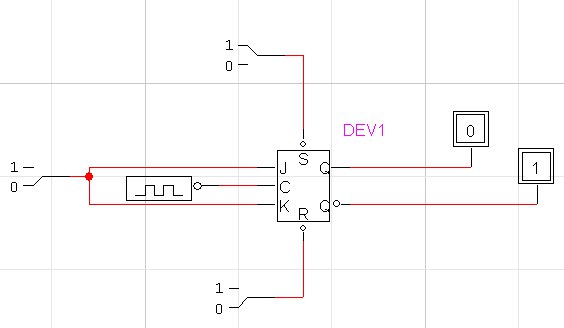


Рисунок 11 – Структурна схема Т-триггер

Счетный триггер также можно реализовать на основе всякого аналогичного двухступенчатого устройства (Рисунок 12). Применение двух триггеров позволяет исключить возможность возникновения неопределённого состояния схемы при наличии разрешающего потенциала на вводе синхронизации «С», поскольку счётные триггеры формируются с помощью схем, обеспечивающих обратную связь. Например, чтобы превратить динамический D-триггер в счетный, надо лишь перенести цепь обратной связи с инверсного выхода на вход.

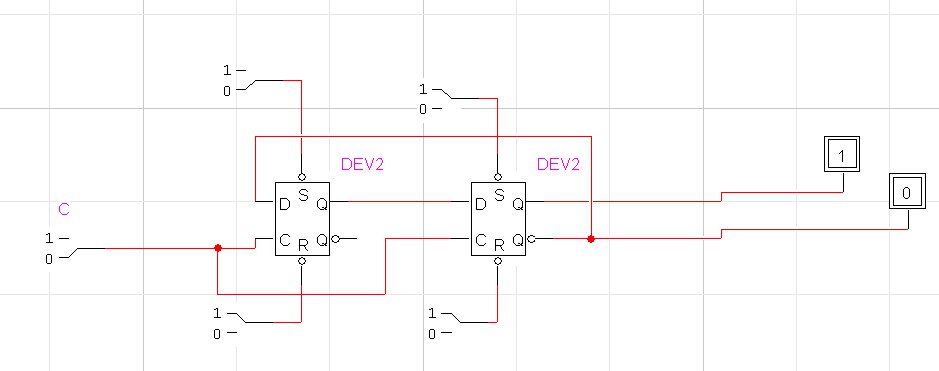


Рисунок 12 – двухступенчатое устройство

Временная диаграмма синхронизирующего сигнала, объясняющая работу счетного устройства, показана на рисунке 13.

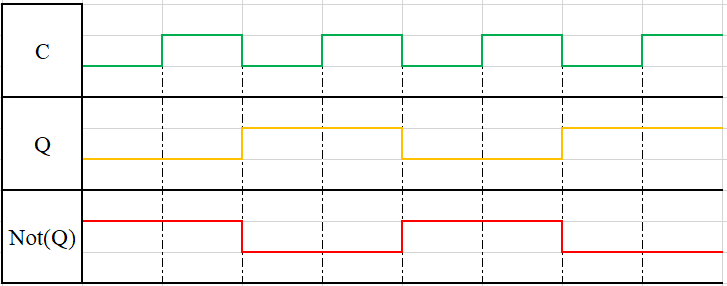


Рисунок 13 – Временная диаграмма синхронизирующего сигнала

Таблица 6

|  |  |  |
| --- | --- | --- |
| Входы | | |
| С | Q | Not(Q) |
| 0 | 0 | 1 |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | 0 |
| 0 | 0 | 1 |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | 0 |

Вывод

Данная работа посвящена изучению основных видов триггеров. Триггеры – это элементы (с двумя устойчивыми состояниями) на которых реализуется память.

В ходе работы были изучены следующие триггеры и их разновидности. Кратко напомним их характеристики:

Асинхронный RS с прямыми входами. Триггер, у которого значение выхода меняется в тот же самый момент времени, что и значение на входе.

Асинхронный RS с инверсными входами. Имеет входы, инверсные по отношению к SR-триггеру с прямыми входами.

Синхронный RS с прямыми входами. Применяются, потому что всегда присутствует нарастание сигнала. Для того чтобы все триггеры переключались строго в определенные моменты времени, применяются синхронные RS – триггеры. Вход С синхронизирует работу.

JK – триггер. Функции RS, D и T триггеров объединены в двухступенчатом JK-триггере, который имеет три входа — J (установка), К (сброс) и вход для тактовых импульсов (С). Это универсальный триггер, который в зависимости от входных сигналов работает как SR-, D- или Т-триггер и представляет собой универсальную двухпозиционную схему.

D - триггер (собранный из JK) – D-триггер (Рисунок 9) - простейший элемент памяти. На его выходе тот же сигнал, но с задержкой по времени на такт.

T – триггер. Тактируемый триггер с одним входом Т, выход которого инвертируется каждый такт, называется Т-триггером (T-toggle, переключатель состояния). Он применяется в счетчиках и в схемах синхронизации как делитель частоты в 2 раза. Т-триггер - счетный триггер. При подаче на его единственный вход 1, срабатывает, меняя свое состояние на противоположное. При подаче 0 не меняет состояние. Чтобы JK превратить в T-триггер, нужно J и K закоротить и превратить в один вход.

В отчет приложены структурные схемы всех исследуемых триггеров, таблицы переходов и временные диаграммы, краткое описание их работы.