

Name(n):

Punkte:

1 Power Analysis

In dieser Übung sollen Sie die Stromaufnahme Ihres PROL16 analysieren. Der entsprechende Ablauf ist in Abbildung 1 dargestellt.

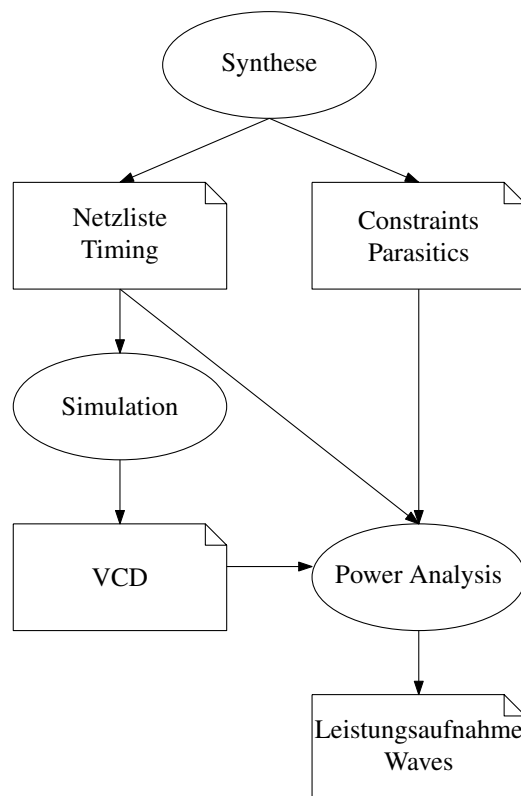


Abbildung 1: Ablauf der Power-Simulation.

Für die Power-Simulation sind also die folgenden Schritte auszuführen:

- Das Syntheseskript ist so zu erweitern, dass neben der Netzliste und der Timing-Information (SDF) auch eine SDC-Datei (*Synopsys Design Constraints*, Befehl `write_sdc`) und eine *Parasitics*-Datei (`write_parasitics`) erzeugt werden. Beachten Sie dabei, dass eine Verilog-Netzliste erstellt werden muss.

- Die Postlayout-Simulation ist wie gewohnt durchzuführen, und dabei eine VCD-Datei (*Value Change Dump*, Befehle `vcd file` und `vcd add`) zu erzeugen. Diese Datei beinhaltet die Switching-Informationen des Entwurfs. Das Ergebnis der Simulation hängt in diesem Fall natürlich stark vom exekutierten Programm ab; dieses sollte daher möglichst repräsentativ sein. Für diese Übung sollen Sie Ihr Testprogramm aus dem fünften Semester verwenden.
- Abschließend können Sie mit der Netzliste, den Constraints, den Parasitics und der VCD-Datei die Power-Simulation durchführen. Verwenden Sie dazu das Programm Synopsys PrimeTime PX (`pruntime`) mit dem folgenden Skript:

```

1 set AMS_DIR      [getenv AMS_DIR]
2 set SYNOPSISYS   [getenv SYNOPSISYS]
3 set TECH         c35_3.3V
4 set WORK_DIR     work
5 set script_path  [getenv SYNOPSISYS_SCRIPTS];
6
7 set search_path  ". \
8                  $AMS_DIR/synopsisys/$TECH \
9                  $AMS_DIR/synopsisys/generics \
10                 $SYNOPSISYS/libraries/syn      \
11                 $SYNOPSISYS/dw/sim_ver"
12
13 set synthetic_library dw_foundation.sldb
14 set target_library   c35_CORELIB.db
15 set link_library     "* $target_library $synthetic_library"
16 set link_create_black_boxes false
17
18 set power_enable_analysis TRUE
19 set power_analysis_mode time_based
20
21 #####
22 # link design
23 #####
24 set power_enable_analysis true
25 read_verilog netlist/pro116.v
26 current_design cpu
27 link
28
29 read_sdc ./pro116.sdc
30 read_parasitics ./pro116.spf
31
32 #####
33 # read switching activity file
34 #####
35 read_vcd -strip_path cpu_tb/dut ../sim/pro116.vcd
36
37 #####
38 # timing analysis
39 #####
40 check_timing
41 update_timing
42 report_timing
43
44 #####
45 # power analysis
46 #####

```

```
47 | check_power
48 | set_power_analysis_options -waveform_output prol16
49 | update_power
50 | report_power -hierarchy
```

•

- ☐ Interpretieren Sie die durch `report_power` ausgegebenen Werte!

2 Clock Gating

Um die Leistungsaufnahme zu verringern sollen Sie Ihren PROL16 nun mit *Clock Gating* synthetisieren. Verwenden Sie dazu die Option `-gate_clock` zum Befehl `compile`. Das Ergebnis dieses Prozesses können Sie mit `report_clock_gating -verbose -gated -ungated` prüfen. Sie werden bemerken, dass viele Register „gated“ sind, jedoch nach wie vor einige als „ungated“ definiert sind. Erklären Sie das Verhalten speziell für die Register `RegTmpA/RegTmpB` und `Carry/Zero` (Tipp: `set_clock_gating_style`)!

- ☐ `set_clock_gating_style`!

2.1 Postlayout-Simulation

Prüfen Sie das Ergebnis in der Postlayout-Simulation. Erstellen Sie danach ein Programm, das in einer Endlosschleife zuerst einige Zeit wartet und dann auf ein bestimmtes Register einen Wert schreibt. Vergleichen Sie im Wave-Fenster den Takt am Eingang dieses Registers (also am Eingang eines Flipflops dieses Registers) mit dem Takteingang Ihrer CPU!

- ☐ eines Flipflops dieses Registers) mit dem Takteingang Ihrer CPU!

2.2 Power-Simulation

Führen Sie die Power-Simulation, wie im ersten Abschnitt beschrieben, nun mit der Netzliste mit Clock Gating aus. Wie stark ist die Verbesserung? Wo ergibt sich die größte, wo die geringste

- ☐ Einsparung, und warum?

2.3 Clock Gating und DfT

Nach dem Einfügen der Clock-Gating-Zellen können Probleme beim Einfügen einer Scan-Chain entstehen! Erklären Sie das auftretende Problem!

- ☐ entstehen! Erklären Sie das auftretende Problem!

1 Power Analysis

Im Report, der durch `report_power` erzeugt wird, wird der Stromverbrauch angegeben. Es wird angezeigt in welchen Hierarchieebenen wie viel Strom verbraucht wird und welche Art von Strom fließt. Der Gesamtverbrauch sind 557 uW wobei der Datenpfad 81.5 % davon verbraucht und der Kontrollpfad 18.1 %.

2 Clock Gating

Erklärung der Ausgabe von `report_clock_gating`: Die Register `RegTmpA/RegTmpB` bekommen kein Clock Gating, weil sie kein Enable-Signal haben. Die Register `Carry/Zero` haben schon Enable-Signale, aber sind jeweils nur ein Bit breit und bekommen wahrscheinlich daher kein Clock Gating.

Danach wurde der Befehl :

```
set_clock_gating_style
  -sequential_cell latch
  -positive_edge_logic {and}
  -negative_edge_logic {or}
```

gesetzt. Für die Register `Carry/Zero` wird nun Clock Gating verwendet.

Ungated Register (Ausschnitt):

Ungated Register Report				
Ungated Register	enable	ctrl	width	removed
datapath_inst/RegTmpB_reg_0_	NO	-	-	-
datapath_inst/RegTmpB_reg_1_	NO	-	-	-

Zusammenfassung:

Clock Gating Summary		
Number of Clock gating elements	11	
Number of Gated registers	163 (81.91%)	
Number of Ungated registers	36 (18.09%)	
Total number of registers	199	

2.1 Postlayout-Simulation

Im Programm werden zuerst ein paar `nop`-Befehle ausgeführt und dann mit `loadi` ein Wert auf Register 1 geschrieben.



Figure 1: In dieser Abbildung ist die Waveform von den Signalen Global Clock, Clock Enable Regfile und der Clock von Register 1 Flip-flop 0 zu sehen.

2.2 Power-Simulation

Der Gesamtverbrauch sind 465 uW wobei der Datenpfad 80.7 % davon verbraucht und der Kontrollpfad 18.9 %. Die Implementierung mit Clock Gating verbraucht 16.5 % weniger im Gegensatz zur Implementierung ohne Clock Gating. Die größte Einsparung ergibt sich beim Regfile, da dort die Register ohne Clock Gating immer neu geschrieben werden würden, auch wenn sie nicht verändert werden. Die kleinste Verbesserung ist bei der ALU, da diese ohnehin sehr viel arbeitet.

2.3 Clock Gating und DfT

Das Clock Gating verletzt die DfT-Regel, welche besagt, dass Clock Signale nicht gegated werden sollen. Der Clock muss immer aktiv sein, ansonsten kann es sein, dass die Scankette unterbrochen wird.