

2. Übung: Scan Chain Insertion

Name(n):

Punkte:

1 Manueller Einbau einer Scan-Kette

Typischerweise werden in ASICs Teststrukturen zur Überprüfung des Produktionsprozesses eingebaut. Dabei werden Scan-Ketten in den Entwurf eingefügt, um die Beobachtbarkeit und Steuerbarkeit einer komplexen digitalen Schaltung zu erhöhen bzw. zu gewährleisten. Die Testmustererstellung (ATPG: *Automatic Test Pattern Generation*) kann dadurch automatisiert werden. Diese Teststrukturen und -muster werden zur Überprüfung der Korrektheit simuliert (*Pattern Resimulation*).

Es sei der folgende Code gegeben:

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity scan_test is
5
6     port (
7         clk_i          : in  std_ulogic; -- clock
8         res_i          : in  std_ulogic; -- reset
9
10        --test_mode_i : in  std_ulogic; -- bypass scan test design rule
11                                   -- violations
12        scan_enable_i : in  std_ulogic; -- shift mode
13
14        a_i           : in  std_ulogic; -- primary input a
15        b_i           : in  std_ulogic; -- primary input b
16        z_o           : out std_ulogic  -- primary output
17    );
18
19 end scan_test;
20
21 architecture rtl of scan_test is
22
23     signal n, m, p, q : std_ulogic;
24
25 begin
26
27     process (clk_i, res_i)
28     begin
29         if res_i = '0' then
```

```

30     n <= '0'; m <= '0'; p <= '0'; q <= '0';
31     elsif clk_i'event and clk_i = '1' then
32         n <= a_i xor b_i;
33         m <= n and b_i;
34         p <= m or not n;
35         q <= not p;
36     end if;
37 end process;
38
39 z_o <= q;
40
41 end rtl;

```

Der auskommentierte Port `test_mode_i` ist normalerweise während des gesamten Tests auf logisch '1' und wird zur Umgehung von DfT-Verletzungen verwendet. Da es sich beim gegebenen Code um einen vollsynchronen Entwurf ohne solche Verletzungen handelt, ist dieser Eingang hier nicht nötig.

Der Einbau der Scan-Ketten und die Generierung der Testmuster erfolgt in der Industrie automatisiert. In dieser Übung sollen die Schritte jedoch zum besseren Verständnis manuell nachvollzogen werden. Gehen Sie dabei folgendermaßen vor:

1. Synthetisieren Sie die Schaltung und erstellen Sie eine Gatternetzliste. Der RTL-Code liegt in `$MHE3_HOME/templates/vhdl` bereit.
2. Tauschen Sie die Flipflops in der Netzliste gegen scan-fähige Flipflops aus (Tipp: `amsdoc`).
☐ Welche Flipflops wählen Sie dafür?
3. Fädeln Sie die Flipflops in einer Scan-Kette, beginnend vom Eingang `a_i` bis zum Ausgang `z_o`, auf. Verwenden Sie dabei bevorzugt jenen Ausgang des Flipflops, der noch keine anderen Gatter treibt. Begründen Sie zusätzlich, warum es sinnvoll ist, nicht belegte Ausgänge der Flipflops zu verwenden!
☐
4. Verbinden Sie `scan_enable_i` mit den dafür vorgesehenen Eingängen der Flipflops.

1.1 Erstellen des Testmusters

Erstellen Sie nun ein Testmuster, mit dem ein Stuck-at-1-Fehler am Eingang des Flipflops `p` erkannt werden kann. Die Register `m` und `n` müssen also mit geeigneten Werten geladen werden, sodass im

- ☐ *Mission Mode* (also `scan_enable_i = '0'`) am D-Eingang des Flipflops `p` eine '0' anliegt.
- Geben Sie zusätzlich mindestens zwei weitere, zu dem berechneten Fehler äquivalente, Stuck-at-Fehler an und begründen Sie, warum diese Fehler äquivalent sind!
- ☐

1.2 Pattern Resimulation

Schreiben Sie eine Testbench, die einen Scan-Test simuliert:

1. Zuerst sollen über die Scan-Kette in die Register n und m die passenden Werte geschoben werden.
2. Betreiben Sie dann die Schaltung für einen Taktzyklus lang im *Mission Mode*.
3. Lesen Sie über die Scan-Kette den Wert des Registers p aus und prüfen Sie, ob der erwartete Wert berechnet wurde.

1.3 Simulation eines Produktionsfehlers

Erstellen Sie eine Kopie der Netzliste mit Scan-Kette, in der Sie den Produktionsfehler durch eine Zuweisung eines festen Werts simulieren. Überprüfen Sie, ob Ihr Scan-Test den Fehler erkennt, und dokumentieren Sie dies entsprechend. Führen Sie eine ähnliche Simulation auch für einen äquivalenten Stuck-at-Fehler durch, und dokumentieren Sie auch dieses Ergebnis!

2 DfT-Verletzungen

Fassen Sie die in der Vorlesung besprochenen DfT-Verletzungen zusammen und erklären Sie für jede, warum sie im Zusammenhang mit DfT ein Problem darstellt!