

Technischer Anhang

Inhalt

1	LABORUMGEBUNG	2
2	LABORSYSTEM	2
2.1	FPGA-PLATINE „BASYS3“	3
2.2	PERIPHERIEPLATINE	5
3	KOMPONENTEN	6
3.1	SPANNUNGSVERSORGUNG	6
3.2	TASTER UND SCHIEBESCHALTER	7
3.3	PULLUP- UND PULLDOWN-WIDERSTÄNDE	7
3.4	LEUCHTDIODEN	8
3.5	SIEBENSEGMENTANZEIGEN	8
3.6	HEX-SCHALTER	10
3.7	INKREMENTALGEBER	10
3.8	TAKTGENERATOREN	10
3.9	FPGA	11
3.10	VERBINDUNGSLEITUNGEN	11
4	SCHALTPLAN DER PERIPHERIE-PLATINE	12
5	SCHALTPLÄNE DER FPGA-PLATINE	13

1 Laborumgebung

Im Digitaltechniklabor stehen Ihnen folgende Geräte und Baugruppen zur Verfügung:

- 24 PCs (Microsoft Windows 8.1, 64-Bit), Laserdrucker am Netzwerk
- Entwicklungsumgebung: Xilinx Vivado Design Suite
- Laborsystem:
 - *Digilent BASYS 3*-Board mit einem FPGA der *Artix-7*-Familie von Xilinx
 - Erweiterungsplatine mit Peripherie, Buchsenleisten und Steckbrett
 - LED-Siebensegmentanzeige mit separaten $470\ \Omega$ Widerständen im SIL-Gehäuse (Single-in-line Package, SIP) auf 28-poligem DIL-Sockel (Dual-in-line) zum Einsatz auf dem Steckbrett
- Logikanalysator: *Saleae Logic16* (16 Kanäle für Signalpegel 1,8V-5V)
 - Interner Zwischenspeicher
 - USB 2.0 für Datentransfer und Spannungsversorgung
 - Abtastrate 1-2 Kanäle max. 100 MS/s, 16 Kanäle max. 12,5 MS/s, Rechtecksignal max. 25 MHz¹

2 Laborsystem

Das Laborsystem besteht aus zwei zusammensteckbaren Platinen. Die blaue Hauptplatine („BASYS3“) enthält unter anderem den FPGA-Baustein von Xilinx (IC7, XC7A35T-1CPG236C) und wird über zwei zwölfpolige Buchsenleisten mit der grünen Peripherieplatine („Spielwiese“) verbunden (s. Abbildung 1). Letztere verfügt über ein zusätzliches Steckbrett (Engl.: breadboard) im 2,54 mm-Raster.

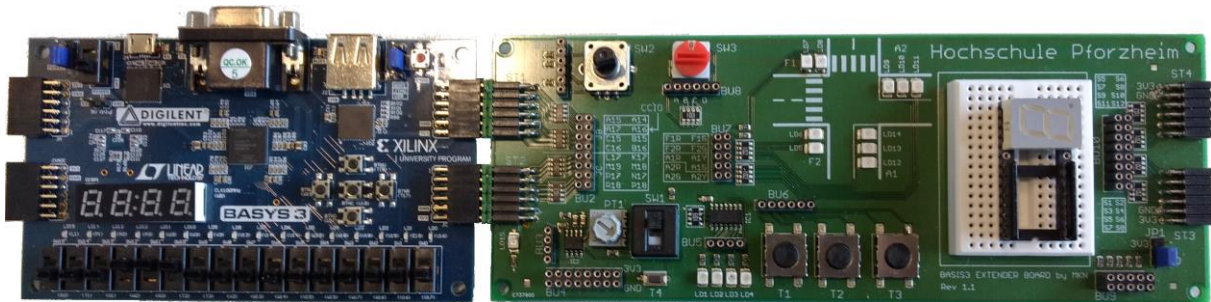


Abbildung 1: Zusammengestecktes Laborsystem, Revision 1.1

¹ Vom Hersteller spezifizierte Maximalwerte sind nur bei geringer USB-Latenz erreichbar. Tatsächlich erreichbare Werte hängen unter anderem vom Hostcontroller, USB-Hubs und der Auslastung betroffener Busse ab.

2.1 FPGA-Platine „BASYS3“

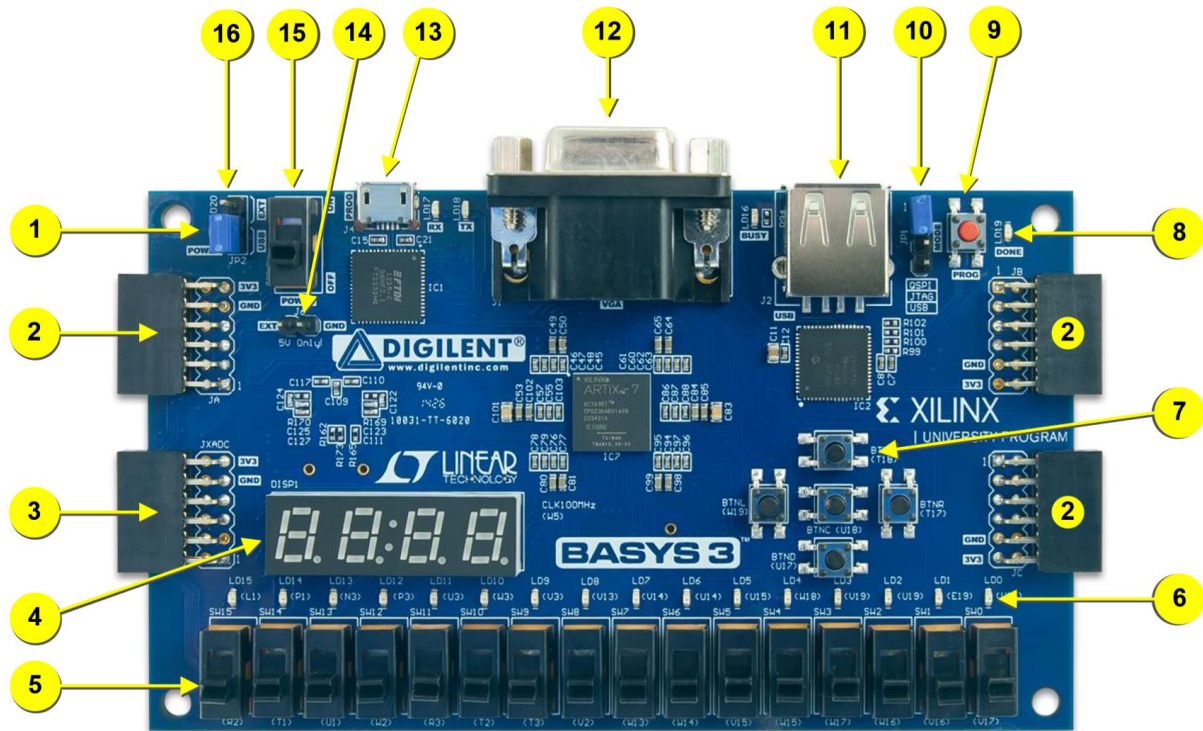


Abbildung 2: Oberseite Digilent BASYS 3-Platine mit Peripherie, Revision C [Digilent Inc.]

- 1) Überwachungsstatus Spannungen (LED)
- 2) Pmod-Anschlüsse (3 x digital)
- 3) Pmod-Anschluss für Analogsignale
- 4) Vierstellige Siebensegmentanzeige
- 5) Schiebeschalter (Wechsler, SW15...SW0)
- 6) Leuchtdiodenreihe (LD15...LD0)
- 7) Taster (oben = BTNU, unten = BTND, links = BTNL, rechts = BTNR, Mitte = BTNC)
- 8) Status FPGA-Programmierung (LED)
- 9) Rücksetztaster zum Löschen der FPGA-Konfiguration
- 10) Jumper zum Auswählen der Programmierquelle für das FPGA
- 11) USB 2.0-Anschluss (HID-Host / OTG)
- 12) VGA-Anschluss (12 Bit, analog)
- 13) USB 2.0-Anschluss (JTAG / UART)
- 14) Anschluss für externe Spannungsquelle (5V, im Labor nicht benötigt)
- 15) Ein-/Ausschalter
- 16) Auswahljumper Spannungsquelle

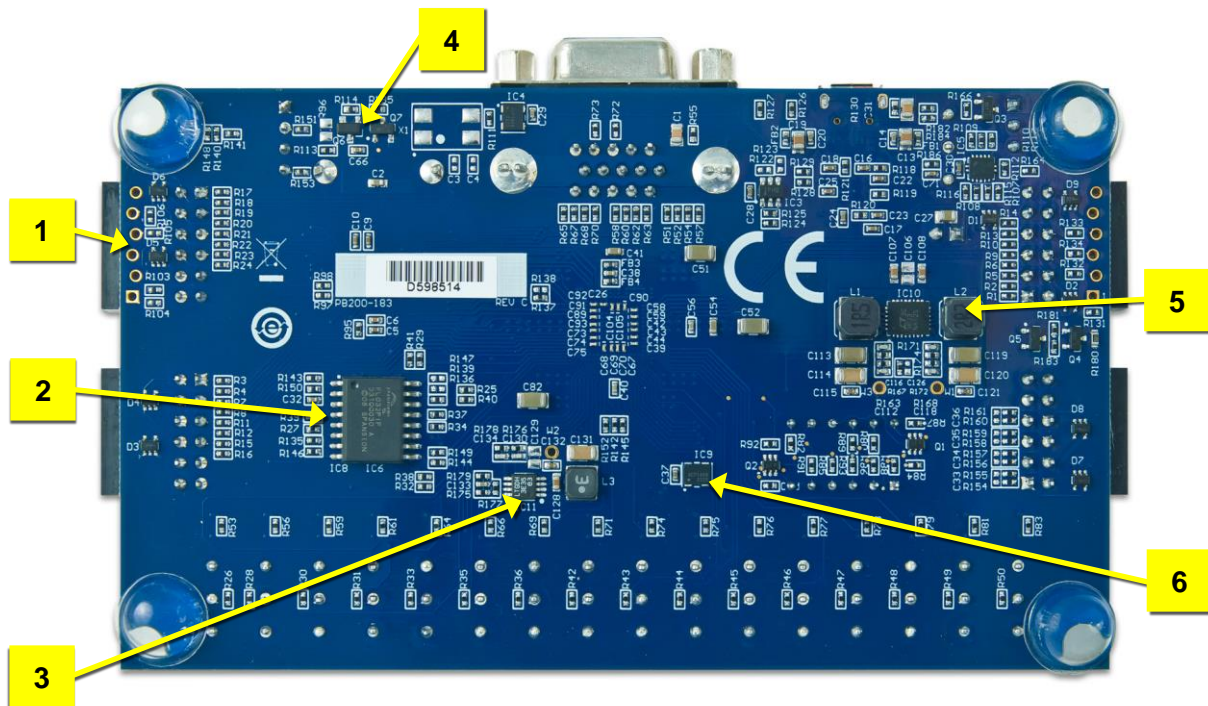


Abbildung 3: Unterseite Digilent BASYS 3-Platine, Revision C [Digilent Inc.]

- 1) Optionaler JTAG-Anschluss² (1x6 Leiste)
- 2) Serieller Flashspeicher (Quad-SPI)
- 3) Spannungsregler (für 1,8V) mit Induktivität und integrierter Überwachungsfunktion
- 4) Transistoren gegen USB-Rückspeisung³
- 5) Zweifacher Spannungsregler (für 3,3V und 1,0V) mit Induktivitäten und Überwachung
- 6) Taktgenerator (100 MHz, MEMS)

Das BASYS 3-Board verfügt standardmäßig über drei Programmierquellen für die FPGA-Logik. Die verfügbaren Möglichkeiten sind:

- Bitstrom über USB-JTAG (an Buchse J4)
- Bitstrom aus serielltem Flashspeicher (IC6 über Quad-SPI)
- Bitstrom aus Flash-Speicher eines USB-Sticks (an Buchse J2)

Optional ist noch eine 6-polige JTAG-Schnittstelle vorgesehen (J5).

In diesem Labor kommt nur die erste Variante zum Einsatz, die notwendige Konfiguration des Jumpers JP1 entspricht Abbildung 4.

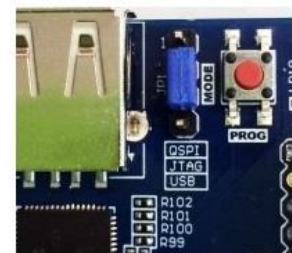


Abbildung 4: Jumper JP1

Das Artix 7-FPGA auf dem BASYS 3-Board ermöglicht laut Hersteller intern Taktfrequenzen bis über 450 MHz und enthält neben 33.280 Logikzellen und 41.600 Flip-Flops in 5.200 CLB-Slices auch 1.800 KBit Block-RAM sowie 90 DSP-Makros und 5 PLLs.

² Für externes Programmiergerät wie *Xilinx Platform Cable USB II*, *Digilent JTAG HS3 Programming Cable*.

³ Verhindert bei externer Spannungsversorgung des USB-Gerätes (FPGA-Platine) Rückspeisung zum Host, siehe USB-Standard [[Universal Serial Bus Revision 2.0 Specification \(2000\)](https://www.usb.org/sites/default/files/usb20spec.pdf)].

Im Labor Hardwarebeschreibungssprachen benötigen Sie folgende Baugruppen des BASYS 3-Boards:

- Taktgeber: 100 MHz, liefert externe Taktfrequenz des FPGAs, siehe Kapitel 0
- USB-2.0-Anschluss (Micro-B-Buchse) zum Konfigurieren des FPGAs
- Schalter / Taster zur Eingabe von Signalen, siehe Kapitel 3.2
- Leuchtdiodenreihe zur Ausgabe von Signalen
- Vierstellige Siebensegmentanzeige, siehe Kapitel 3.5
- Digitale Pmod-Anschlüsse (JB, JC) zur Verbindung mit der Peripherieplatine

2.2 Peripherieplatine

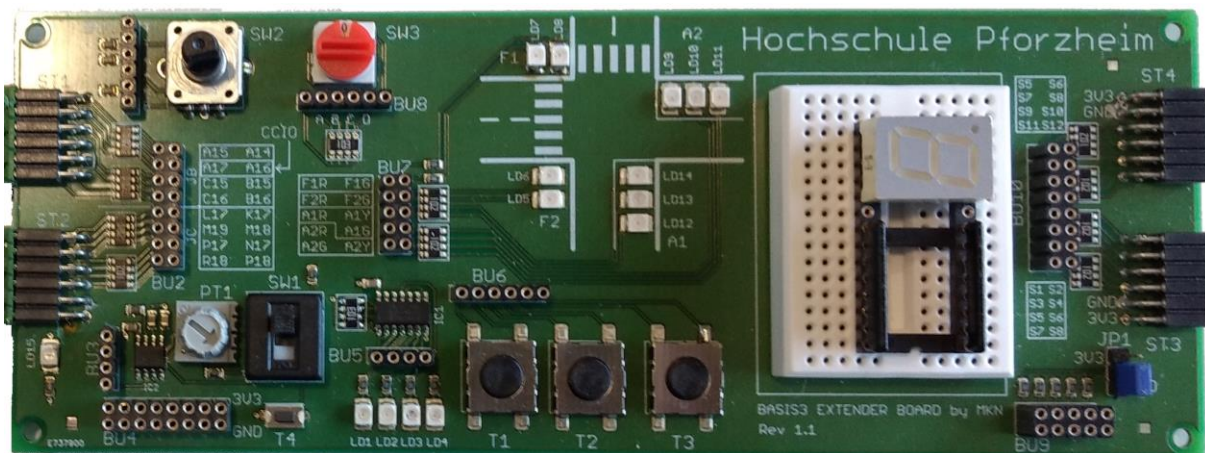


Abbildung 5: Peripherieplatine

Mit der Peripherieplatine steht Ihnen für dieses Labor zur Verfügung:

- Ampel-LEDs (Straßenkreuzung mit Fußgängerüberweg)
- 4 LEDs zur Anzeige von Signalwerten
- 3 Taster
- Inkrementalgeber
- Hex-Schalter
- 5 Pullup- oder Pulldown-Widerstände
- Konfigurierbarer Zeitgeber (NE555)
- Freifläche für ein Steckbrett
- Steckbrett im 2,54 mm Raster sowie diverse Verbindungsleitungen zum Anschluss von Zusatzlogik beziehungsweise weiterer Peripherie
- Buchsenleisten zur Verdrahtung der Peripherie

Die im Labor benötigten Anschlüsse der Peripherieplatten-Bausteine und die frei verfügbaren FPGA-I/Os des BASYS 3-Boards sind über Buchsenleisten auf der Peripherieplatine zugänglich. Deren Lage und Zuordnung kann den in diesem Dokument enthaltenen Plänen und Erläuterungen entnommen werden.

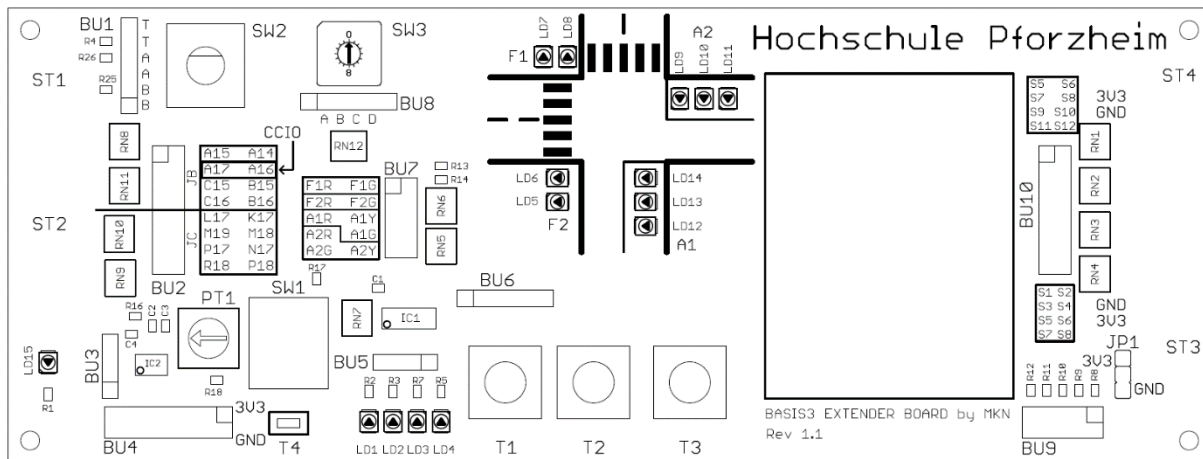


Abbildung 6: Bestückungsplan Peripherieplatine, Revision 1.1 [MKN]

- BU1 Ausgänge Inkrementalgeber SW2 (von oben nach unten: 2 x T, 2 x A, 2 x B), siehe Kapitel 3.7
- BU2 Verbindungen zur FPGA-Platine über ST1/ST2 auf dortige Pmod-Leisten JB/JC⁴ mit insg. 16 FPGA-I/Os sowie Spannungsversorgung (V_{CC} , GND)
- BU3 Ausgang Taktgenerator NE555 (4 Anschlüsse; monostabiler / astabiler Betriebsmodus über SW1, Taktfrequenz über PT1, Taktimpuls über T4), siehe Kapitel 3.8
- BU4 Spannungsversorgungsleiste 3,3V (obere Reihe: V_{CC} ; untere Reihe: GND), siehe Kapitel 3.1
- BU5 Leuchtdioden LD1-LD4 (orange, Eins-aktive Ansteuerung), siehe Kapitel 3.4
- BU6 Schließkontakte der Taster T1 (Pins 1/2), T2 (Pins 3/4), T3 (Pins 5/6), siehe Kapitel 3.2
- BU7 LEDs der Straßenkreuzung (F = Fußgänger, A = Auto, R = Rot, G = Grün, Y = Gelb; Null-aktive Ansteuerung), siehe Kapitel 3.4.
- BU8 Hex-Schalter (SW3) mit Widerstandsnetzwerk (Datenausgänge über Pins A bis D, Polarität entsprechend Beschaltung der beiden übrigen Pins), siehe Kapitel 3.6.
- BU9 Pullup- bzw. Pulldown-Widerstände, je ein benachbartes Anschlusspaar pro Widerstand, Funktion je nach Konfiguration des Jumpers JP1, siehe Kapitel 3.3
- BU10 Verbindungen zu weiterer Hardware über I/Os der Pmod-Buchsenleisten ST3 und ST4 (im Labor nicht verwendet)
- LD15 Status-LED Spannungsversorgung

3 Komponenten

3.1 Spannungsversorgung

Zur Spannungsversorgung der FPGA-Platine und der durch diese mitversorgten Peripherieerweiterung gibt es zwei Möglichkeiten:

- Micro-USB-Buchse J4 (USB-JTAG/UART)
- Externes Netzteil oder Batteriepack an Stiftleiste J6

⁴ Pmod-Interface Type 1 (GPIO), siehe [\[Digilent Pmod Interface Specification \(2011\)\]](#)

Die Auswahl zwischen USB- und externer Versorgung erfolgt mittels Jumper JP2. Im Labor Hardwarebeschreibungssprachen soll die Spannungsversorgung über den Micro-USB-Anschluss erfolgen.

Die Spannungsversorgungsanschlüsse der Bauteile auf beiden Platinen sind bereits fest verdrahtet.

Die Versorgungsspannung von +3,3 Volt gegen GND ist von der Buchsenleiste BU4 der Peripherieplatine zu entnehmen.

3.2 Taster und Schiebeschalter

Auf dem Laborsystem stehen folgende Taster und Schalter zur Verfügung:

- Peripherieplatine: Taster T1...T3 (s. Abbildung 7)
 - Zwei Anschlüsse pro Taster (Fußpunkt, Schließer)
 - Kein integrierter Pullup/Pulldown-Widerstand, muss extern verdrahtet werden
 - Schließer
- BASYS3: Taster BTNU/D/L/R/C (s. Abbildung 8)
 - Integrierter Pulldown-Widerstand
 - Ausgangssignal bei gedrücktem Taster ,1'-aktiv
 - Ausgangssignal über 10 k Ω -Widerstand direkt mit FPGA verbunden (s. Bestückungsdruck)
- BASYS3: Schiebeschalter SW0...SW15 (s. Abbildung 9)
 - Zwei gegenläufige Schließer
 - Ausgangssignal über 10 k Ω -Widerstand direkt mit FPGA verbunden (s. Bestückungsdruck)
 - Stellung „oben“ (in Richtung der LEDs): ,1'-Pegel; Stellung „unten“ (in Richtung des Platinenrandes): ,0'-Pegel

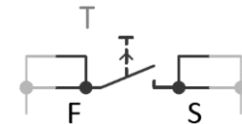


Abbildung 7: Taster (Peripherieplatine)

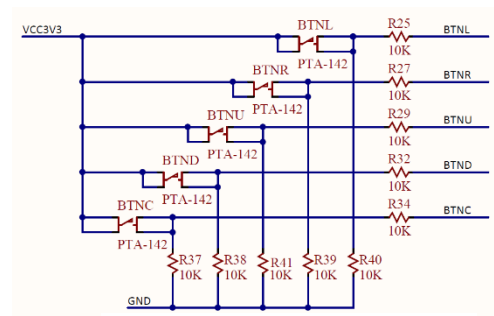


Abbildung 8: Taster (BASYS3)

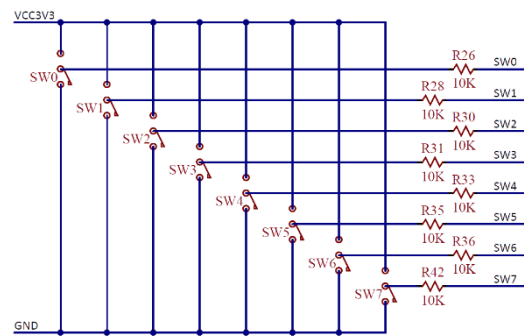


Abbildung 9: Schalter (BASYS3)

Die Taster und Schalter beider Platinen sind nicht prellfrei. Gegebenenfalls müssen Entprellschaltungen in der FPGA-Logik vorgesehen werden.

3.3 Pullup- und Pulldown-Widerstände

Um mit den Tastern auf der Peripherieplatine jederzeit (d.h. auch im Umschaltzeitpunkt) einen definierten Logikpegel erzeugen zu können, wird als zusätzliche externe Beschaltung ein Pullup- oder Pulldown-Widerstand benötigt (s. Abbildung 10). Abhängig von der Beschaltung liegt beim Betätigen des Tasters am Ausgang ein Low- oder High-Pegel an.

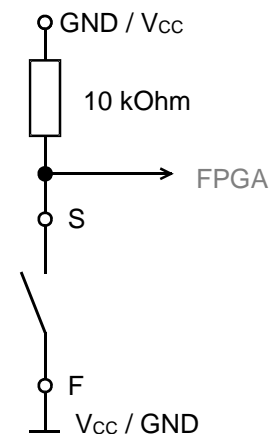


Abbildung 10: Taster mit Pullup-Beschaltung

Je nach Konfiguration des Jumpers JP1 werden an allen Pins der Buchsenleiste BU9 (Peripherieplatine) entweder Pullup- oder Pulldown-Widerstände zur Verfügung gestellt. Dabei sind immer zwei benachbarte Pins der Buchsenleiste mit einem Widerstand verbunden.

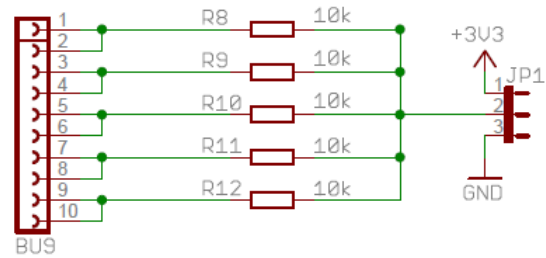


Abbildung 11: Pullup- oder Pulldown-Widerstände

3.4 Leuchtdioden

Das Laborsystem stellt mehrere Leuchtdioden zur Anzeige von Signalpegeln bereit.

- Peripherieplatine: LD1...LD4
 - ,1'-aktiv
 - Offener Eingang wird als ,0' interpretiert
 - Ansteuerung über Buchsenleiste BU5
- Peripherieplatine: „Ampel“-Leuchtdioden LD5...LD14
 - ,0'-aktiv
 - Ansteuerung über Buchsenleiste BU7 (F = Fußgänger, A = Auto, R = Rot, G = Grün, Y = Gelb)
- BASYS3: LD0...LD15
 - ,1'-aktiv
 - Über Vorwiderstand direkt mit FPGA-Pins verbunden (s. Bestückungsdruck oder Schaltplan)

3.5 Siebensegmentanzeigen

Siebensegmentanzeigen bestehen im Grunde aus sieben „Leuchtdioden“ oder „Leuchtsegmenten“, die aufgrund ihrer Anordnung in Form einer Acht eine Hexadezimalzahl darstellen können. Eine weitere Leuchtdiode dient zur Darstellung des Dezimalpunkts. Der auf dem BASYS3-Board vorhandene Doppelpunkt ist nicht ansteuerbar. Die Segmente tragen im Allgemeinen die Bezeichnungen a bis g, hinzu kommt der Dezimalpunkt dp (s. Abbildung 12).

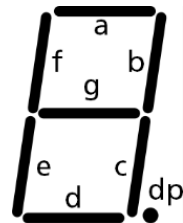


Abbildung 12: Siebensegment-Anzeige

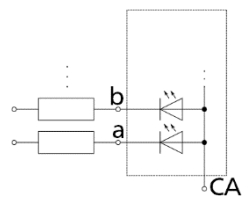


Abbildung 13: LED-Ansteuerung einer Siebensegment-Anzeige

Die Leuchtdioden jeder Siebensegmentanzeige besitzen entweder alle eine gemeinsame Anode oder eine gemeinsame Kathode. Auf dem Laborsystem finden nur Siebensegmentanzeigen mit gemeinsamer Anode (Engl.: common anode, CA) Verwendung, deren Segmente also ,0'-aktiv angesteuert werden müssen. Da die gemeinsamen Anoden der vier Anzeigestellen auf der FPGA-Platine durch PNP-Transistoren getrieben werden, erfolgt deren Ansteuerung ebenfalls ,0'-aktiv. Abbildung 13 zeigt das Prinzip der Ansteuerung.

Siebensegmentanzeigen sind im Allgemeinen in ein Gehäuse eingebaut, an dessen oberer und unterer Kante die Anschlusspins angebracht sind (Abbildung 14).

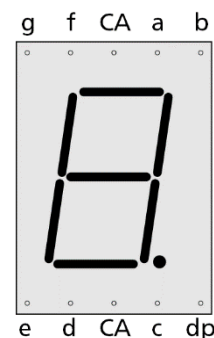


Abbildung 14: Anschlusspins am Gehäuse einer Siebensegment-Anzeige

Das Laborsystem enthält zwei Siebensegmentanzeigen:

- Peripherieplatine: Externe Siebensegmentanzeige auf Steckbrett
 - Steckt gemeinsam mit acht $470\ \Omega$ Einzelwiderständen auf einem 28-poligen DIL-Sockel
 - Je vier Widerstände gemeinsam in einem SIL-Gehäuse mit 8 Anschlüssen integriert, immer zwei benachbarte Pins gehören zu einem Widerstand
 - Verbindungen müssen von Hand verdrahtet werden
 - Anzeige darf **unter keinen Umständen ohne Vorwiderstände** betrieben werden!
- BASYS3: Vierstellige Siebensegmentanzeige
 - Vorwiderstände auf der Leiterplatte
 - Ausgabe mehrstelliger Zahlen im Zeitmultiplex-Verfahren, d.h. die einzelnen Anzeigen werden zeitlich versetzt angesteuert
 - Direkt mit FPGA-Pins verschaltet (s. Tabelle 1)

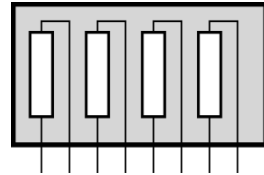


Abbildung 15: Vier Widerstände im SIL-Gehäuse

Tabelle 1: Anschlusszuordnung Siebensegmentanzeige BASYS 3-Board

Signalname BASYS 3- Board	FPGA- Pin	Kommentar
AN0	U2	Gemeinsame Anode Ziffer 4 (rechts)
AN1	U4	Gemeinsame Anode Ziffer 3
AN2	V4	Gemeinsame Anode Ziffer 2
AN3	W4	Gemeinsame Anode Ziffer 1 (links)
CA ⁵	W7	Segment <i>a</i>
CB	W6	Segment <i>b</i>
CC	U8	Segment <i>c</i>
CD	V8	Segment <i>d</i>
CE	U5	Segment <i>e</i>
CF	V5	Segment <i>f</i>
CG	U7	Segment <i>g</i>
DP	V7	Segment <i>dp</i> (Dezimalpunkt)

⁵ Achtung: Die Abkürzung „CA“ als Signalname steht hier nicht wie oft üblich für „Common Anode“ – Digilent benutzt diese Bezeichnung in den Schaltplänen des BASYS 3-Boards für die Kathoden der vier *a*-Segmente.

3.6 Hex-Schalter

Mit Hilfe des Hex-Schalters auf der Peripherieplatine kann eine vier Bit breite Binärzahl erzeugt werden (0x0 bis 0xF). Er verfügt über vier interne Schalter, bedienbar über einen Drehknopf. Diese internen Schalter besitzen einen gemeinsamen Anschluss (Pin 6), sowie vier Ausgänge (Platine: A / B / C / D) mit den Wertigkeiten 1, 2, 4 und 8. Über ein Widerstandsnetzwerk sind diese Ausgänge mit Pin 1 der Buchsenleiste BU8 verbunden (Stichwort: Pulldown-Widerstände). Abbildung 16 zeigt das Schaltbild der Baugruppe.

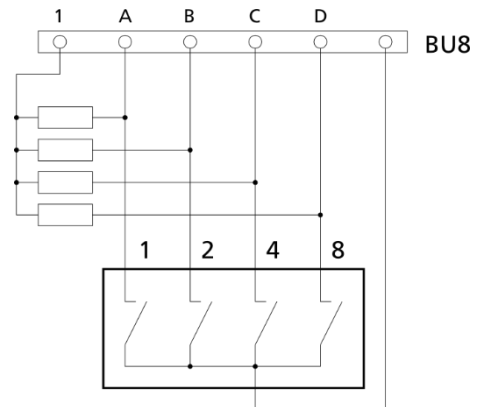


Abbildung 16: Hex-Schalter

3.7 Inkrementalgeber

Die digitalen Ausgangssignale A und B des Inkrementalgebers auf der Peripherieplatine sind von der Drehrichtung und dem Drehwinkel abhängig. Ein idealisierter Verlauf dieser Signale pro Inkrement (einzelner Schritt) – bei gleichförmiger Drehung – ist in Abbildung 17 für eine Drehung gegen den Uhrzeigersinn und in Abbildung 18 für eine Drehung im Uhrzeigersinn zu sehen.

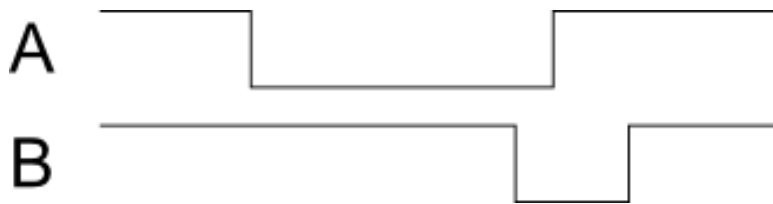


Abbildung 17: Ideales Inkrementalgeber-Signal Linksdrehung

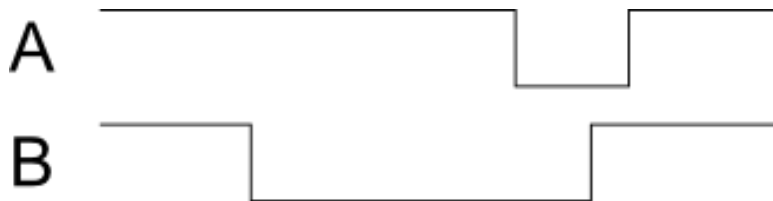


Abbildung 18: Ideales Inkrementalgeber-Signal Rechtsdrehung

Darüber hinaus stellt der Drehknopf des Gebers eine Tastenfunktion bereit, wobei der zugehörige Schließkontakt (Ausgangssignal T) mit einem Pullup-Widerstand beschaltet ist.

Alle drei Ausgangssignale des Inkrementalgebers stehen auf der Peripherieplatine des Laborsystems an Buchsenleiste BU1 zur Verfügung. Abweichungen realer Signalverläufe gegenüber den hier gezeigten Idealverläufen werden in einem der Laborversuche behandelt.

3.8 Taktgeneratoren

Das Laborsystem enthält zwei Taktgeneratoren.

- Peripherieplatine: Taktgenerator für Frequenzen von ca. 1...100 Hz
 - Kann mit Schalter SW1 zwischen monostabilem und astabilem Modus umgeschaltet werden (oben: astabil, unten: monostabil)

- Ausgangssignal an BU3, muss über zusätzliche Verdrahtung an einen speziellen Eingang des FPGAs geleitet werden (Buchsenleiste BU2, Pin A16 / CCIO)
- Taktfrequenz im astabilen Modus per Drehpotentiometer PT1 einstellbar
- Im monostabilen Modus Ausgabe eines Impulses per Tastendruck auf T4
- BASYS3: 100 MHz-Taktgenerator
 - Frequenz nicht einstellbar
 - Direkt mit Pin W5 des FPGAs verbunden

3.9 FPGA

Für die meisten der in diesem Labor benötigten FPGA-Pins (d.h. deren Bezeichnung) ist die Zuordnung auf der FPGA-Platine im Bestückungsaufdruck direkt am betroffenen Bauteil dokumentiert. Ebenso befindet sich auf der Peripherieplatine direkt neben Buchsenleiste BU2 die Zuordnung von deren Pins zu korrespondierenden FPGA-Pins, alternativ kann deren Zuordnung über die Verbindungen ST1/JB und ST2/JC auch anhand der Schaltpläne nachvollzogen werden.

Die im Laborsystem über die Pmod-Buchsen beziehungsweise hier an Buchsenleiste BU2 der Peripherieplatine verfügbaren I/O-Pins des FPGAs besitzen durch ihre Beschaltung bereits einen gewissen Schutz. Hierzu befinden sich an den Signalleitungen der Pmod-Buchsen Zener-Dioden in Sperrrichtung zum Schutz vor Überspannungen wie diese beispielsweise durch elektrostatische Aufladungen, Spannungsspitzen bei Lastabfall oder zu hohe Eingangsspannungen externer Hardware auftreten können. Zudem sollen die FPGA-I/Os gegen Überlastung geschützt werden – zur Strombegrenzung befinden sich auf dem BASYS 3-Board vor den Pmod-Buchsen für Digitalsignale Reihenwiderstände mit jeweils 200 Ω und auf der Peripherieplatine zwischen ST1 / ST2 und BU2 Reihenwiderstände mit je 1 k Ω .

Der erlaubte Stromfluss eines FPGA-Pins als Quelle (I_{OH} , Output High) oder Senke (I_{OL} , Output Low) hängt unter anderem von der Gesamtbelastung seiner Bank ab, sowie vom Spannungspegel beziehungsweise I/O-Standard des Pins. Typischerweise sollten ± 8 mA nicht überschritten werden.⁶

3.10 Verbindungsleitungen

Zur besseren Übersicht und damit auch zur Erleichterung einer eventuell notwendigen Fehlersuche sollte die Verdrahtung von V_{CC} und GND mit roten und schwarzen Verbindungsleitungen durchgeführt werden. Die Verdrahtung der übrigen Signale erfolgt in den anderen Farben, möglichst in einem nachvollziehbaren Schema der Farbzuordnung.

Beim Herausziehen der Verbindungsleitungen aus den Buchsenleisten des Laborsystems kann es zum Verhaken der Stiftkontakte in der Buchsenleiste kommen. Dies lässt sich im wieder völlig gesteckten Zustand durch geringfügiges Drehen des Stiftkontaktes in der Buchsenleiste lösen (bitte **nicht** versuchen, die Verbindungsleitungen mit Gewalt herauszureißen).

⁶ Siehe [[Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics \(Xilinx DS181\)](#)].

4 Schaltplan der Peripherie-Platine

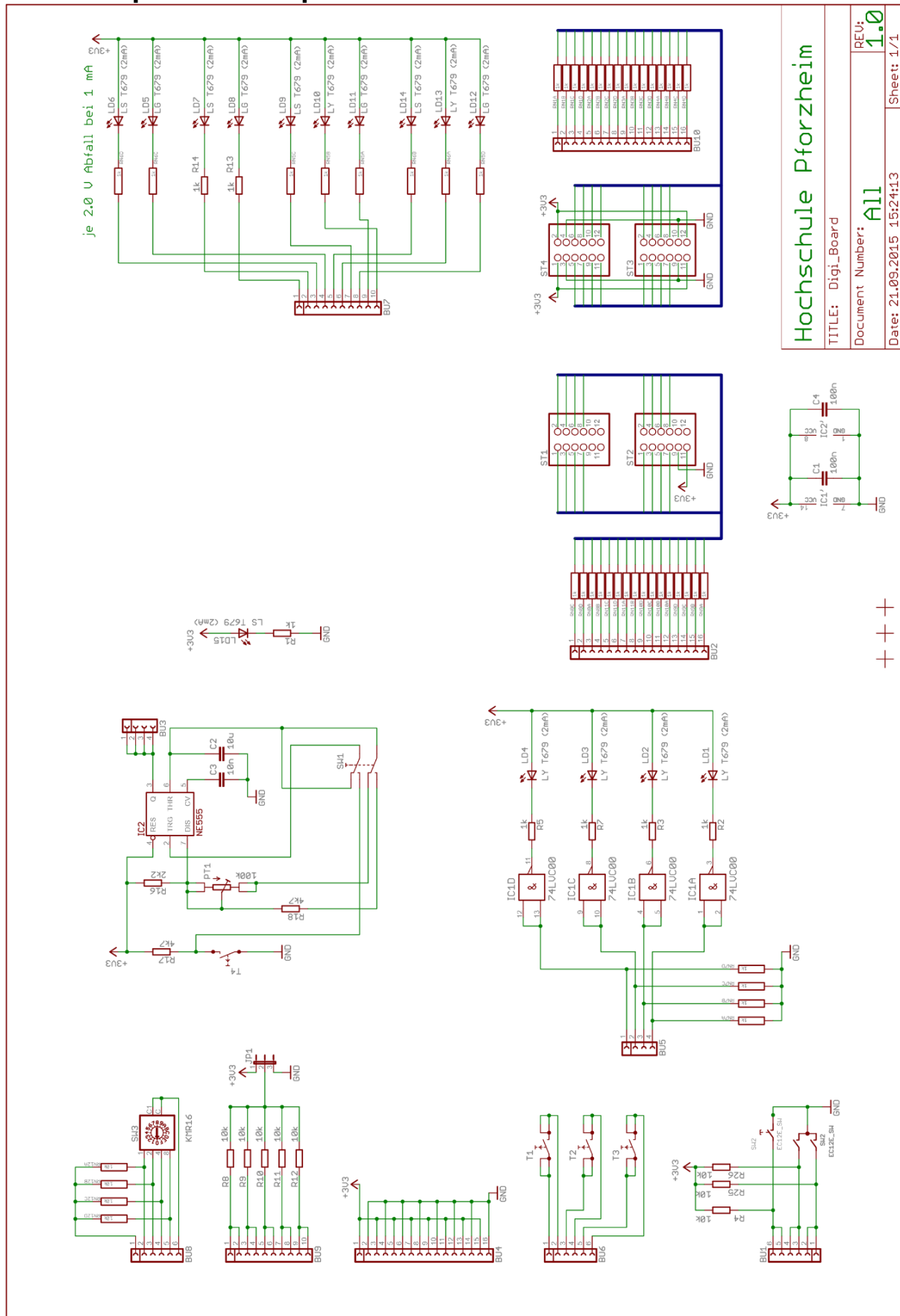


Abbildung 19: Schaltplan Peripherieplatine ("Spielwiese"), Revision 1.0 [MKN]

5 Schaltpläne der FPGA-Platine

Die Schaltpläne der BASYS 3-Platine mit dem Xilinx Artix 7-FPGA finden Sie in einem separaten Dokument („*Digilent Basys 3 Schematics.pdf*“).

Diese bei Digilent online verfügbaren Schaltpläne sind jedoch leider **nicht vollständig**. Auf diesen Plänen fehlen einige Bauteile, unter anderem IC1 (FTDI-Controller für geteilte USB-JTAG/UART-Schnittstelle) und dessen Beschaltung inklusive J3 (Mikro-USB-Anschluss), sowie IC3, IC4 und IC5.