
• Schriftliche Beantwortung der Fragen zum Vivado-Einführungskurs

Kapitel 4 (Seite 8):

Siehe Vorbereitungsaufgabe V3) a) bis f)

Kapitel 5 (Seite 11):

o In welchem Prozess ist das Zählerregister modelliert, in welchem das Überführungsschaltnetz?

⇒ Das Zählerregister ist in `reg_proc:process` modelliert.

Das Überführungsschaltnetz ist in `nsd_proc:process` modelliert.

o Wo wird im Registerprozess der vom Überführungsschaltnetz berechnete Wert übernommen?

⇒ auf Zeile 26

```
20 |  
21 | reg_proc:process (clk, reset)  -- process for register functi  
22 | begin  
23 |     if reset='1' then  
24 |         q <= (others => '0');  
25 |     elsif clk'event and clk = '1' then  -- rising clock edge |  
26 |         q <= q_ns;  
27 |     end if;  
28 | end process;  
29 |
```

o Wo wird der nächste Zählerstand berechnet?

⇒ Auf Zeile 32

```
29 |  
30 | nsd_proc:process (q)  -- process for next state decoder  
31 | begin  
32 |     q_ns <= q + 1;  
33 | end process;  
34 |
```

Kapitel 5 (Seite 12):

o Wie viele Bits hat der Zähler? Was ist demnach der größtmögliche Zählerstand?

⇒ Der Zähler hat 4 Bits. Das heißt, der größtmögliche Zählerstand ist $2^4 = 16$

o Zu welchem Zeitpunkt wird also ein Überlauf des Zählers erfolgen, wenn Sie die Dauer des Resetimpulses mit einkalkulieren?

Mit jedem Takt (steigende Taktflanke) wird der Zählerstand um Eins erhöht. Das heißt, um den größtmöglichen Zählerstand zu erreichen muss die Simulation mindestens 16 Takte enthalten.

Darüber hinaus, am Anfang der Simulation wird der Reset auf ,1' gesetzt, welche eine Wartezeit von 2 Perioden verursacht, der 2 Takte entspricht.

⇒ Nach 18 ($16 + 2$) Takten wird ein Überlauf des Zählers stattfinden.

⇒ Und weil ein Takt 25ns dauert, daraus ergibt sich **450ns** ($18 \text{ Takte} * 25\text{ns}$)

Kapitel 5 (Seite 13):

☐ Ändert sich der Zählerstand mit jeder steigenden Flanke des Eingangstakts?

⇒ Ja

☐ Arbeitet der Zähler korrekt (aufsteigend, Einerschritte)?

⇒ Ja

☐ Welcher Zählerstand wird einen Takt nach dem Erreichen des höchsten Zählerstands angezeigt (Verhalten bei Überlauf)?

Nach dem Erreichen des höchsten Zählerstands hat der Zählerstand einen Wert von ,0' und mit jedem weiteren Takt wird der Zähler um Eins erhöht.

⇒ Ein Überlauf agiert als ein Reset.

☐ Auf welchen Wert wird der Zähler durch das Reset-Signal zurückgesetzt?

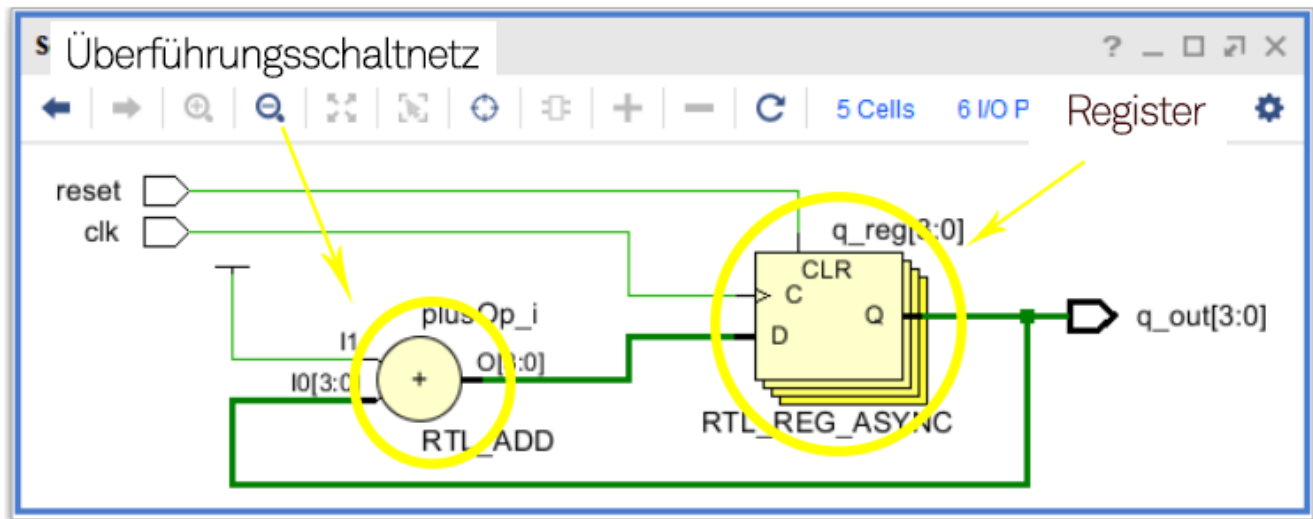
⇒ 0000_2

☐ Ist der Reset-Eingang des Zählers 0- oder 1-aktiv (oder anders formuliert: Durch welchen Pegel des Reset-Signals wird der Zähler auf 0 zurückgesetzt)?

⇒ der Reset-Eingang des Zählers ist 1-Aktiv.

Kapitel 7 (Seite 16):

☐ Welcher der dargestellten Blöcke ist das Register, welcher das Überführungsschaltnetz?



☐ Wie viele Bits hat das Register?

⇒ $q_reg[3:0] \Rightarrow 4$ Bits

☐ Ist im Überführungsschaltnetz die richtige Funktion implementiert?

⇒ Ja. (Addition)

☐ Sind die Ein- und Ausgangssignale vollständig und besitzen Sie die richtige Polarität?

⇒ Ja

Kapitel 8 (Seite 17):

☐ Welcher Prozess des Zählers muss sensitiv auf das Reset-Signal sein?

⇒ Der Prozess *reg_proc:process* muss auf das Reset-Signal sein.