**Laborversuch 1**

**Einführung Laborsystem und Entwurfssoftware / RTL**

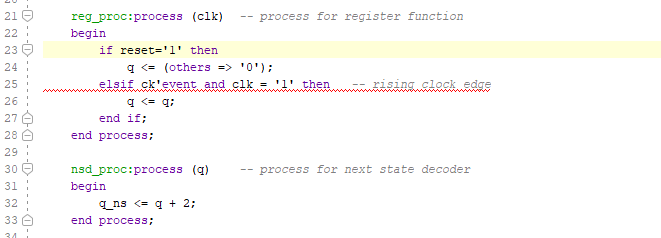
Vorbereitungsaufgaben :

V3)

# Wie reagiert der Zähler counter4 auf das Taktsignal? Reagiert der Zähler auf den Pegel oder auf eine Flanke des Taktsignals?

* Im Normalfall würde der *counter4* auf eine steigende Flanke und *q* um 2 inkrementiert.

Jedoch sind syntaktische /semantische Fehler enthalten, wodurch die Funktion nicht gegeben ist.

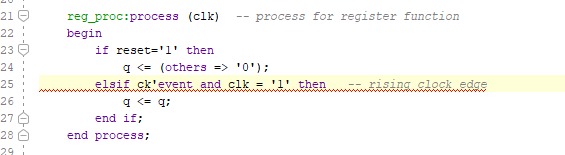


Zeile 25 : Stellt sicher dass der *counter4* auf eine steigende Flanke reagiert.

Zeile 32 : das Signal *q\_ns* wird um 2 inkrementiert.

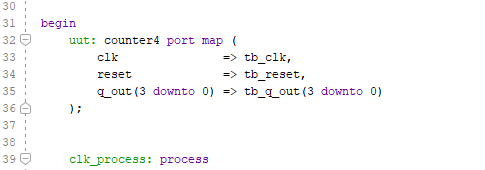
# Wie reagiert der Zähler counter4 auf das Resetsignal? Reagiert der Zähler auf den Pegel oder auf eine Flanke des Resetsignals?

* Sobald Reset auf 1 gesetzt wird (Zeile 23) , wird *q* (4 Bits) auf 0 gesetzt (Ausgänge). Wenn Reset auf 0 ist wird eine andere Bedingung geprüft.



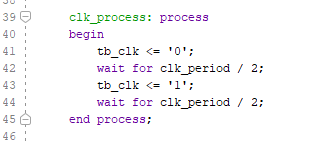
# Wie heißen die Signale in der Testbench (nicht die Ports der Komponente counter4!), die an den Takt- und Reseteingang des Zählers angeschlossen sind?

* *tb\_clk* und *tb\_reset* heißen die Signale. (Zeile 33 und 34)

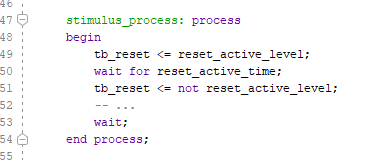


# In welchem der Testbench-Prozesse wird das Takt-, in welchem das Resetsignal generiert? Beschreiben Sie die Arbeitsweise der beiden Prozesse!

* Der Takt wird im *clk\_process* generiert: Dort wird zu Beginn der Takt auf 0 gesetzt nach 12.5ns (halbe Periode) wird er auf 1 gesetzt und schließlich wieder 12.5ns gewartet. Danach beginnt der Prozess erneut.



* Reset wird im *stimulus\_process* generiert: Dort wird zu Beginn der Reset auf 0 gesetzt nach 50ns (Periode \* 2) wird er auf den invertierten Wert vom Anfang (1) gesetzt. Danach wartet der Prozess, solange bis die Simulation neu startet.

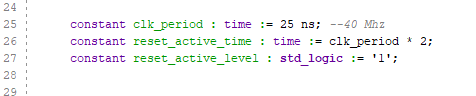


# Das FPGA auf dem Laborsystem kann extern mit einer Frequenz von 100 MHz getaktet werden (siehe Dokumentation zum BASYS3-Board). Welche Periodendauer des Taktes ergibt sich daraus? Wo könnten Sie diese Periodendauer im Quellcode der Testbench einstellen?

* 𝑻 = 𝟏 / 𝒇 = 𝟏 / 𝟏𝟎𝟎 𝑴𝑯𝒛 = 𝟏𝟎 𝒏𝒔

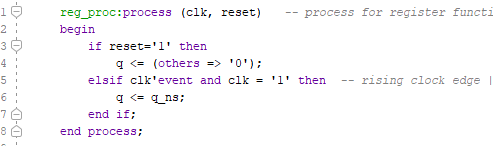
Einstellungen: *constant clk\_period* : time= xxx ns.

Quellcode-Abschnitt: Zeile 25



# Welchen Signalpegel hat das von der Testbench generierte Reset-Signal in seiner aktiven Phase? Passt der Pegel des Reset-Impulses zu den Anforderungen der VHDL Komponente, die Sie testen möchten? Wo können Sie ggf. den Signalpegel des generierten Reset-Signals ändern?

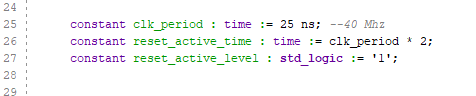
* In seiner aktiven Phase hat das Resetsignal eine 0 (vor Änderung). Nein es passt nicht, da der Reset **High-aktiv** ist, somit soll er in seiner aktiven Phase den Pegel 1 haben und in seiner nicht aktiven Phase 0.



Zeile 3+4 (in counter4.vhd) => beweist, dass der Reset High-Aktiv sein muss.

* Man kann in Zeile 27 (tb\_counter4.vhd) der Konstante:

*constant reset\_active\_level* einen gewünschten Wert zuweisen*.*



# Wie können Sie den Taktgeber des Peripherieboards mit einem FPGAAnschlusspin verbinden?

* Um den Taktgeber des Peripherieboards mit einem FPGAAnschlusspin zu verbinden, kann man die sogenannte *Constraints (Randbedingungen)* festlegen.

V4)

