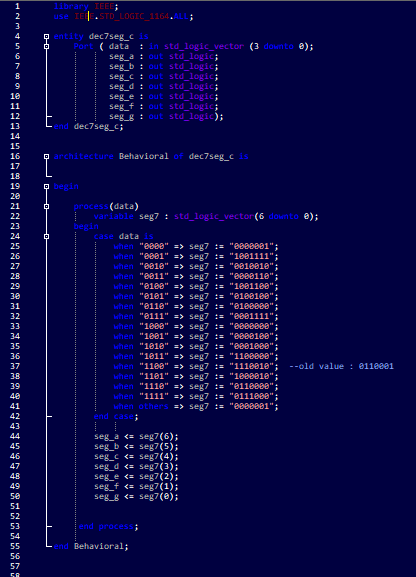
**

**Laborversuch 2**

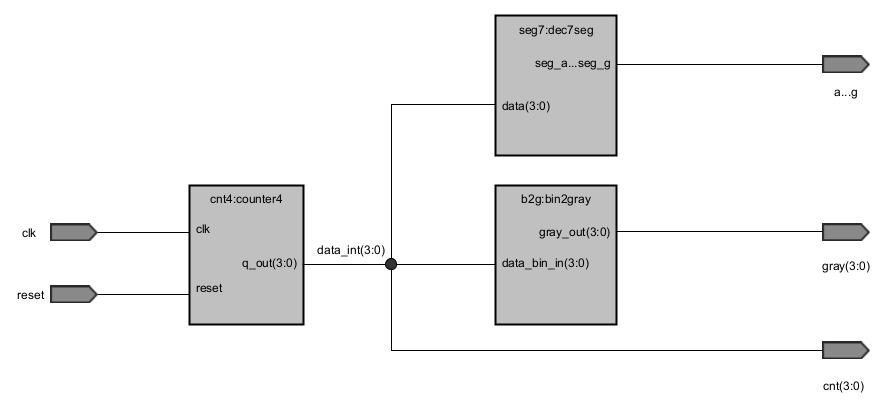
**VHDL-Strukturbeschreibungen / Logiksynthese**

Vorbereitungsaufgaben :

## VHDL-Quellcode der Datei dec7seg\_c.vhd



## Struktur-Blockschaltbild der Gesamtschaltung aus 4-Bit-Zähler, Siebensegment-Dekoder und Gray-Kodierer:



## 1-bis-6-Zähler

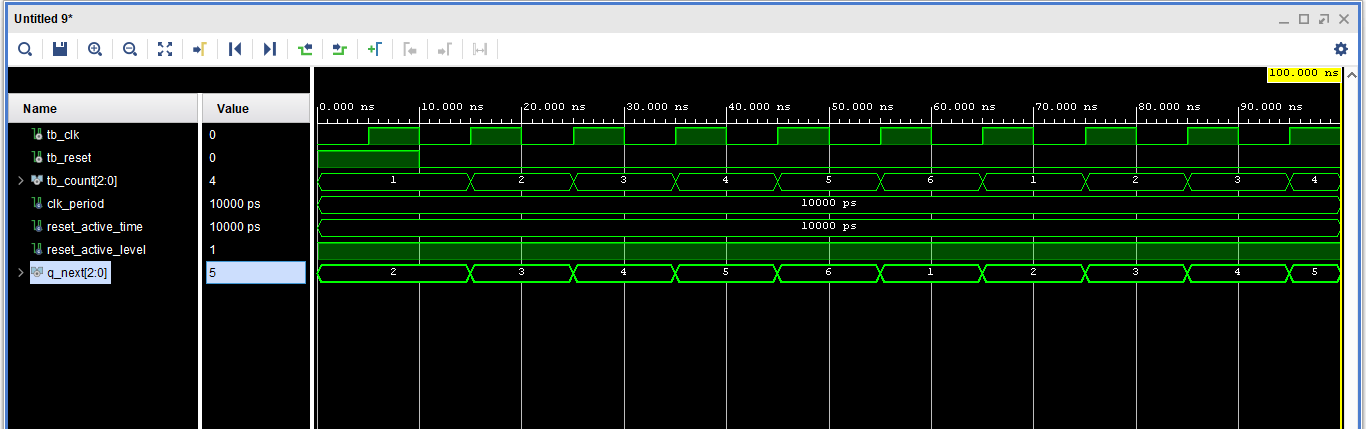
### Spezifikation

|  |  |  |
| --- | --- | --- |
| *Reset* | *(2:0)*  *Binärcode, 1-aktiv* | *(2:0)*  *Zustandswechsel mit steigender Taktflanke* |
| 1 | 001 | Nicht definiert |
| 0 |  | **If** = ***then***  **else** + 1  (von 1 bis 6 zählen) |

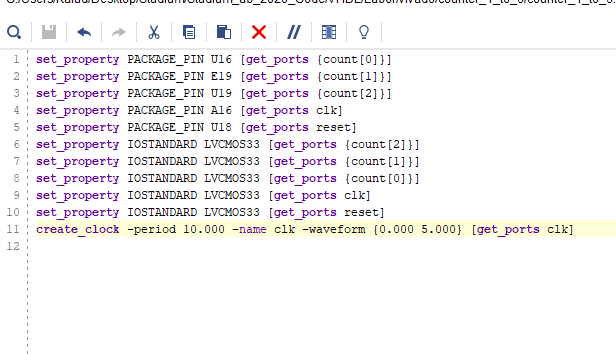
### Testplan

|  |  |  |
| --- | --- | --- |
| **Testumfang** | *count1to6* Zähler | |
| **Eingangssignale** | Reset  clk | - Der Resetsignal ist 1-aktiv, asynchron und setzt den Zähler auf 1 zurück  - Systemtakt , 100 MHz  - Zählerstand ändert sich mit der steigenden Taktflanke |
| **Ausgangssignale** | cnt(2:0) | - Zählerstand , binär  - Kleinste Wert :  - Größter Wert : |
| **Testsequenz / Testdauer** | 1. Reset 2. Durchlaufen aller Zustandsübergänge | 1 Taktzykus  6 Taktzyklen |

### Screenshot der Signalverläufe in der Simulation



### Constrains-Datei constr.xdc



* Screenshot des Fensters Project Summary

