

Taller 2 - Circuitos Combinacionales en VHDL

1. Participantes del Grupo

- Grupo: 13
- Turno: Mañana
 - Lola Fioramanti
 - Tiziano Lamperti
 - W. Matías Amengual

2. Verificación Funcional

Complete la siguiente tabla con los casos de prueba con lo obtenido de la simulación de la ALU para garantizar el correcto funcionamiento de su diseño.

Operandos		Operación	Salidas				
A	B	OP	S	Z	C	V	N
1111	0001	00	0000	1	1	0	0
0101	0101	00	1010	0	0	1	1
0101	0101	01	0000	1	0	0	0
1000	0111	00	1111	0	0	0	1
1000	0111	01	0001	0	0	1	0
0110	1010	00	0000	1	1	0	0
0110	1010	01	1100	0	1	1	1
1101	1100	10	1100	0	0	0	0
1101	1101	11	1101	0	0	0	0

3. Descripción del diseño de cada circuito

Para cada circuito diseñado en VHDL, detalle su funcionalidad, componentes y características principales. Realice una breve descripción de 1 o 2 párrafos por módulo. Adjunte los links a cada proyecto.

A. Módulo Lógico (*FuncLog_Nbits*)

- LINK EDA Playground: <https://www.edaplayground.com/x/UJuY>

Descripción y Funcionalidad: Posee 3 Entradas A, B, OP y una salida R, de las cuales A y B son signed con un tamaño de N Bits, y OP std_logic del tamaño de 1 Bit. R es un puerto de salida signed de N Bits, la cual representa las operaciones realizadas entre las entradas, por lo que cuando OP = 0 se realiza la operación AND entre A y B, y si OP = 1 se realiza entre las mismas la operación OR.

B. Módulo Aritmético (*SumArit_Nbits*)

- LINK EDA Playground: <https://www.edaplayground.com/x/GKdi>

Descripción y Funcionalidad: Posee 3 Entradas A, B , OP, una salida R, y una Flag zcvn. De las cuales A y B son del tipo signed con un tamaño de N Bits, y OP std_logic del tamaño de 1 Bit. R es una salida del tipo signed de N Bits, la cual representa las operaciones realizadas entre las entradas, por lo que cuando $OP = 0$ se realiza la operación de suma entre A y B, y si $OP = 1$ se realiza entre las mismas la operación de resta. La salida de flags zcvn de 4 bits tipo std_logic_vector, responder a los flags:

cero zcvn (3): cuando el resultado de la operación es igual a 0,

carry zcvn (2): cuando se produce acarreo como resultado,

overflow zcvn (1): cuando la operación se desborda del rango de longitud en Bits

y negativo zcvn (0) cuando el resultado es negativo:

C. ALU (ALU_Nbits)

- LINK EDA Playground: <https://www.edaplayground.com/x/AP3w>

Descripción y Funcionalidad: La ALU realiza operaciones mediante la combinación de los resultados del Módulo Lógico y el Módulo Artimético.

Posee 3 entradas, nro1 y nro2 de N bits tipo signed y selec de 2 bits tipo std_logic_vector. La salida resul, de N bits tipo signed, responde a la siguiente lógica:

■ Si selec = 00: resul = A + B

■ Si selec = 01: resul = A - B

■ Si selec = 10: resul = A AND B

■ Si selec = 11: resul = A OR B

Tiene una salida de flags de 4 bits tipo std_logic_vector con igual funcionalidad que la salida zcvn del módulo aritmético.