

پیاده سازی

ماژول اول

```
1  `timescale 1ns / 1ps
2  module module1(
3      input [3:0] A,
4      input [3:0] B,
5      input [3:0] S,
6      output [3:0] gb,
7      output [3:0] bnot
8  );
9
10
11  wire [3:0] ABS, ASBnot;
12      //E is ~G
13      //bnot = ~B
14      not not1(bnot[0], B[0]);
15      not not2(bnot[1], B[1]);
16      not not3(bnot[2], B[2]);
17      not not4(bnot[3], B[3]);
18
19      //ABS=A & B & S[3]
20      and andabs1(ABS[0], A[0], B[0], S[3]);
21      and andabs2(ABS[1], A[1], B[1], S[3]);
22      and andabs3(ABS[2], A[2], B[2], S[3]);
23      and andabs4(ABS[3], A[3], B[3], S[3]);
24
25      // ASBnot = A & ~B & S[2]
26      and andasbnot1(ASBnot[0], A[0], bnot[0], S[2]);
27      and andasbnot2(ASBnot[1], A[1], bnot[1], S[2]);
28      and andasbnot3(ASBnot[2], A[2], bnot[2], S[2]);
29      and andasbnot4(ASBnot[3], A[3], bnot[3], S[2]);
30
31      // E = ~(ABS|ASBnot)
32      nor norgb1(gb[0], ABS[0], ASBnot[0]);
33      nor norgb2(gb[1], ABS[1], ASBnot[1]);
34      nor norgb3(gb[2], ABS[2], ASBnot[2]);
35      nor norgb4(gb[3], ABS[3], ASBnot[3]);
36
37  endmodule
38
```

(2)

همانطور که در تصویر (2) نمایان است، این ماژول مربوط به پیاده سازی طبق شماتیک اولیه تصویر (1) جهت محاسبه چهاربیتی G میباشد.

```

1  `timescale 1ns / 1ps
2  module module2(
3      input [3:0] A,
4      input [3:0] B,
5      input [3:0] bnot,
6      input [3:0] S,
7      output [3:0] pb
8  );
9      wire [3:0] Sbnot, BS;
10     // ~B & S[1]
11     and andsbnot1(Sbnot[0], bnot[0], S[1]);
12     and andsbnot2(Sbnot[1], bnot[1], S[1]);
13     and andsbnot3(Sbnot[2], bnot[2], S[1]);
14     and andsbnot4(Sbnot[3], bnot[3], S[1]);
15     // B & S[0]
16     and andBS1(BS[0], B[0], S[0]);
17     and andBS2(BS[1], B[1], S[0]);
18     and andBS3(BS[2], B[2], S[0]);
19     and andBS4(BS[3], B[3], S[0]);
20     // ~(BbS1 | BS0 | A)
21     nor norfinal1(pb[0], Sbnot[0], BS[0], A[0]);
22     nor norfinal2(pb[1], Sbnot[1], BS[1], A[1]);
23     nor norfinal3(pb[2], Sbnot[2], BS[2], A[2]);
24     nor norfinal4(pb[3], Sbnot[3], BS[3], A[3]);
25 endmodule
26

```

(3)

همانطور که در تصویر (3) نمایان است، این ماژول مربوط به پیاده سازی طبق شماتیک اولیه تصویر (1) جهت محاسبه چهاربیتی P میباشد.

```

1  `timescale 1ns / 1ps
2  module modulefinal1(
3      input [3:0] gb,
4      input [3:0] pb,
5      input Cn,
6      output [3:0] C,
7      output G,
8      output P,
9      output Cn4
10 );
11 not C0(C[0], Cn);
12 buf bufferpb0(pb0, pb[0]);
13 and andcngb0(Cngb0, Cn, gb[0]);
14 buf bufferpb1(pb1, pb[1]);
15 and andpb0gb1(pb0gb1, pb[0], gb[1]);
16 and andcngb01(Cngb01, Cn, gb[0], gb[1]);
17 buf bufferpb2(pb2, pb[2]);
18 and andpb1gb2(pb1gb2, pb[1], gb[2]);
19 and andpb0gb1gb2(pb0gb1gb2, pb[0], gb[1], gb[2]);
20 and andcngb012(Cngb012, Cn, gb[0], gb[1], gb[2]);
21 buf bufferpb3(pb3, pb[3]);
22 and andpb2gb3(pb2gb3, pb[2], gb[3]);
23 and andpb1gb2gb3(pb1gb23, pb[1], gb[2], gb[3]);
24 and andpb0gb123(pb0gb123, pb[0], gb[1], gb[2], gb[3]);
25 nand nandG(G, gb[0], gb[1], gb[2], gb[3]);
26 nor norP(P, pb3, pb2gb3, pb1gb23, pb0gb123);
27 nand nandCnG(CnG, gb[0], gb[1], gb[2], gb[3], Cn);
28 nand nandCn4(Cn4, P, CnG);
29 nor norc3(C[3], pb2, pb1gb2, pb0gb1gb2, Cngb012);
30 nor norc2(C[2], pb1, pb0gb1, Cngb01);
31 nor norc1(C[1], pb0, Cngb0);
32 endmodule
33

```

(4)

در این ماژول، قسمتی از بخش پایینی شماتیک تصویر (1) ساده سازی و پیاده سازی شده است. همچنین در این ماژول، خروجی های $G, P, Cn+4$ نیز محاسبه شده است.

```

1  `timescale 1ns / 1ps
2  module modulefinal2(
3      input [3:0] gb,
4      input [3:0] pb,
5      input [3:0] C,
6      input M,
7      output [3:0] F,
8      output AeqB
9  );
10     wire [3:0] gxp, candm;
11     xor EXD0gate(gxp[0], gb[0], pb[0]);
12     xor EXD1gate(gxp[1], gb[1], pb[1]);
13     xor EXD2gate(gxp[2], gb[2], pb[2]);
14     xor EXD3gate(gxp[3], gb[3], pb[3]);
15
16     or CM0gate(candm[0], C[0], M);
17     or CM1gate(candm[1], C[1], M);
18     or CM2gate(candm[2], C[2], M);
19     or CM3gate(candm[3], C[3], M);
20
21     xor xorf1(F[0], gxp[0], candm[0]);
22     xor xorf2(F[1], gxp[1], candm[1]);
23     xor xorf3(F[2], gxp[2], candm[2]);
24     xor xorf4(F[3], gxp[3], candm[3]);
25
26     and andAeqB(AeqB, F[0], F[1], F[2], F[3]);
27
28
29 endmodule
30

```

(5)

در این ماژول با کمک ماژول سوم تصویر (4) بخش باقیمانده از خروجی ها یعنی F طبق شماتیک اولیه تصویر (1) محاسبه میشوند.

هم چنین در این ماژول نیز خروجی AeqB که همان نشانگر تساوی دو ورودی ما یعنی A , B هست، نیز محاسبه میشود.

```

1  `timescale 1ns / 1ps
2  module alu74181(
3      input [3:0] A,
4      input [3:0] B,
5      input M,
6      input [3:0] S,
7      input Cn,
8      output [3:0] F,
9      output G,
10     output P,
11     output Cn4,
12     output AeqB
13 );
14     wire [3:0] gb, pb, C, Bnot;
15     module1 m1 (A, B, S, gb, Bnot);
16     module2 m2 (A, B, Bnot, S, pb);
17     modulefinal1 m3(gb, pb, Cn, C, G, P, Cn4);
18     modulefinal2 m4(gb, pb, C, M, F, AeqB);
19 endmodule
20

```

(6)

در تصویر (6) , از تمامی ماژول های نوشته شده برای ساخت شماتیک اولیه تصویر (1) استفاده میکنیم.

تست

جهت حصول اطمینان از صحت پیاده سازی این واحد، بر روی این واحد تست هایی انجام می دهیم. در تست ها سعی بر این شده است از تمامی خروجی ها به نوعی استفاده شود تا به طور قطعی از صحت عملکرد این واحد اطلاع یابیم.

Arithmetic Logic Unit Design

74181 TTL ALU

Selection				M = 1	M = 0, Arithmetic Functions	
S3	S2	S1	S0	Logic Function	Cn = 0	Cn = 1
0	0	0	0	F = not A	F = A minus 1	F = A
0	0	0	1	F = A nand B	F = A B minus 1	F = A B
0	0	1	0	F = (not A) + B	F = A (not B) minus 1	F = A (not B)
0	0	1	1	F = 1	F = minus 1	F = zero
0	1	0	0	F = A nor B	F = A plus (A + not B)	F = A plus (A + not B) plus 1
0	1	0	1	F = not B	F = A B plus (A + not B)	F = A B plus (A + not B) plus 1
0	1	1	0	F = A xnor B	F = A minus B minus 1	F = (A + not B) plus 1
0	1	1	1	F = A + not B	F = A + not B	F = A minus B
1	0	0	0	F = (not A) B	F = A plus (A + B)	F = (A + not B) plus 1
1	0	0	1	F = A xor B	F = A plus B	F = A plus (A + B) plus 1
1	0	1	0	F = B	F = A (not B) plus (A + B)	F = A (not B) plus (A + B) plus 1
1	0	1	1	F = A + B	F = (A + B)	F = (A + B) plus 1
1	1	0	0	F = 0	F = A	F = A plus A plus 1
1	1	0	1	F = A (not B)	F = A B plus A	F = AB plus A plus 1
1	1	1	0	F = A B	F = A (not B) plus A	F = A (not B) plus A plus 1
1	1	1	1	F = A	F = A	F = A plus 1

No. 5-34

(7)

تصویر (7) نشان دهنده جدول ورودی های متناظر با هر عملیات میباشد. از این جدول برای طراحی تست استفاده میکنیم.

```

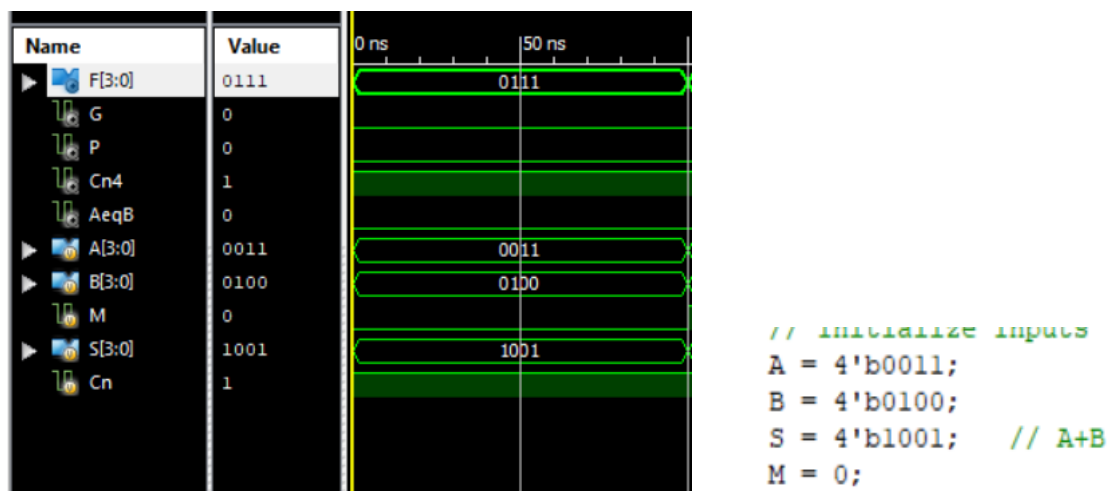
1  initial begin
2      Cn=1;
3      // Initialize Inputs
4      A = 4'b0011;
5      B = 4'b0100;
6      S = 4'b1001; // A+B
7      M = 0;
8      #100;
9      A = 4'b1100;
10     B = 4'b1000;
11     S = 4'b0000; // not A
12     M = 1;
13     #100;
14     A=4'b1001;
15     B=4'b1111;
16     S=4'b0011; // -1
17     M=0;
18     #100;
19     A=4'b1011;
20     B=4'b1101;
21     S=4'b0111; //A & not B
22     M=1;
23 end

```

تست طراحی شده

خروجی تست ها

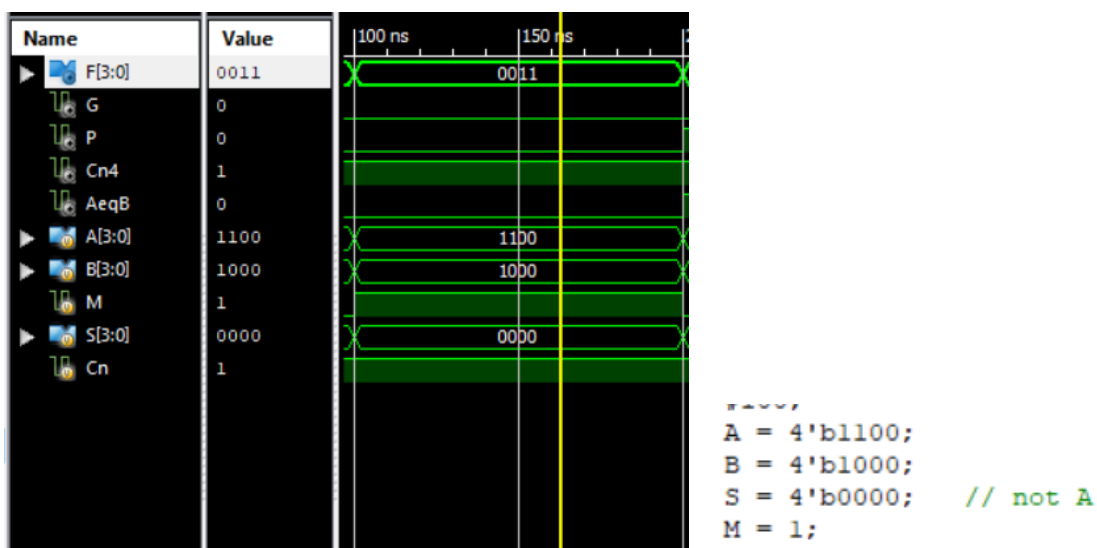
تست اول



(8)

با توجه به جدول عملیات ها تصویر (7) , این تست طراحی شده است. به طوری که انتظار داریم خروجی ما حاصل جمع دو ورودی ما باشد که همانطور که مشاهده میشود خروجی آخر یعنی F مطابق با انتظار ما بوده است.

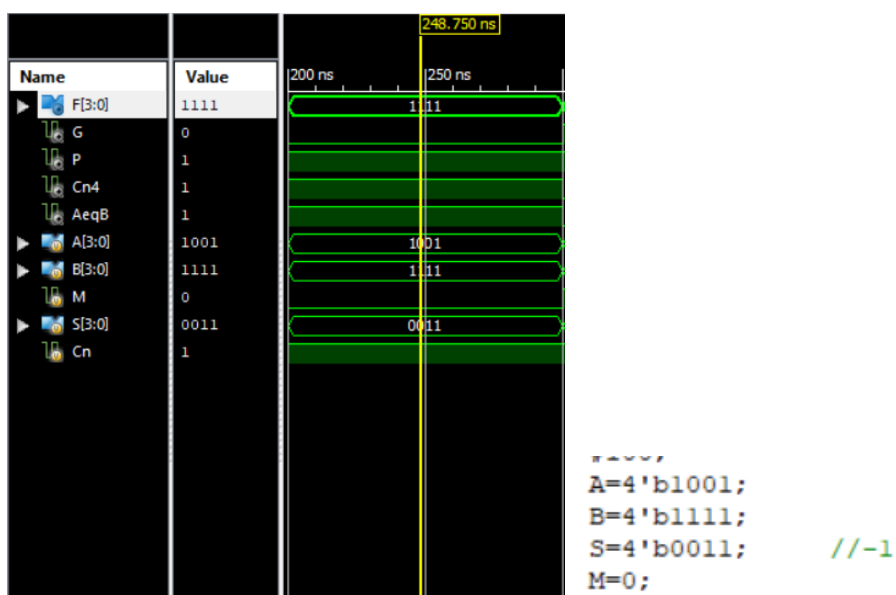
تست دوم



(9)

با توجه به جدول عملیات ها تصویر (7) , این تست طراحی شده است. به طوری که انتظار داریم خروجی ما حاصل منطقی not A باشد که همانطور که مشاهده میشود خروجی آخر یعنی F مطابق با انتظار ما بوده است.

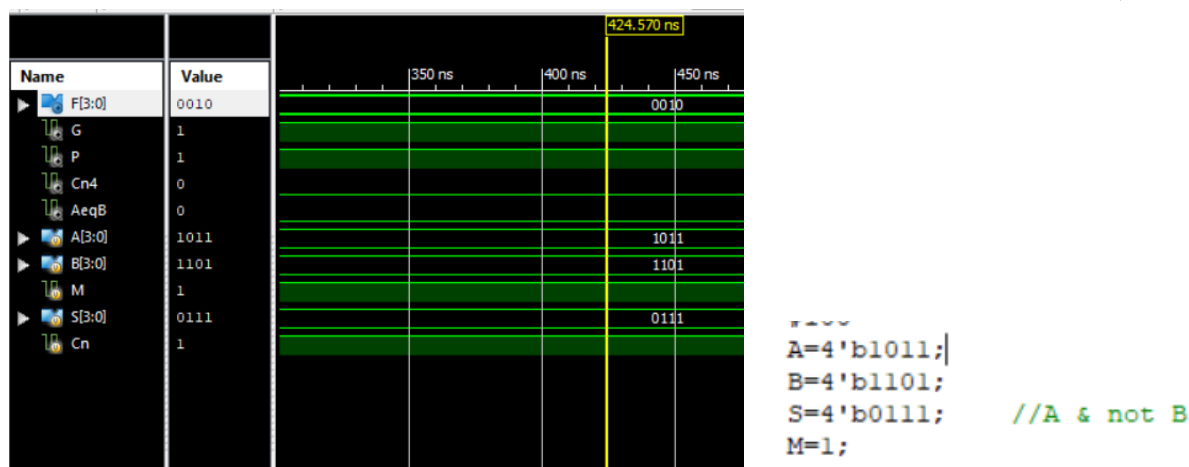
تست سوم



(10)

با توجه به جدول عملیات ها تصویر (7) , این تست طراحی شده است. به طوری که انتظار داریم خروجی ما 1- باشد که همانطور که مشاهده میشود خروجی آخر یعنی F مطابق با انتظار ما بوده است.

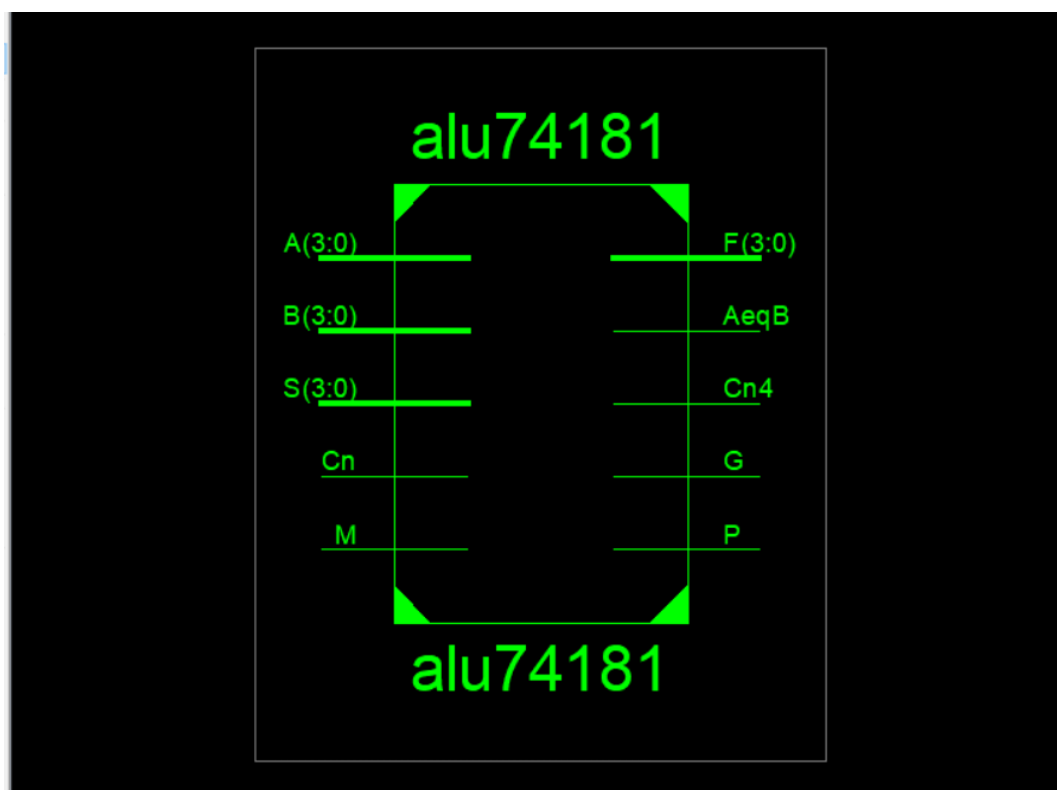
تست چهارم

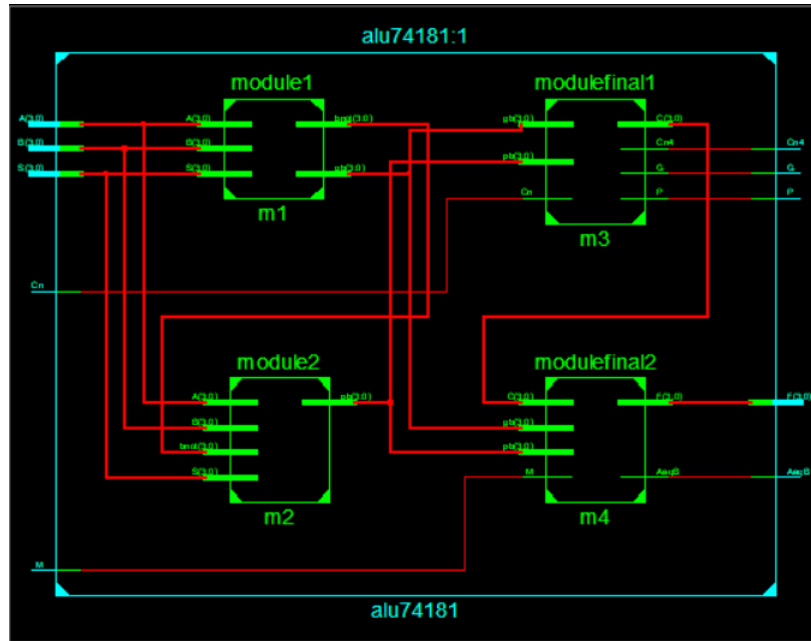


(11)

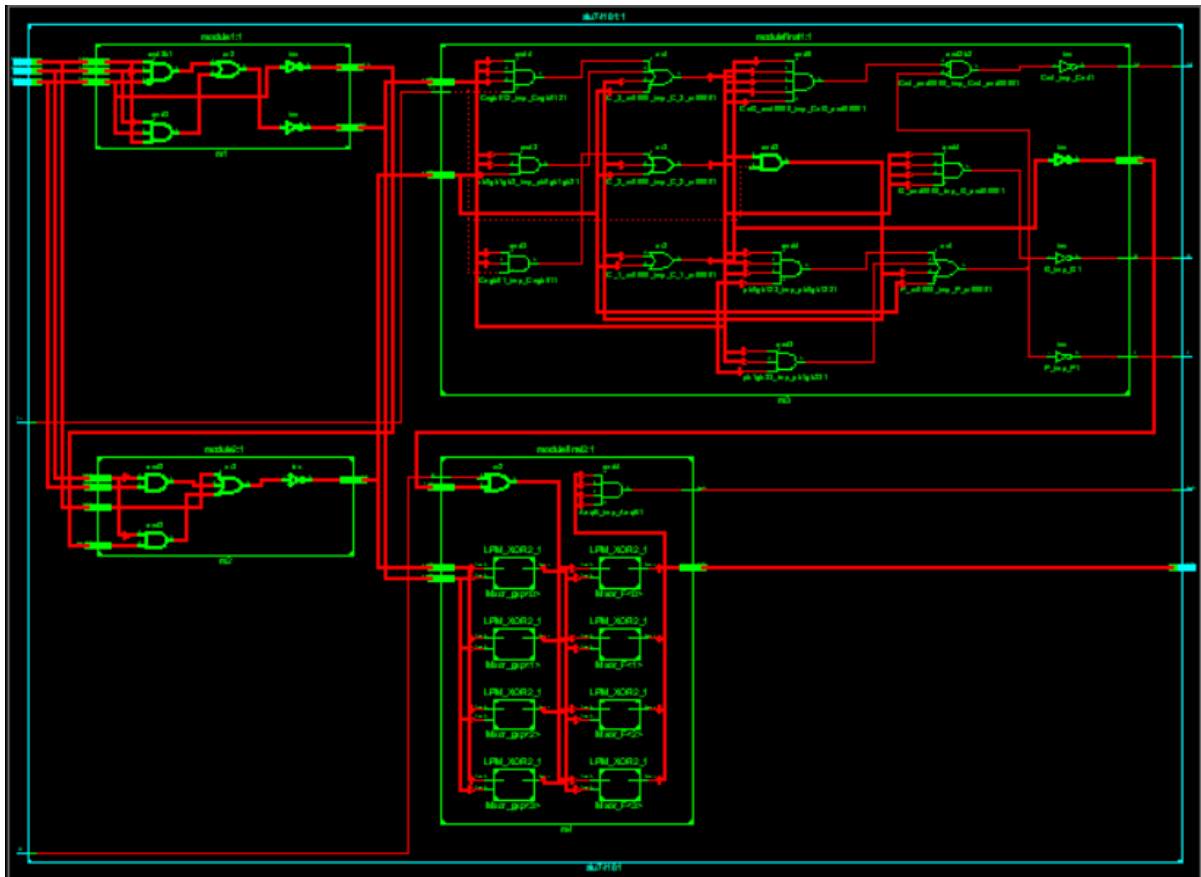
با توجه به جدول عملیات ها تصویر (7) , این تست طراحی شده است. به طوری که انتظار داریم حاصل منطقی A and (not B) باشد که همانطور که مشاهده میشود خروجی آخر یعنی F مطابق با انتظار ما بوده است.

شماتیک مدار سنتز شده

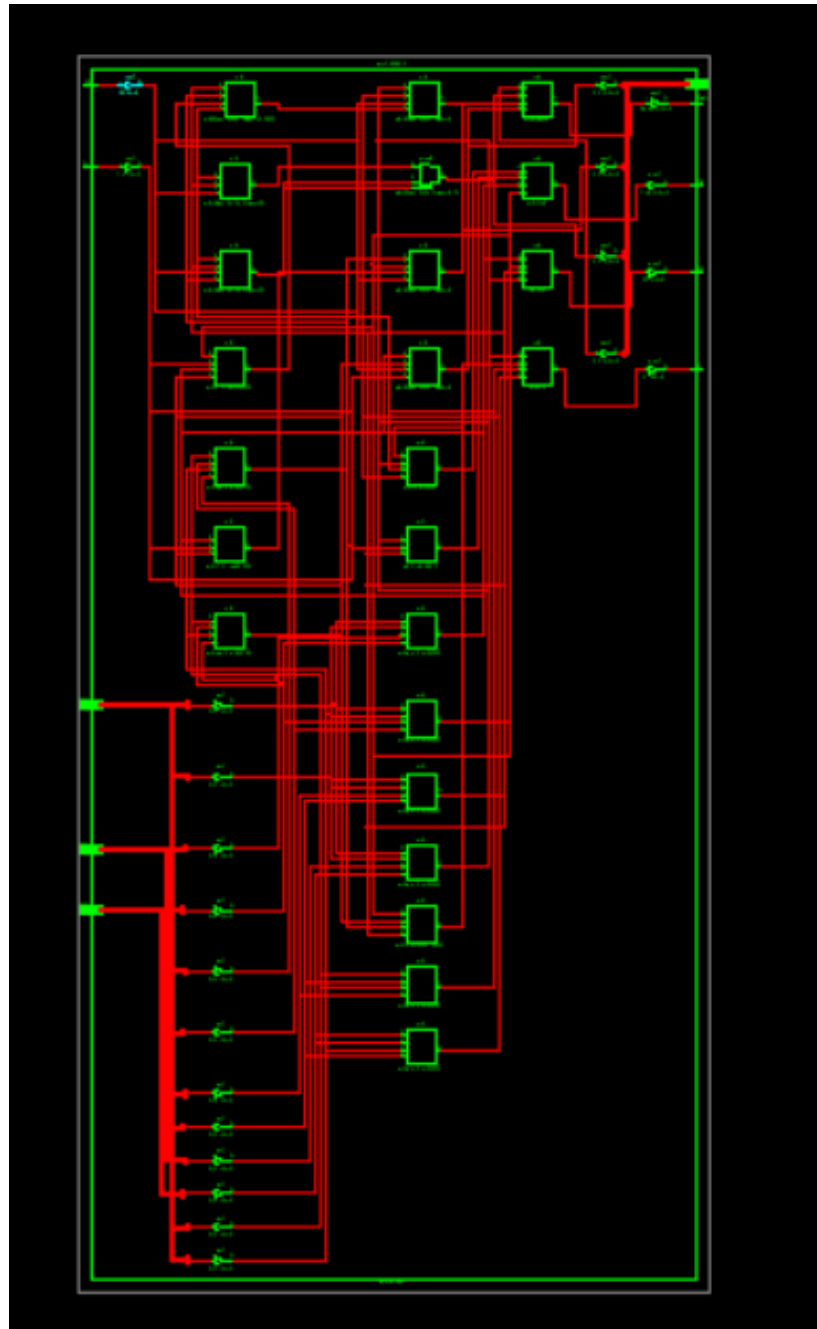




(13)



(14)



(15)

تصاویر (12,13,14,15) شماتیک مدار سنتز شده را در نرم افزار به ما نشان می دهند.

جدول تاخير زمانی

Pad to Pad		
Source Pad	Destination Pad	Delay
A<0>	AeqB	10.389
A<0>	Cn4	9.751
A<0>	F<0>	7.104
A<0>	F<1>	7.987
A<0>	F<2>	8.736
A<0>	F<3>	9.536
A<0>	G	8.119
A<0>	P	8.301
A<1>	AeqB	10.330
A<1>	Cn4	9.714
A<1>	F<1>	7.382
A<1>	F<2>	8.677
A<1>	F<3>	9.477
A<1>	G	7.826
A<1>	P	8.264
A<2>	AeqB	9.756
A<2>	Cn4	9.720
A<2>	F<2>	8.525
A<2>	F<3>	8.903
A<2>	G	7.861
A<2>	P	8.270
A<3>	AeqB	8.647
A<3>	Cn4	9.290
A<3>	F<3>	7.794
A<3>	G	7.902
A<3>	P	8.005
B<0>	AeqB	9.891
B<0>	Cn4	9.253
B<0>	F<0>	6.606
B<0>	F<1>	7.511

B<0>	F<1>	7.511
B<0>	F<2>	8.238
B<0>	F<3>	9.038
B<0>	G	7.752
B<0>	P	7.803
B<1>	AeqB	10.189
B<1>	Cn4	9.551
B<1>	F<1>	7.168
B<1>	F<2>	8.536
B<1>	F<3>	9.336
B<1>	G	7.685
B<1>	P	8.101
B<2>	AeqB	9.514
B<2>	Cn4	9.478
B<2>	F<2>	8.283
B<2>	F<3>	8.661
B<2>	G	7.619
B<2>	P	8.028
B<3>	AeqB	8.797
B<3>	Cn4	9.322
B<3>	F<3>	7.944
B<3>	G	8.166
B<3>	P	7.930
Cn	AeqB	9.275
Cn	Cn4	8.082
Cn	F<0>	6.314
Cn	F<1>	6.570
Cn	F<2>	7.622
Cn	F<3>	8.422
M	AeqB	8.318
M	F<0>	6.030
M	F<1>	6.637
M	F<2>	6.958
M	F<3>	6.708

M	F<3>	6.708
S<0>	AeqB	10.004
S<0>	Cn4	9.366
S<0>	F<0>	6.719
S<0>	F<1>	7.602
S<0>	F<2>	8.351
S<0>	F<3>	9.151
S<0>	P	7.916
S<1>	AeqB	10.532
S<1>	Cn4	9.894
S<1>	F<0>	7.247
S<1>	F<1>	8.130
S<1>	F<2>	8.879
S<1>	F<3>	9.679
S<1>	P	8.444
S<2>	AeqB	10.028
S<2>	Cn4	9.992
S<2>	F<0>	6.198
S<2>	F<1>	7.333
S<2>	F<2>	8.797
S<2>	F<3>	9.175
S<2>	G	8.133
S<2>	P	8.542
S<3>	AeqB	9.953
S<3>	Cn4	9.338
S<3>	F<0>	6.701
S<3>	F<1>	7.836
S<3>	F<2>	8.300
S<3>	F<3>	9.100
S<3>	G	8.077
S<3>	P	7.888
-----+		

(18)

تصاویر (16,17,18) جدول تاخیر زمانی کل واحد پیاده سازی شده را به ما نشان می دهند.

خلاصه طراحی

alu74181 Project Status (03/08/2021 - 20:29:46)			
Project File:	az3.xise	Parser Errors:	No Errors
Module Name:	alu74181	Implementation State:	Synthesized
Target Device:	xc3s100e-5cp132	• Errors:	No Errors
Product Version:	ISE 14.7	• Warnings:	2 Warnings (2 new)
Design Goal:	Balanced	• Routing Results:	
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:	
Environment:	System Settings	• Final Timing Score:	

Device Utilization Summary (estimated values)				[-]
Logic Utilization	Used	Available	Utilization	
Number of Slices	13	960	1%	
Number of 4 input LUTs	23	1920	1%	
Number of bonded IOBs	22	83	26%	

(19)

تصویر (19) یک گزارش کلی و خلاصه از طراحی ما را نشان می دهد. همچنین میزان فضای اشغال شده نیز در تصویر بالا نمایان است.

نتیجه گیری

در این آزمایش توانستیم به خوبی واحد محاسبه و منطقی خواسته شده را پیاده سازی کنیم. همچنین تست های طراحی شده برای ارزیابی صحت عملکرد این واحد نیز به خوبی پاس شدند.