## Министерство науки и высшего образования РФ Федеральное государственное бюджетное образовательное учреждение высшего образования

«Курский государственный университет» Кафедра программного обеспечения и администрирования информационных систем

Направление подготовки: 02.03.03 Математическое обеспечение и администрирование информационных систем Профиль: Проектирование информационных систем и баз данных Форма обучения очная

### Отчет по лабораторной работе №3

«Триггеры»

дисциплина «Прикладная теория цифровых автоматов»

вариант 9

Выполнил:

студент группы 213.1

Козявин М.С.

Проверил:

к.т.н., профессор кафедры ПОиАИС

Бабкин Е.А.

**Цель работы:** Целью лабораторной работы является изучение принципов построения и функционирования элементов памяти – триггеров.

#### Задания:

- 1. Преобразовать схему триггера в заданный базис.
- 2. Выполнить ввод схемы триггера.
- 3. Определить последовательность тестовых воздействий и начальные состояния логических элементов для триггера.
- 4. Выполнить анализ правильности функционирования триггера в статическом режиме.
- 5. Выполнить синтез и анализ правильности функционирования схемы сравнения.

#### Вариант:

Номер	Порядковый	Базис	Номер схемы	Схема
группы	номер в	элементов	триггера	сравнения
	группе	триггера		
1	9	И-НЕ	5	6

Таблица 1 — Таблица состояний в базисе И-НЕ при управлении по синхронным входам

Режим воздействия	D	С	$Q^{t+1}$	$\overline{Q}^{t+1}$	Состояние триггера
Xp	-	0	$Q^t$	$\overline{Q}^t$	$Q^t$
У1	1	1	1	0	1
У0	0	1	0	1	0

Таблица 2 – Таблица состояний в базисе И-НЕ при управлении по асинхронным входам

Режим воздействия	$\overline{R}a$	$\overline{S}a$	$Q^{t+1}$	$\overline{Q}^{t+1}$	Состояние триггера
Хр	1	1	$Q^t$	$\overline{Q}^t$	$Q^t$
У1	1	0	1	0	1
У0	0	1	0	1	0
У0 — У1	0	0	1	1	Н

Таблица 3 – Таблица схем сравнения

Номер	Меньше	Равно	Больше	Не меньше	Не больше
схемы	f1	f2	f3	f4	<i>f</i> 5
6		+	+		

#### Преобразование схемы триггера в заданный базис

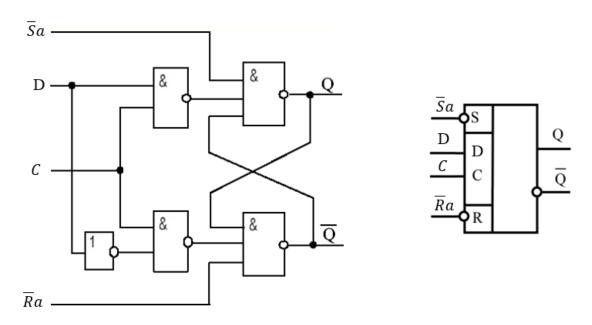


Рисунок 1 — Схема и условное графическое обозначение триггера в базисе И–HE

# 

Рисунок 2 — Схема и условное графическое обозначение триггера в базисе И–HE

## Определение последовательности тестовых воздействий и начальных состояний логических элементов для триггера.

Таблица 4 – Последовательность входных значений для D-триггера

Такт	1	2	3	4	5	6	7	8	9	10	11	12
Вход Режим	У0а	Хр	У1а	Хp	Удс	<i>Y0c+C</i>	Удс	Хр	У1с	Y1c+C	У1с	Хр
<del>S</del> a	1	1	0	1	1	1	1	1	1	1	1	1
D	0	0	0	0	0	0	0	0	1	1	1	0
С	0	0	0	0	0	1	0	0	0	1	0	0
$\overline{R}a$	0	1	1	1	1	1	1	1	1	1	1	1

Такт	13	14
Вход Режим	У0а, У1а	Хр
<del>S</del> a	0	1
D	0	0
С	0	0
$\overline{R}a$	0	1

	2	3	4	5										
)	0	0	0	0										
SXOL	іные з	начени	49											
1	1	1	0	1	1	1	1	1	1	1	1	1	0	1
1 2	1 0	1		1 0	1 0	1 0	1 0	1	1	1	1	1 0	0	1 0
1	1	1	0			-	+	+	-	-	-	1 0 0	_	0 0

Рисунок 3 — Задание на моделирование тригтера

## Выполнение анализа правильности функционирования триггера в статическом режиме.

Таблица 5 – Эталонная реакция для D-триггера

Такты	1	2	3	4	5	6	7	8	9	10	11	12
Режим входа	Y0a	Хp	Y1a	Хp	Удс	<i>Y0c</i> +	УОС	Хp	У1с	<i>У1с</i> +	У1с	Хp
триггера						C				$\boldsymbol{C}$		
Состояние	0	0	1	1	1	0	0	0	0	1	1	1
триггера												
Q	0	0	1	1	1	0	0	0	0	1	1	1
$\overline{Q}$	1	1	0	0	0	1	1	1	1	0	0	0

Такты	18	19	
Режим входа	У0а,	Хp	
триггера	Y1a		
Состояние	Н	X	
триггера			
Q	1	X	
$\overline{Q}$	1	X	

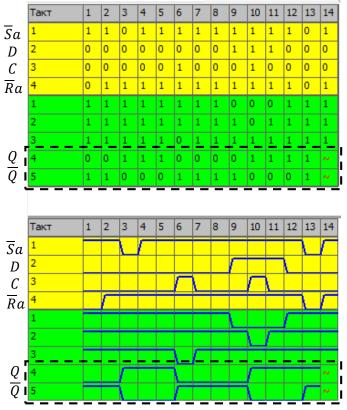


Рисунок 4 — Результаты моделирования триггера в режиме 2T Выполнение синтеза и анализ правильности функционирования схемы сравнения.

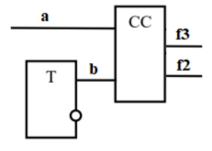


Рисунок 5 – Триггер со схемой сравнения

Таблица 6 – Таблица истинности

a	b	f2	f3
0	0	1	0
0	1	0	0
1	0	0	1
1	1	1	0

$$f2 = \overline{\overline{aQ} * \overline{\overline{a}}\overline{\overline{Q}}}$$
$$f3 = a\overline{Q}$$

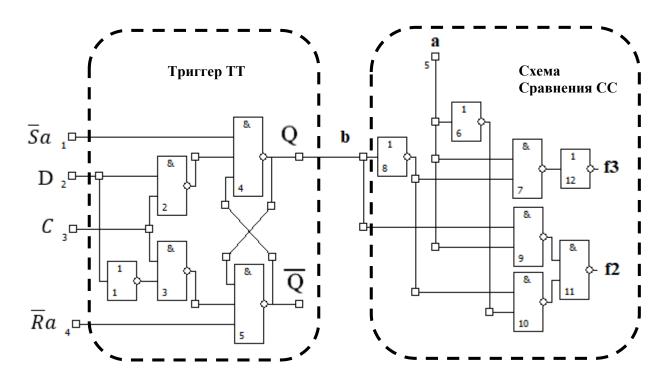


Рисунок 6 – Логическая схема триггера со схемой сравнения

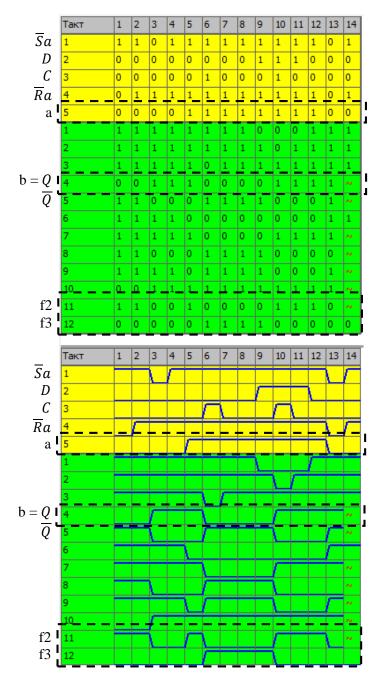


Рисунок 7 — Результаты моделирования полной логической схемы Заключение

Сравнение эталонной последовательности для D-триггера, таблицы истинности для схемы сравнения и результата моделирования показывает, что схема в статическом режиме функционирует правильно и, следовательно, ошибки синтеза, построения и ввода схемы отсутствуют.