



<table><tr><th colspan="2">Vectores de prueba 1</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>READ_REGISTER 1</td><td>0</td></tr><tr><td>READ_REGISTER 2</td><td>0</td></tr><tr><td>WRITE_REGISTER</td><td>0</td></tr><tr><td>WRITE DATA</td><td>0X45</td></tr><tr><td>WR</td><td>1</td></tr></table>	Vectores de prueba 1		Señales de entrada	Valores	READ_REGISTER 1	0	READ_REGISTER 2	0	WRITE_REGISTER	0	WRITE DATA	0X45	WR	1	<table><tr><th colspan="2">Vectores de prueba 4</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>READ_REGISTER 1</td><td>1</td></tr><tr><td>READ_REGISTER 2</td><td>2</td></tr><tr><td>WRITE_REGISTER</td><td>3</td></tr><tr><td>WRITE DATA</td><td>0X18</td></tr><tr><td>WR</td><td>1</td></tr></table>	Vectores de prueba 4		Señales de entrada	Valores	READ_REGISTER 1	1	READ_REGISTER 2	2	WRITE_REGISTER	3	WRITE DATA	0X18	WR	1
Vectores de prueba 1																													
Señales de entrada	Valores																												
READ_REGISTER 1	0																												
READ_REGISTER 2	0																												
WRITE_REGISTER	0																												
WRITE DATA	0X45																												
WR	1																												
Vectores de prueba 4																													
Señales de entrada	Valores																												
READ_REGISTER 1	1																												
READ_REGISTER 2	2																												
WRITE_REGISTER	3																												
WRITE DATA	0X18																												
WR	1																												
<table><tr><th colspan="2">Vectores de prueba 2</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>READ_REGISTER 1</td><td>0</td></tr><tr><td>READ_REGISTER 2</td><td>0</td></tr><tr><td>WRITE_REGISTER</td><td>1</td></tr><tr><td>WRITE DATA</td><td>0X23</td></tr><tr><td>WR</td><td>1</td></tr></table>	Vectores de prueba 2		Señales de entrada	Valores	READ_REGISTER 1	0	READ_REGISTER 2	0	WRITE_REGISTER	1	WRITE DATA	0X23	WR	1	<table><tr><th colspan="2">Vectores de prueba 5</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>READ_REGISTER 1</td><td>0</td></tr><tr><td>READ_REGISTER 2</td><td>1</td></tr><tr><td>WRITE_REGISTER</td><td>0</td></tr><tr><td>WRITE DATA</td><td>0X0000</td></tr><tr><td>WR</td><td>0</td></tr></table>	Vectores de prueba 5		Señales de entrada	Valores	READ_REGISTER 1	0	READ_REGISTER 2	1	WRITE_REGISTER	0	WRITE DATA	0X0000	WR	0
Vectores de prueba 2																													
Señales de entrada	Valores																												
READ_REGISTER 1	0																												
READ_REGISTER 2	0																												
WRITE_REGISTER	1																												
WRITE DATA	0X23																												
WR	1																												
Vectores de prueba 5																													
Señales de entrada	Valores																												
READ_REGISTER 1	0																												
READ_REGISTER 2	1																												
WRITE_REGISTER	0																												
WRITE DATA	0X0000																												
WR	0																												
<table><tr><th colspan="2">Vectores de prueba 3</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>READ_REGISTER 1</td><td>0</td></tr><tr><td>READ_REGISTER 2</td><td>1</td></tr><tr><td>WRITE_REGISTER</td><td>2</td></tr><tr><td>WRITE DATA</td><td>0X76</td></tr><tr><td>WR</td><td>1</td></tr></table>	Vectores de prueba 3		Señales de entrada	Valores	READ_REGISTER 1	0	READ_REGISTER 2	1	WRITE_REGISTER	2	WRITE DATA	0X76	WR	1	<table><tr><th colspan="2">Vectores de prueba 6</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>READ_REGISTER 1</td><td>2</td></tr><tr><td>READ_REGISTER 2</td><td>3</td></tr><tr><td>WRITE_REGISTER</td><td>0</td></tr><tr><td>WRITE DATA</td><td>0X0000</td></tr><tr><td>WR</td><td>0</td></tr></table>	Vectores de prueba 6		Señales de entrada	Valores	READ_REGISTER 1	2	READ_REGISTER 2	3	WRITE_REGISTER	0	WRITE DATA	0X0000	WR	0
Vectores de prueba 3																													
Señales de entrada	Valores																												
READ_REGISTER 1	0																												
READ_REGISTER 2	1																												
WRITE_REGISTER	2																												
WRITE DATA	0X76																												
WR	1																												
Vectores de prueba 6																													
Señales de entrada	Valores																												
READ_REGISTER 1	2																												
READ_REGISTER 2	3																												
WRITE_REGISTER	0																												
WRITE DATA	0X0000																												
WR	0																												

Tabla 1: Vectores de prueba del archivo de registros.



En la práctica debe realizarse lo siguiente:

1. Realizar el programa en VHDL del archivo de registros.
2. Hacer la simulación del archivo de registros en vivado usando los vectores de prueba de la tabla 2.
3. Realizar la prueba de la memoria de datos usando el laboratorio remoto y los vectores de prueba de la tabla 1.

Completar la siguiente tabla:

Recurso	Usado	Disponible	Porcentaje utilizado
No de LUT's			
No de FF's			
No de Slices			
No de RAM's de un puerto			
No de RAM's de dos puertos			

Dispositivo usado: _____

Tiempo del retardo mayor: _____

Entregar:

- Gráfica de simulación en pdf.
- La tabla de recursos, retardo mayor y dispositivo; en un archivo llamado estadisticas.pdf
- Anexar código fuente del programa de implementación de la memoria de programa (.vhd).
- Anexar código fuente del test bench (.vhd).
- Entregar todos los archivos en un archivo llamado program_memoryNoEquipo.zip. Por ejemplo para el equipo 5: program_memory5.zip

Enviar a vgarciaortega@yahoo.com.mx, poner en asunto: "File Register".