



ORGANIZACIÓN DE LA COMPUTADORA DIGITAL

INTRODUCCIÓN

La organización de una computadora digital y su arquitectura están íntimamente relacionadas; sin embargo, son dos conceptos diferentes que muchas veces se toman como sinónimos.

La organización de una computadora digital se refiere a las unidades lógicas que la componen (como la unidad central de proceso, la unidad de memoria y la unidad de entrada / salida), las funciones que realizan, su operación y la forma en que se relacionan y se comunican unas con otras.

La arquitectura de la computadora se enfoca en la forma de construir cada una de estas unidades lógicas para que realicen las funciones especificadas por su organización, así como la manera en que estas unidades van a comunicarse para interactuar entre ellas.

Por ejemplo:

- El juego de instrucciones de máquina y los diferentes registros que tiene el procesador se definen en la organización de la computadora. Los detalles de la construcción de la unidad aritmética y lógica, y la unidad de control para que la computadora ejecute dichas instrucciones, así como el número de bits utilizados para representar los números enteros, los números reales y las instrucciones de máquina (**Formato de instrucción**), son detalles que se definen en su arquitectura.
- La forma de manejar la memoria y los diferentes periféricos de la computadora también se definen en la organización de la computadora. Los detalles de la construcción de la unidad de memoria y la unidad de entrada / salida se definen en la arquitectura de la computadora.

ARQUITECTURA VON NEUMANN O PRINCETON

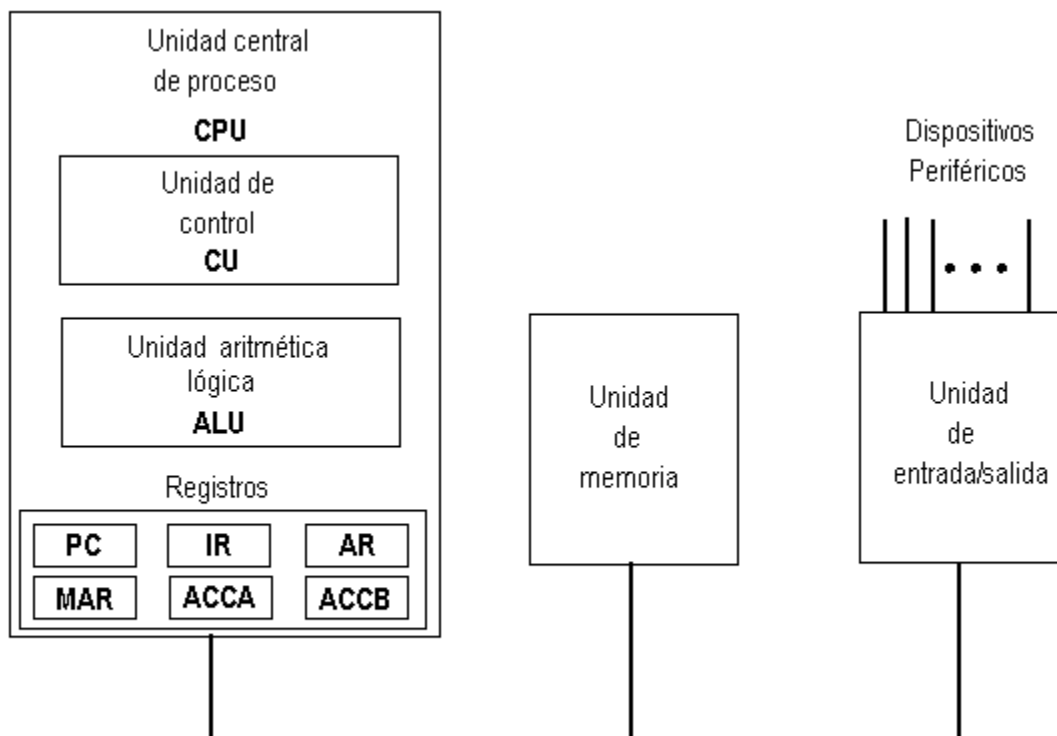


Ilustración 1 Arquitectura clásica de Von Neumann de una computadora

Es una arquitectura de computadoras basada en la arquitectura descrita en 1945 por el matemático y físico John Von Neumann y otros, en el primer borrador de un informe sobre la EDVAC.

La arquitectura Von Neumann consiste en tener una unidad de procesamiento central (CPU – Central Processing Unit) formada por una Unidad Aritmética y Lógica (ALU – Arithmetic Logic Unit), un conjunto de registros y una unidad de control (CU – Control Unit). Además, una unidad de memoria para almacenar los programas a ejecutar y los datos a procesar. Finalmente tiene un bloque de entrada/salida, el cual maneja los periféricos del sistema.

La ALU realiza operaciones aritméticas básicas como la suma (ADD) y resta (SUB). También realiza operaciones lógicas como AND, OR, XOR, NOT, NAND, NOR y XNOR. Todas estas operaciones se realizan sobre los registros llamados Acumuladores (ACCA, ACCB).

Los registros realizan diversas operaciones en el procesador:

Registro Contador de Programa (PC – Program Counter). Se encarga de generar la dirección de la instrucción que se va a ejecutar en el procesador.



Registro de Instrucción (IR – Instruction Register). Se encarga de guardar la instrucción leída de la memoria de programa para que sea decodificada.

Registro Auxiliar (AR – Auxiliary Register). Se encarga de guardar datos temporales durante las fases de ejecución de una instrucción del ensamblador.

Registro de direcciones de memoria (MAR - Memory Address Register). Se encarga de guardar la dirección de memoria a ser decodificada para seleccionar la memoria de programa, la de datos o los periféricos.

Registros acumuladores (ACCA, ACCB – Acumulator Register). Se encargan de guardar los datos con los cuales opera la ALU.

La Unidad de Control se encarga de decodificar la instrucción almacenada en el registro de instrucción para identificar el tipo de instrucción a ejecutar. Después, realiza la generación de microinstrucciones, usando distintas fases de ejecución, para ejecutar cada instrucción del ensamblador.

En la ilustración 1 tenemos el modelo de la arquitectura de Von Neumann y en la ilustración 2 el modelo de la arquitectura Von Neumann Reducido, la diferencia entre estos dos esquemas no consiste solo en la integración de algunos bloques funcionales, esto es, la reducción de tres bloques ENTRADA, MEMORIA, SALIDA a uno solo, MEMORIA, sino más bien en las condiciones específicas de funcionamiento que esta última configuración soporta.

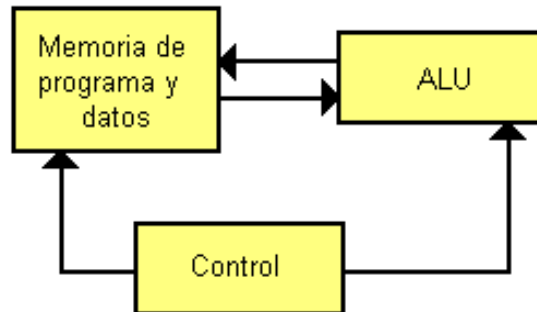


Ilustración 2 Arquitectura Von Neumann reducido con sólo tres bloques.

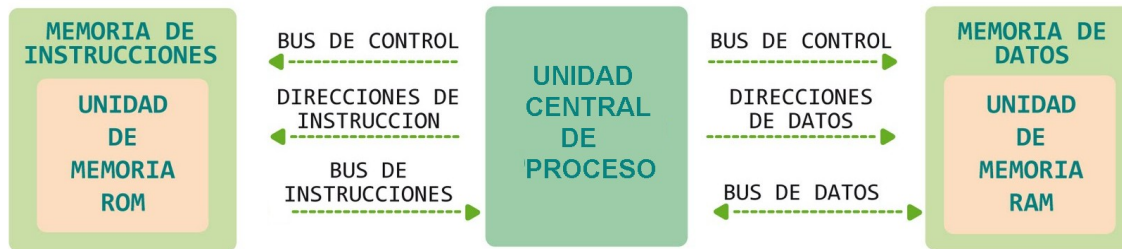
En el primer sistema complejo de Von Neumann, la existencia de las instrucciones específicas para el registro de entrada y salida difiere de las instrucciones que pertenecen a la memoria. Esto provoca un incremento en el conjunto de instrucciones lo cual incrementa la lógica de decodificación de la unidad de control. Por otro lado mantiene espacios separados de memoria y periféricos.

Cuando hablamos del esquema reducido de Von Neumann, en realidad nos estamos refiriendo al esquema comúnmente llamado Sistema de entrada / salida mapeado en memoria (MEMORY MAPPED), esto es, aquellos esquemas que consideran todos los elementos externos a la CPU como registros generales. Estos registros externos, pasan a ser registros de memoria real, registros de control o registros de entrada y salida. Sin embargo, el protocolo que la CPU usa para leer o escribir sobre cualquiera de ellos es siempre el mismo. La única diferencia está en el tiempo necesario para la lectura o escritura, el cual puede variar según el tipo de registro. Con esta filosofía, el hecho importante es que se tiene un conjunto menor de instrucciones.

En el sistema MEMORY MAPPED, tenemos la posibilidad de unir un número de registros de entrada y salida que, al límite, puede ser igual al número de localidades de memoria disponible y, lo que es más importante, todas las instrucciones de memoria real pueden ser dedicadas a los registros de ENTRADA y SALIDA.

Los procesadores comerciales actuales usan las dos técnicas: el esquema completo de Von Neumann es usado por Intel y otros, mientras que el sistema MEMORY MAPPED es usado por los microcontroladores PIC de Microchip, Motorola y otros.

ARQUITECTURA HARVARD



Separa la memoria de datos y la memoria de programa, y se accede a ellas mediante buses distintos.

Al acceder mediante buses distintos, el ancho de palabra de la memoria de datos puede ser distinto del ancho de palabra de la memoria de programa. Además, el acceso a las memorias se hace de forma simultánea, es decir, en paralelo.

INTRODUCCIÓN A LA ARQUITECTURA RISC

Una forma de la organización de la unidad de procesamiento es la denominada con Conjunto Reducido de Instrucciones (RISC), esta arquitectura presenta las siguientes características.

Un conjunto limitado y simple de instrucciones. Se cuenta con un conjunto constituido por instrucciones capaces de ejecutarse rápidamente a altas velocidades.

Instrucciones orientadas a los registros con acceso muy limitado a la memoria. Un conjunto de tipo RISC ofrece pocas instrucciones básicas LOAD y STORE que pueden ingresar datos en la memoria. El resto de ellas operan exclusivamente con registros.

Modos limitados de direccionamiento. Muchas computadoras de tipo RISC ofrecen un solo modo para direccionar la memoria, generalmente un direccionamiento directo o indirecto de registros con un desplazamiento.

Un gran banco de registros. Los procesadores de tipo RISC contienen muchos registros de manera que las variables y los resultados intermedios usados durante la ejecución del programa no requieran utilizar la memoria. Con ello se evitan muchas instrucciones del tipo Load y Store.

Palabra de la instrucción con extensión y formatos fijos. Al hacer idénticos el tamaño y el formato de todas las instrucciones, es posible obtenerlas y decodificarlas por separado. No hay que esperar hasta conocer la extensión de una instrucción anterior a fin de obtener y decodificar la siguiente. Por tanto esas dos acciones pueden llevarse a cabo en paralelo. En pocas palabras la decodificación se simplifica.



Microprocesador RISC de 16 bits.

Tras un análisis de distintas arquitecturas de microprocesadores, realice un diseño de un microprocesador didáctico de arquitectura RISC de 16 bits tipo MIPS (Microprocessor without Interlocked Pipeline Stages), con la finalidad de enseñar a los alumnos de la ESCOM los fundamentos de esta arquitectura. La arquitectura MIPS es la base de los procesadores superescalares actuales, por lo que su estudio es fundamental para entender las arquitecturas de cómputo modernas. A este microprocesador le llamamos **ESCOMIPS**. Sin mas preámbulo, empecemos!!!.

En el ESCOMIPS se tienen las siguientes características:

- Formato de instrucción de 25 bits para todas las instrucciones. Los formatos son tipo R, I y J.
- Cada instrucción se ejecuta en un ciclo de reloj.
- Archivo de 16 registros de trabajo.
- Pila en hardware de 8 niveles.
- Memoria de programa y memoria de datos separada, es decir, Arquitectura Harvard. El contador de programa puede direccionar hasta 64kwords. En memoria de datos se puede direccionar hasta 64kwords+2kwords usando brincos relativos.
- Ejecución de brincos condicionales en un solo ciclo de reloj.

La Arquitectura completa del microprocesador ESCOMIPS se muestra en la ilustración 3.

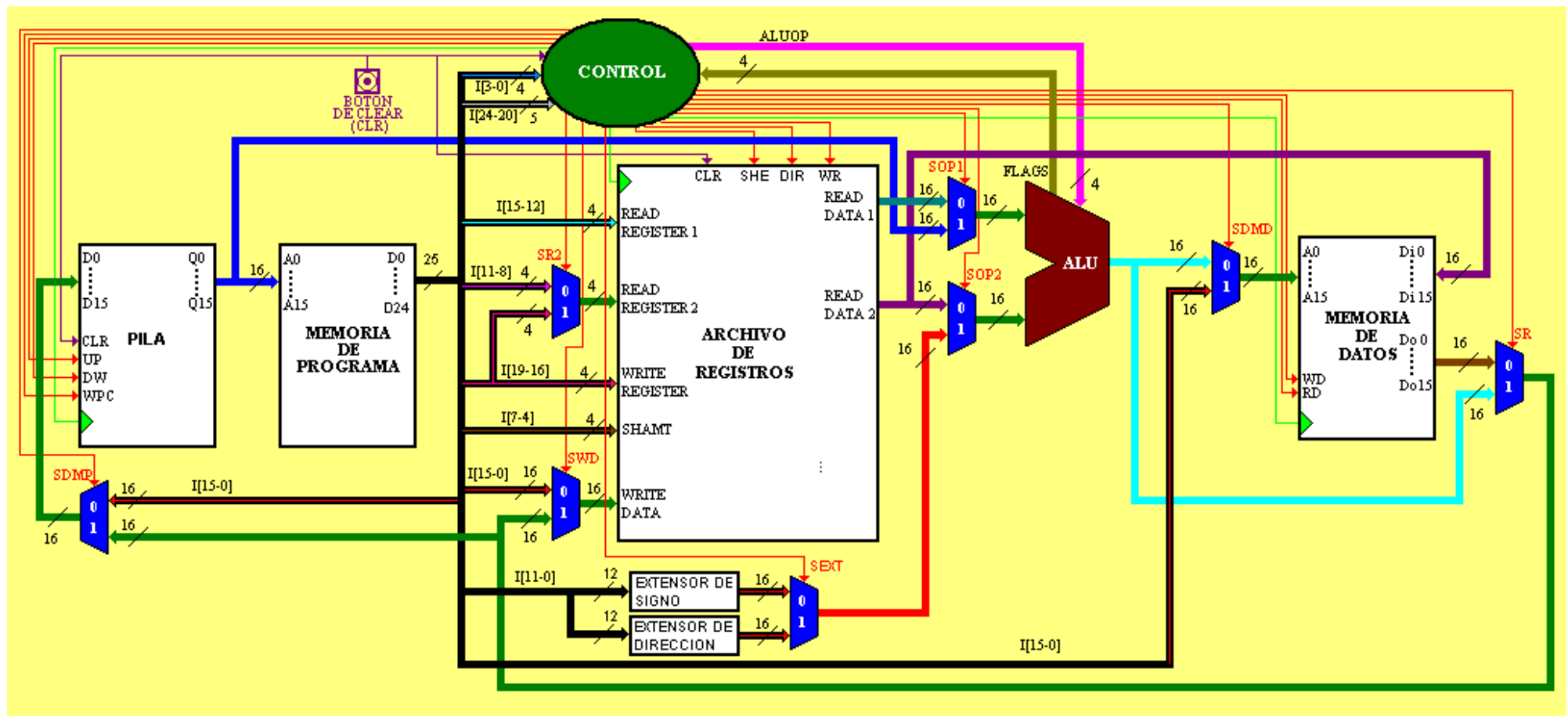


Ilustración 3 ESCOMIPS

Este procesador cuenta con los siguientes bloques funcionales:

- **Pila.** Este bloque funcional contiene 8 registros Contadores de Programa (PC's). Un registro contador de programa es aquel que contiene la dirección de la instrucción a ejecutarse por el microprocesador. Al tener un conjunto de 8 registros podemos implementar lo que conoce como PILA en Hardware.
- **Memoria de programa.** Este bloque funcional guarda todas las instrucciones del programa a ejecutarse por el microprocesador. Tiene una organización de 64kx25.
- **Memoria de datos.** Este bloque funcional guarda todos los datos o variables del programa a ejecutarse por el microprocesador. Tiene una organización de 64kx16.
- **Archivo de registros.** Este bloque funcional contiene 16 registros de 16 bits. Estos registros guardan los operandos que necesitan las instrucciones del procesador para ser ejecutadas.
- **ALU.** Este bloque funcional esta destinado a realizar las operaciones aritméticas y lógicas del microprocesador, es decir, es la unidad que hace todo el procesamiento. Esta unidad además de realizar las operaciones aritméticas y lógicas, también realiza el cálculo de las direcciones para el manejo de bloques de datos o arreglos en la memoria de datos.
- **Unidad de control.** Este bloque funcional es el “**cerebro**” del microprocesador. Este bloque realiza la decodificación de los códigos de operación y de los códigos de función para poder identificar la instrucción que se va a ejecutar y su tipo (Tipo I, Tipo R y Tipo J). Una vez identificada la instrucción, la unidad de control activa o no cada una de las señales de control de todo el microprocesador