



Para realizar la prueba de la memoria de datos usaremos la entidad siguiente:

```
entity Datos is
  GENERIC(
    DATA_N : INTEGER := 8;
    ADDR_N : INTEGER := 8
  );
  Port (
    WD, CLK : in  STD_LOGIC;
    A : in std_logic_vector (ADDR_N-1 downto 0);
    Di : in  std_logic_vector (DATA_N-1 downto 0);
    Do : out std_logic_vector (DATA_N-1 downto 0)
  );
end Datos;
```

El arreglo será declarado así:

```
TYPE MEMORIA IS ARRAY(0 TO 2**ADDR_N-1) OF STD_LOGIC_VECTOR( Di'RANGE);
```

En la práctica debe realizarse lo siguiente:

1. Realizar el programa en VHDL de la memoria de datos.
2. Hacer la simulación de la memoria de datos en vivado usando los vectores de prueba de la tabla 2.
3. Realizar la prueba de la memoria de datos usando el laboratorio remoto y los vectores de prueba de la tabla 1 1 .



<table><tr><th colspan="2">Vector de prueba 1</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0XA2</td></tr><tr><td>A</td><td>0X23</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 1		Señales de entrada	Valores	Di	0XA2	A	0X23	WD	0	<table><tr><th colspan="2">Vector de prueba 7</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X45</td></tr><tr><td>A</td><td>0X26</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 7		Señales de entrada	Valores	Di	0X45	A	0X26	WD	0
Vector de prueba 1																					
Señales de entrada	Valores																				
Di	0XA2																				
A	0X23																				
WD	0																				
Vector de prueba 7																					
Señales de entrada	Valores																				
Di	0X45																				
A	0X26																				
WD	0																				
<table><tr><th colspan="2">Vector de prueba 2</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0XA2</td></tr><tr><td>A</td><td>0X23</td></tr><tr><td>WD</td><td>1</td></tr></table>	Vector de prueba 2		Señales de entrada	Valores	Di	0XA2	A	0X23	WD	1	<table><tr><th colspan="2">Vector de prueba 8</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X45</td></tr><tr><td>A</td><td>0X26</td></tr><tr><td>WD</td><td>1</td></tr></table>	Vector de prueba 8		Señales de entrada	Valores	Di	0X45	A	0X26	WD	1
Vector de prueba 2																					
Señales de entrada	Valores																				
Di	0XA2																				
A	0X23																				
WD	1																				
Vector de prueba 8																					
Señales de entrada	Valores																				
Di	0X45																				
A	0X26																				
WD	1																				
<table><tr><th colspan="2">Vector de prueba 3</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X13</td></tr><tr><td>A</td><td>0X24</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 3		Señales de entrada	Valores	Di	0X13	A	0X24	WD	0	<table><tr><th colspan="2">Vector de prueba 9</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X32</td></tr><tr><td>A</td><td>0X23</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 9		Señales de entrada	Valores	Di	0X32	A	0X23	WD	0
Vector de prueba 3																					
Señales de entrada	Valores																				
Di	0X13																				
A	0X24																				
WD	0																				
Vector de prueba 9																					
Señales de entrada	Valores																				
Di	0X32																				
A	0X23																				
WD	0																				
<table><tr><th colspan="2">Vector de prueba 4</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X13</td></tr><tr><td>A</td><td>0X24</td></tr><tr><td>WD</td><td>1</td></tr></table>	Vector de prueba 4		Señales de entrada	Valores	Di	0X13	A	0X24	WD	1	<table><tr><th colspan="2">Vector de prueba 10</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X32</td></tr><tr><td>A</td><td>0X24</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 10		Señales de entrada	Valores	Di	0X32	A	0X24	WD	0
Vector de prueba 4																					
Señales de entrada	Valores																				
Di	0X13																				
A	0X24																				
WD	1																				
Vector de prueba 10																					
Señales de entrada	Valores																				
Di	0X32																				
A	0X24																				
WD	0																				
<table><tr><th colspan="2">Vector de prueba 5</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X98</td></tr><tr><td>A</td><td>0X25</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 5		Señales de entrada	Valores	Di	0X98	A	0X25	WD	0	<table><tr><th colspan="2">Vector de prueba 11</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X32</td></tr><tr><td>A</td><td>0X25</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 11		Señales de entrada	Valores	Di	0X32	A	0X25	WD	0
Vector de prueba 5																					
Señales de entrada	Valores																				
Di	0X98																				
A	0X25																				
WD	0																				
Vector de prueba 11																					
Señales de entrada	Valores																				
Di	0X32																				
A	0X25																				
WD	0																				
<table><tr><th colspan="2">Vector de prueba 6</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X98</td></tr><tr><td>A</td><td>0X25</td></tr><tr><td>WD</td><td>1</td></tr></table>	Vector de prueba 6		Señales de entrada	Valores	Di	0X98	A	0X25	WD	1	<table><tr><th colspan="2">Vector de prueba 10</th></tr><tr><th>Señales de entrada</th><th>Valores</th></tr><tr><td>Di</td><td>0X32</td></tr><tr><td>A</td><td>0X26</td></tr><tr><td>WD</td><td>0</td></tr></table>	Vector de prueba 10		Señales de entrada	Valores	Di	0X32	A	0X26	WD	0
Vector de prueba 6																					
Señales de entrada	Valores																				
Di	0X98																				
A	0X25																				
WD	1																				
Vector de prueba 10																					
Señales de entrada	Valores																				
Di	0X32																				
A	0X26																				
WD	0																				

Tabla 1: Vectores de prueba de la memoria de datos.



Instituto Politécnico Nacional  
Escuela Superior de Cómputo  
M. en C. Víctor Hugo García Ortega



*Departamento de Ing. en Sistemas Computacionales  
Academia de Sistemas Digitales  
Arquitectura de Computadoras  
Tipo de Tarea: Equipo.*

Completar la siguiente tabla:

Recurso	Usado	Disponible	Porcentaje utilizado
No de LUT's			
No de FF's			
No de Slices			
No de RAM's de un puerto			
No de RAM's de dos puertos			

Dispositivo usado: \_\_\_\_\_

Tiempo del retardo mayor: \_\_\_\_\_

Entregar:

- Gráfica de simulación en pdf.
- La tabla de recursos, retardo mayor y dispositivo; en un archivo llamado estadisticas.pdf
- Anexar código fuente del programa de implementación de la memoria de programa (.vhd).
- Anexar código fuente del test bench (.vhd).
- Entregar todos los archivos en un archivo llamado program\_memoryNoEquipo.zip. Por ejemplo para el equipo 5: program\_memory5.zip

Enviar a [vgarciaortega@yahoo.com.mx](mailto:vgarciaortega@yahoo.com.mx), poner en asunto: "Data Memory".