



## ARCHIVO DE REGISTROS.

Este bloque funcional del procesador esta formada por 4 registros de 8 bits cada uno, los cuales llamaremos como R0, R1, R2 y R3. Estos registros son los que contienen los datos que usan las instrucciones. La arquitectura del archivo de registros se muestra en la figura 1.

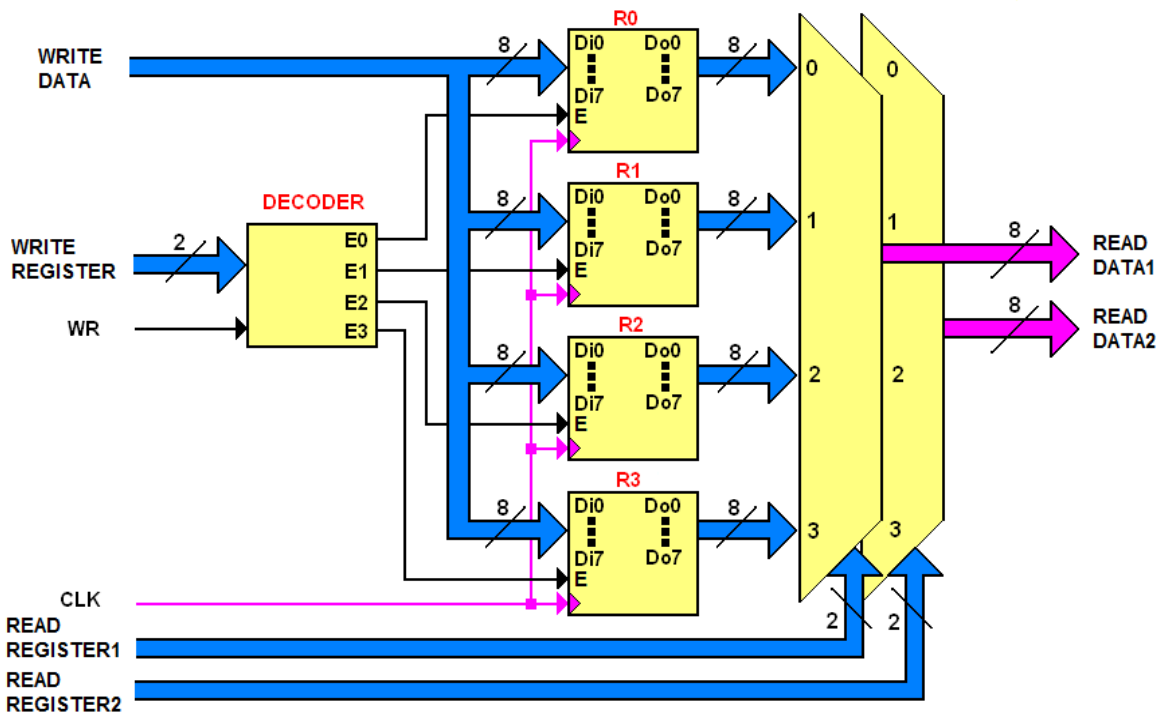


Figura 1: Archivo de Registros

Como se puede observar en la figura 1 el archivo de registros maneja las siguientes señales:

- **Write Data.** Este es un bus de 8 bits de entrada, en el cual se especifica el dato de 8 bits a cargar en el registro indicado por el bus Write Register.
- **Write Register.** Este es un bus de 2 bits de entrada, en el cual se especifica uno de los 4 registros donde se colocará el resultado en las instrucciones tipo R o tipo I. El dato colocado en el bus Write Data será almacenado en el registro seleccionado con este bus.
- **Read Register 1.** Este es un bus de 2 bits de entrada. Con este bus se especifica uno de los 4 registros a usarse como primer operando en las instrucciones tipo R o tipo I. El dato del registro seleccionado con este bus será colocado en el bus de salida Read Data 1.



➤ **Read Register 2.** Este es un bus de 2 bits de entrada, en el cual se especifica uno de los 4 registros a usarse como segundo operando en las instrucciones tipo R o tipo I. El dato del registro seleccionado con este bus será colocado en el bus de salida Read Data 2.

➤ **WR.** Señal de carga para el archivo de registro (Write). Cuando esta señal tiene 1 se realiza la carga del dato colocado en el bus Write Data en el registro especificado por el bus Write Register. Esta señal se ejecuta de forma síncrona, es decir, se ejecuta en el momento que llega una flanco de subida de la señal de reloj.

➤ **CLK.** Señal de reloj. Las tareas del procesador se ejecutan en flanco de subida.

La lectura de los registros se realiza de forma asíncrona siempre, por lo que no depende de la señal de reloj ni de la señal de control **WR**.

Los registros R0, R1, R2 y R3 se encuentran implementados en una memoria RAM de tres puertos: WRITE REGISTER, READ REGISTER1 y READ\_REGISTER2. En el caso de los FPGA's de Xilinx los LUT's de los slices puede configurarse como una memoria Ram Distribuida multipuerto, por lo que se puede usar ese recurso dedicado para implementar el archivo de registros. La escritura en los registros se hace manera síncrona y la lectura se hace de manera asíncrona.