

Microinstrucciones

Una microinstrucción es cada uno de los códigos que genera la unidad de control para activar las señales de control de cada unidad funcional del procesador. Estos códigos se generan en cada ciclo de reloj para poder ejecutar una instrucción del ensamblador. Cada ciclo de reloj se le conoce como fase de ejecución y se le denota con la letra Tn. Las dos primeras fases de ejecución (T0 y T1) de todas las instrucciones definidas en este procesador se le conoce como el **FETCH**. El FETCH es la búsqueda de la instrucción en la memoria de programa que se va a ejecutar en el procesador.

Cada microinstrucción la podemos representar en una tabla de la siguiente forma:

Instrucción	Fase	Microinstrucciones
LD ACCA, #n	T0	EPC LM
	T1	VMA RW LIR IPC
	T2	EPC LM
	T3	VMA RW LA IPC
LD ACCB, #n	T0	EPC LM
	T1	VMA RW LIR IPC
	T2	EPC LM
	T3	VMA RW LB IPC
LD ACCA, dir	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
LD ACCB, dir	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
ST ACCA, dir	T0	EPC LM
	T1	VMA RW LIR IPC
	T2	EPC LM
	T3	VMA RW LAR
	T4	EAR LM
	T5	VMA EA IPC
ST ACCB, dir	T0	
	T1	
	T2	
	T3	
	T4	
	T5	

ADD ACCA	T0	EPC LM
	T1	VMA RW LIR IPC
	T2	EU LA
ADD ACCB	T0	
	T1	
	T2	
ADD ACCA, #n	T0	EPC LM
	T1	VMA RW LIR IPC
	T2	EB LAR
	T3	EPC LM
	T4	VMA RW LB
	T5	EU LA
	T6	EAR LB IPC
ADD ACCB, #n	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
	T6	
ADD ACCA, dir	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
ADD ACCB, dir	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
SUB ACCA	T0	
	T1	
	T2	
SUB ACCB	T0	
	T1	
	T2	
SUB ACCA, #n	T0	
	T1	

	T2	
	T3	
	T4	
	T5	
	T6	
SUB ACCB, #n	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
	T6	
SUB ACCA, dir	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
SUB ACCB, dir	T0	
	T1	
	T2	
	T3	
	T4	
	T5	
B #n	T0	EPC LM
	T1	VMA RW LIR IPC
	T2	EPC LM
	T3	VMA RW LPC

Las señales que aparecen en la tabla son aquellas que tendrán el valor de uno lógico, todas las demás señales de control tienen cero lógico por defecto.

Como podemos observar el número de fases de ejecución (T0, ... Tn) depende del tipo de instrucción.

- Las instrucciones tipo R ocupan una fase de ejecución (T2) después del fetch.
- Las instrucciones tipo I ocupan hasta cinco fases de ejecución (T2, T3, T4, T5, T6) después del fetch.
- Las instrucciones tipo D ocupan hasta siete fases de ejecución (T2, T3, T4, T5, T6, T7, T8) después del fetch.

Las instrucciones tipo D que tiene como operando a una dirección de memoria (variable) son las más costosas en ejecución.

Este Microprocesador tiene una arquitectura llamada **Conjunto de Instrucciones Complejas** (CISC - Complex Instruction Set Computers) y presenta las siguientes características:

- Los **formatos de instrucción son de longitud variable**. Las instrucciones tipo R en este microprocesador tienen un formato de 1 byte, mientras que las instrucciones tipo I y Tipo D ocupan dos bytes.
- Existen instrucciones tipo D, lo cual quiere decir que las instrucciones pueden tener como operandos a direcciones de memoria (variables), estas instrucciones se les denomina **instrucciones complejas** y tardan muchos ciclos de reloj (T0, ..., T5) en ejecutar su tarea por el acceso a memoria. Es decir, **se tienen instrucciones con acceso a memoria**.
- En microprocesadores CISC modernos, como INTEL, tienen **muchos modos de direccionamiento**.
- **La memoria de programa y datos se encuentran usando el mismo bus de datos y direcciones** por lo que el acceso es secuencial.
- **La unidad de control se hace mas compleja** porque debe manejar distintas fases de ejecución dependiendo del tipo de instrucción.