

Duração: 2h30m

É proibida a utilização de calculadoras, telemóveis ou outros dispositivos electrónicos. Responda nas próprias folhas do enunciado e identifique todas com nome e nº mec.

Nº mec: _____ Nome _____

1. [5 valores] Para cada alínea desta questão, existem quatro alternativas de resposta, das quais apenas uma é correcta. Deve escolher marcando 'x' na célula correspondente da tabela ao lado. No caso de se enganar, pode corrigir desenhando um círculo a cheio sobre o 'x'. A cotação de cada alínea é 0.5 valores. Alíneas não respondidas contam 0. Cada alínea errada (ou com resposta ambígua) desconta 1/4 da cotação, até ao limite mínimo de 0 valores no cômputo geral desta questão.

questão	a	b	c	d
1.1				
1.2				
1.3				
1.4				
1.5				
1.6				
1.7				
1.8				
1.9				
1.10				

1.1. O resultado da operação $0101_{11} + 0101_{16} + 0101_8 + 0101_2$ é:

- a) 450_{16} b) 185_{10}
c) 404_2 d) nenhum dos anteriores

1.2. Considere os números A, B, C, D e E, todos definidos pela mesma sequência binária (10001) mas sob sistemas de codificação diferentes (indicados): A=10001 (complemento para 2 com 5 bits); B=10001 (complemento para 1 com 5 bits); C=10001 (sinal e módulo com 5 bits); D=10001 (código de Gray com 5 bits); E=10001 (numeração natural com 5 bits). A relação entre os números é:

- a) $D > E > A > B > C$ b) $D > E > C > B > A$
c) $C = E > D > B > A$ d) nenhuma das anteriores

1.3. A representação em código binário natural do valor 29.5_{10} , se quisermos aproximar tanto quanto possível (sem exceder) a precisão da representação original, deve ser:

- a) 11101.001_2 b) 11101.100_2
c) 10111.1_2 d) 11101.1_2

1.4. Admita que um sistema de transmissão de dados utiliza CRC de 2 bits (gerador polinomial x^2+1 , ou seja, $G=101$). Nestas condições, o código CRC apostado à mensagem 11011011 é:

- a) 11 b) 10
c) 110 d) nenhum dos anteriores

1.5. Recorde os postulados de Huntington:

P1 – Fecho; P2 – Comutatividade; P3 – Elementos neutros;

P4 – Distributividade; P5 – Complementaridade; P6 – Cardinalidade.

A igualdade $x + \bar{x}.y = x + y$ é:

- a) falsa b) uma identidade demonstrável invocando sucessivamente P4, P5 e P3
c) verificada apenas se $\bar{x}.y = y$ d) uma identidade demonstrável invocando sucessivamente P4, P3 e P5

1.6. Um bloco combinacional com 3 entradas e 2 saídas pode realizar:

- a) 2^6 funções lógicas b) $2^8 + 2^4$ funções lógicas
c) $2^8 \cdot 2^4$ funções lógicas d) $2^3 \cdot 2^2$ funções lógicas

1.7. Um bloco lógico combinacional com 2 entradas (x e y) e duas saídas, sendo uma saída dependente apenas de x e a outra dependente de x e y , pode realizar:

- a) 64 funções booleanas b) 16 funções booleanas
c) 8 funções booleanas d) 6 funções booleanas

1.8. Relativamente à função booleana definida pelo mapa de Karnaugh, podemos afirmar:

- a) a forma canónica POS tem mais termos que a forma canónica SOP
 b) a forma mínima SOP tem mais termos que a forma mínima POS
 c) as formas mínimas SOP e POS têm igual número de termos
 d) as formas canónicas SOP e POS têm igual número de termos

1	0	0	1
1	1	1	0
0	1	1	0
0	1	1	1

1.9. Ainda no mapa de Karnaugh anterior, o número de *distinguished 1-cells* é:

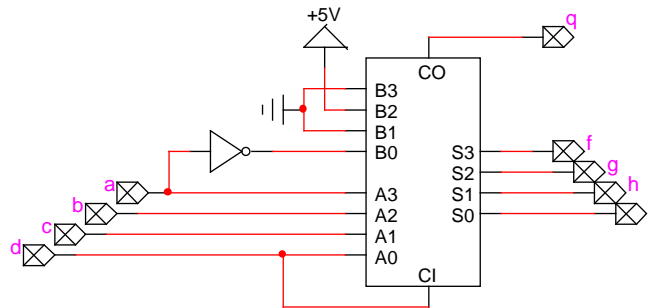
- a) 1
 b) 2
 c) 3
 d) diferente de 1, 2 e 3

1.10. Considere dois somadores, um usando *ripple-carry* e o outro com o sistema *carry lookahead*, ambos de 12 bits. Considere ainda que foram construídos com portas lógicas elementares (nomeadamente AND, OR e XOR), todas elas com o mesmo atraso de propagação, independente do número de entradas. Nestas condições, o somador *carry lookahead* conseguirá ser:

- a) 50% mais rápido
 b) 3 vezes mais rápido
 c) 6 vezes mais rápido
 d) 12 vezes mais rápido

2. Considere o circuito combinacional representado, com quatro entradas (a , b , c e d) e baseado num somador binário de 4 bits.

2.1. [2 valores] Construa a tabela de verdade das funções f , g , h , i e q .



2.2. [0.5 valor] Considere a situação em que $abcd=1001$. Assumindo representação em complemento para 2 com 4 bits, que números decimais estão presentes nas entradas ($A3A2A1A0$; $B3B2B1B0$) e na saída ($S3S2S1S0$) do somador? Como interpreta a operação aritmética efectuada?

Nº mec: _____ Nome _____

3. Considere a função booleana $f(a,b,c,d)$ representada na tabela de verdade, onde o símbolo 'X' representa 'irrelevante'.

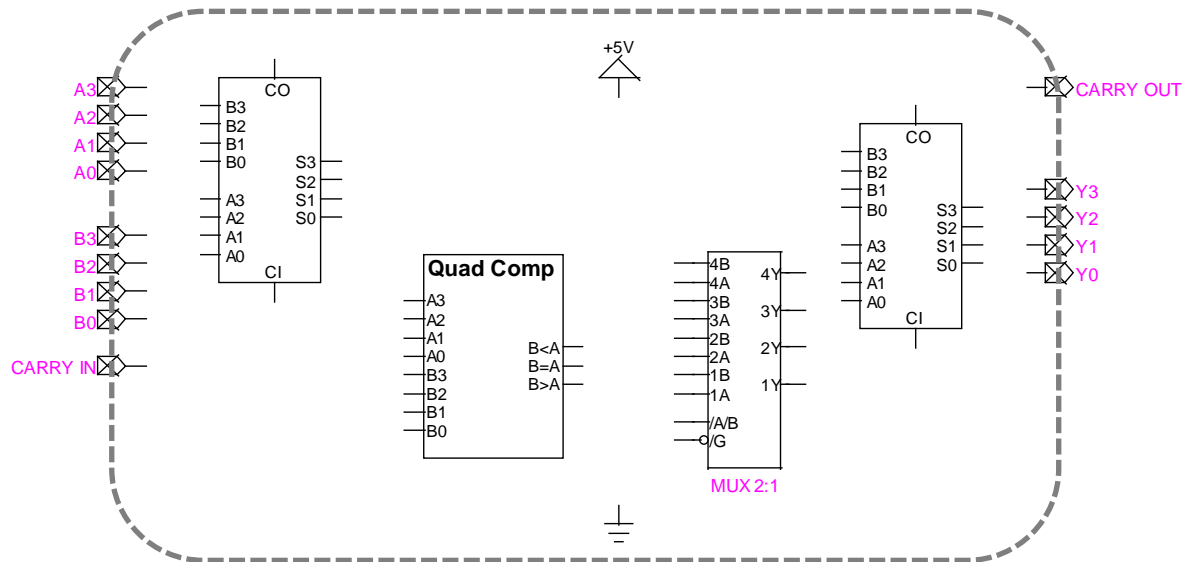
a	b	c	d	f
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	X
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	X
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

- 3.1. [1 valor] Construa o mapa de Karnaugh da função $f(a,b,c,d)$; obtenha a sua forma mínima em 'soma de produtos', aproveitando o melhor possível as situações de irrelevância.

- 3.2. [1 valor] Obtenha agora a sua forma mínima em 'produto de somas', de novo aproveitando o melhor possível as situações de irrelevância.

- 3.3. [0.5 valor] Desenhe o diagrama da implementação mínima de $f(a,b,c,d)$ apenas com portas NOR.

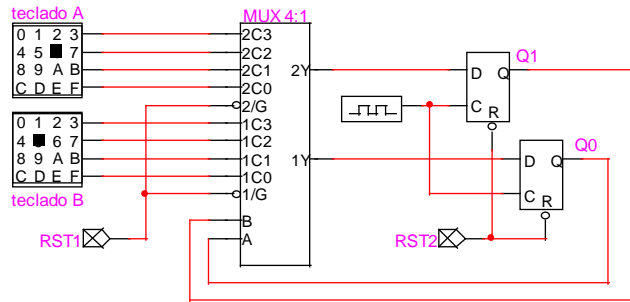
4. [2,5 valores] O bloco representado integra dois somadores binários de 4 *bits*, um comparador de 4 *bits* e um *multiplexer* quad 2:1. Os componentes estão desenhados de forma que a ordem de significância a considerar para entradas e saídas é sempre decrecente de cima para baixo. Complete as ligações internas de forma a obter um somador BCD (entradas $A=A_3A_2A_1A_0$, $B=B_3B_2B_1B_0$ e CARRY IN; saídas $Y=Y_3Y_2Y_1Y_0$ e CARRY OUT). Apresente notas justificativas sucintas.



5. [1,5 valores] Em álgebra de Boole binária, existe distributividade da operação XOR em relação à operação OR? Demonstre a sua resposta por verificação exaustiva de todas as combinações possíveis.

Nº mec: _____ Nome _____

6. Considere este circuito sequencial síncrono, cuja lógica de transição de estados se baseia num *multiplexer*. O circuito está desenhado de forma que a ordem de significância a considerar para entradas e saídas dos componentes é sempre decrecente de cima para baixo. Considere que o valor lógico das entradas *RST1* e *RST2* é '0' e a máquina inicia o seu funcionamento no estado $Q1Q0=00$.



- 6.1. [1 valor] Admitindo que os dígitos hexadecimais activos nos teclados A e B são, respectivamente, '6' e '5', construa a tabela de transição de estados. Justifique sucintamente. Desenhe o correspondente diagrama de estados. Qual a função da máquina?

- 6.2. [1.5 valores] Repita a alínea anterior admitindo agora que os dígitos hexadecimais activos nos teclados A e B são, respectivamente, 'A' e '3'. Compare os diagramas de estados. Detecta alteração na função da máquina? Qual?

- 6.3. [0.5 valor] *RST1* e *RST2* funcionam ambas como entradas de *reset*, mas com características marcadamente diferentes. Classifique uma e outra em termos dessas características.

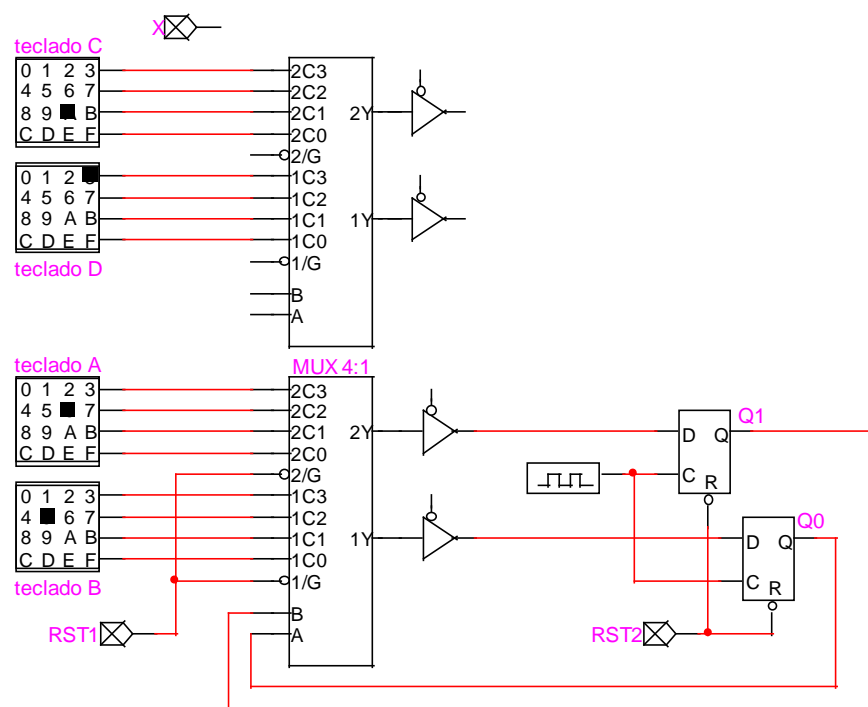
- 6.4. [1 valor] Admita que os parâmetros temporais dos flip-flops que compõem o registo não excedem $t_{\text{setup}}=t_{\text{hold}}=5$ ns e $t_{\text{pHL}}=t_{\text{pLH}}=11$ ns. A tabela seguinte é um excerto da *data-sheet* do *multiplexer*.

Parameter	From (Input)	To (Output)	Typ	Max	Unit
t_{pLH}	Data	Y	12	18	ns
t_{pHL}	Data	Y	15	24	ns
t_{pLH}	Select	Y	22	34	ns
t_{pHL}	Select	Y	22	34	ns

Nestas condições, qual a frequência máxima de funcionamento? Justifique.

7. O circuito seguinte (incompleto) baseia-se no da questão anterior. A ideia é permitir, sob o comando da entrada X , escolher entre duas sequências de funcionamento: com $X=0$, a máquina deve executar a sequência original (analisada em 6.1); com $X=1$, deve executar a alternativa analisada em 6.2. Os mecanismos de *reset* devem funcionar da mesma forma.

- 7.1. [1.5 valores] Complete o circuito com as ligações necessárias. Pode utilizar inversores adicionais, se precisar. Justifique sucintamente as suas opções.



- 7.2. [0.5 valor] Desenhe o diagrama de estados da máquina completa.