

CIRCUITOS LÓGICOS CMOS:

- MosFet revisitado.
- Inversor NMOS.
- Inversor CMOS:
 - VTC (característica de transferência de tensão)
 - Fanout
 - Capacidades e tempos
 - Potência dissipada
- Portas CMOS estáticas. Portas CMOS dinâmicas.
- Portas de Transmissão CMOS.
- Latch.
- Memória SRAM e DRAM:
 - organização e características
 - implementação
 - circuitos de leitura e escrita

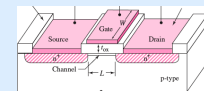
Bibliografia: Neamen, Donald A. - Microelectronics: Circuit Analysis and Design.

MOSFET revisitado (2)

Parâmetro de condução (A/V^2)

$$K = \left(\frac{W}{L} \right) \frac{KP}{2}$$

$$KP = \mu_n C_{ox}$$



Região de corte - cut-off

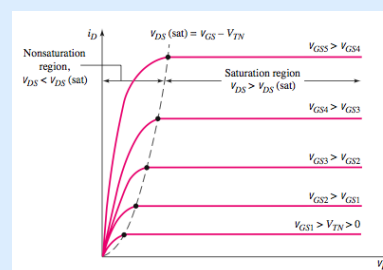
$$V_{GS} < V_{TN} \rightarrow i_D = 0$$

Região triodo (linear/ohmica)

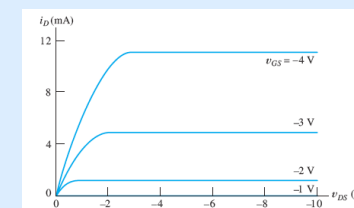
$$V_{GS} > V_{TN} \text{ e } V_{DS} < V_{GS} - V_{TN}$$

$$i_D = K_n [2(V_{GS} - V_{TN})V_{DS} - V_{DS}^2]$$

NMOS ideal



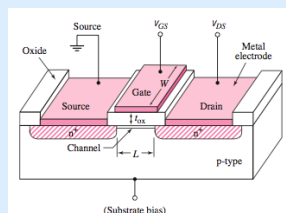
PMOS ideal



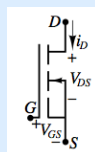
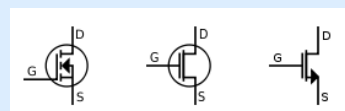
MOSFET revisitado

MOSFET de enriquecimento canal N (NMOS)

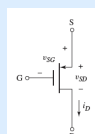
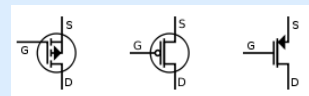
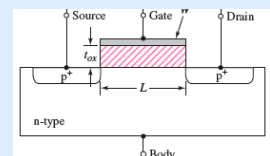
MOSFET = Metal Oxide Semiconductor Field Effect Transistor



Drain - dreno Gate - porta Source - fonte
Substrato / Body (em geral ligado à Source)
Canal



MOSFET de enriquecimento canal P (PMOS)



Inversor NMOS

Região de corte - cut-off

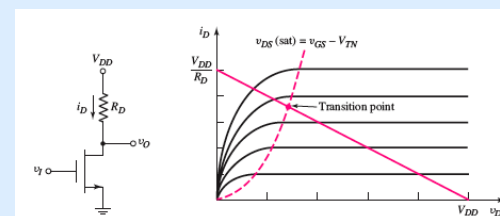
$$V_{GS} < V_{TN} \rightarrow i_D = 0$$

OFF

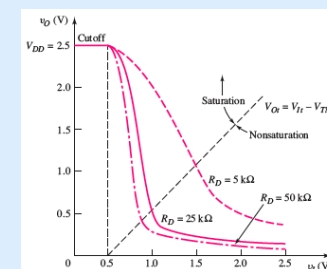
Região triodo (linear/ohmica)

$$V_{GS} > V_{TN} \text{ e } V_{DS} < V_{GS} - V_{TN}$$

ON



$$V_O \approx \sim V_I$$



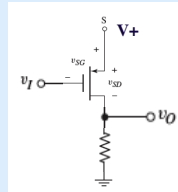
VTC - voltage transfer characteristic ---->

Inversor CMOS

Inversor PMOS

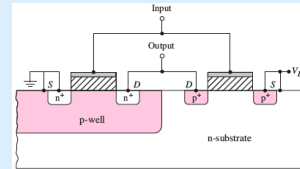
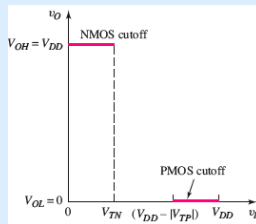
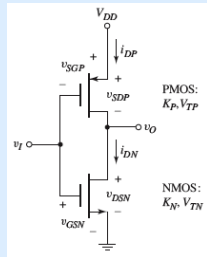
Região de corte - cut-off **OFF**

Região triodo (linear/ohmica) **ON**



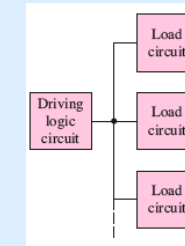
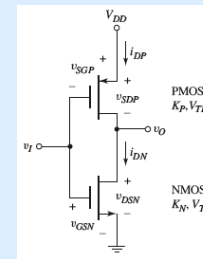
$$v_O \approx v_I$$

Inversor CMOS



$$v_O \approx v_I$$

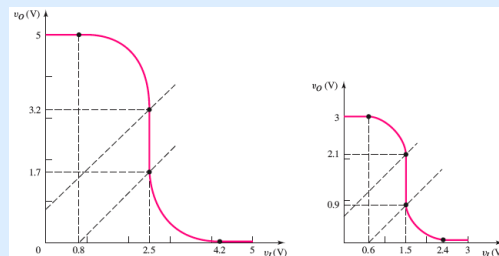
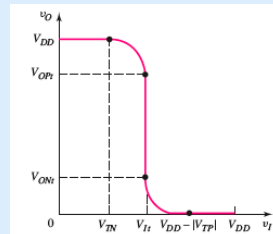
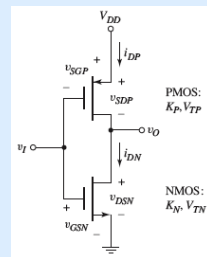
Inversor CMOS (3)



FanOut: nº de portas do mesmo tipo que uma dada porta pode alimentar. Estaticamente, em CMOS (Z_i muito elevada), o *Fanout* é virtualmente infinito. Na comutação de estados, as capacidades de entrada e as capacidades distribuídas (parasitas) são um problema grave que limita o *Fanout*.

Inversor CMOS (2)

VTC - voltage transfer characteristic



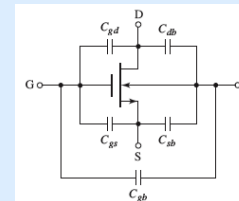
CMOS funciona com --> várias alimentações

Inversor CMOS (4)

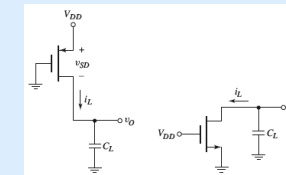
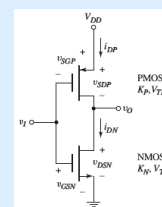
Capacidades num MOSFET

Em geral, S e B estão ligados, pelo que:

$$C_g \approx C_{gs} + C_{gb}$$



C_L representa a capacidade total vista pelos drenos, que inclui a capacidade C_g da(s) porta(s) seguinte(s), bem como a capacidade distribuída na ligação entre portas. Em comutação é necessário carregar/descarregar C_L .



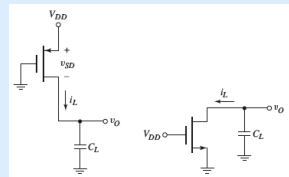
0 --> 1

1 --> 0

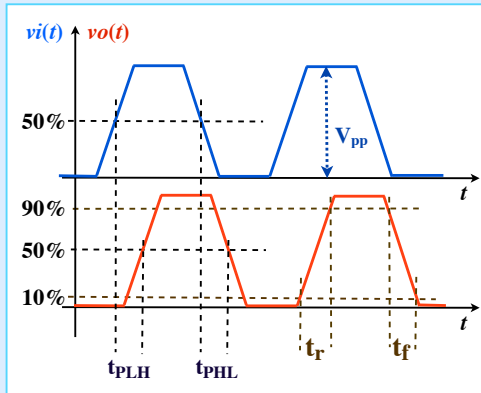
Inversor CMOS (5)

Em comutação é necessário carregar/descarregar C_L :

- isto implica tempos de subida e de descida não nulos (t_r e t_f);
- com vários circuitos em cascata vai originar atrasos na resposta (existência de tempos de propagação t_{PLH} e t_{PHL}).



0 → 1 1 → 0



Inversor CMOS (7)

Potência dissipada (2)

Durante um ciclo completo de comutação os 2 transistores dissipam:

$$E_T = E_P + E_N = \frac{1}{2}C_L V_{DD}^2 + \frac{1}{2}C_L V_{DD}^2 = C_L V_{DD}^2$$

Operando o inversor a uma frequência f , a potência dissipada será:

$$P = f E_T = f C_L V_{DD}^2$$

Veja-se a importância de V_{DD} e de f

Exemplo, com $V_{DD} = 5V$ $f = 2.5 \text{ GHz}$ $C_L = 10 \text{ fF} = 10^{-14} \text{ F}$:

$$P = 2.5 \times 10^9 \times 10^{-14} \times 25 = 62.5 \times 10^{-5} \text{ W/porta}$$

CPU com 1 milhão de portas:

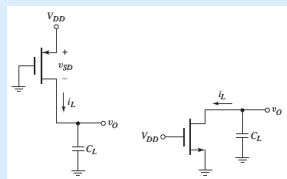
$$P_{CPU} = 10^6 \times 62.5 \times 10^{-5} = 625 \text{ W} \quad !!!$$

Inversor CMOS (6)

Potência dissipada

Em regime estático a potência dissipada é praticamente zero, assumindo que o inversor apenas alimenta outras portas CMOS.

Notar que quando o PMOS conduz, o NMOS corta e vice-versa, ou seja a corrente é nula.



0 → 1 1 → 0

- No fim da transição 0 → 1, C_L armazenou energia que “passou” pelo PMOS:

$$E_P = \frac{1}{2}C_L V_{DD}^2$$

- Durante a transição 1 → 0 essa energia tem de “passar” pelo NMOS:

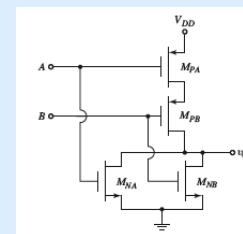
$$E_N = \frac{1}{2}C_L V_{DD}^2$$

- Durante um ciclo completo de comutação os 2 transistores dissipam:

$$E_T = E_P + E_N = \frac{1}{2}C_L V_{DD}^2 + \frac{1}{2}C_L V_{DD}^2 = C_L V_{DD}^2$$

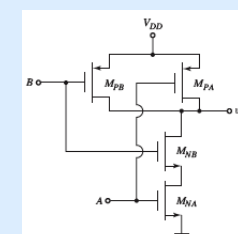
Portas básicas CMOS

2-input NOR gate



A	B	v_O
0	0	V_DD
V_DD	0	0
0	V_DD	0
V_DD	V_DD	0

2-input NAND gate



A	B	v_O
0	0	V_DD
V_DD	0	V_DD
0	V_DD	V_DD
V_DD	V_DD	0

A reter:

- os PMOS equivalem a resistências pull-up

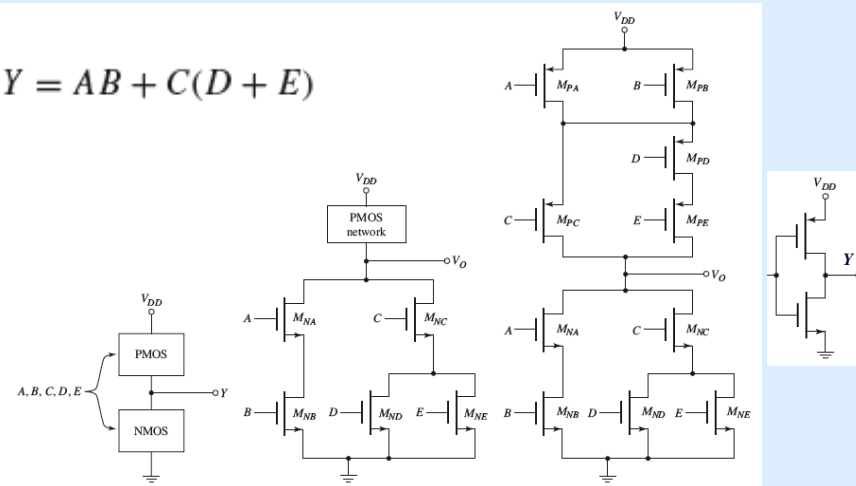
- 2 NMOS em paralelo, 2 PMOS em série.

- 2 NMOS em série, 2 PMOs em paralelo.

- n entradas → 2n transistores

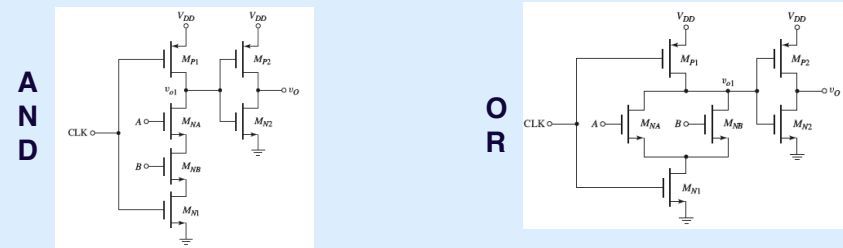
Exemplo de Porta CMOS

$$Y = AB + C(D + E)$$

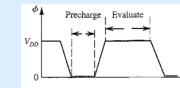


- 5 entradas -> 10 transistores

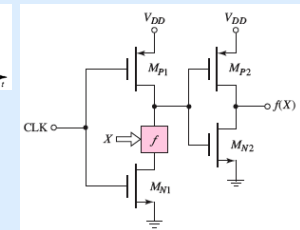
Lógica dinâmica CMOS (2)



Generalizando ...



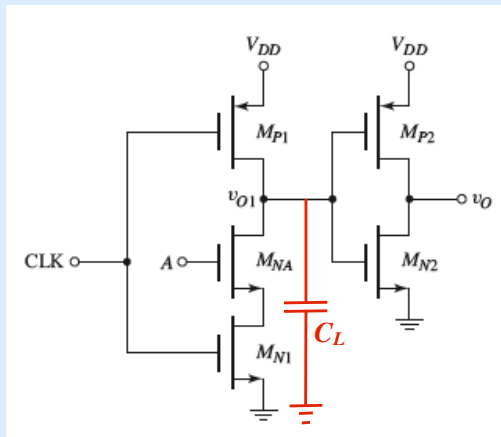
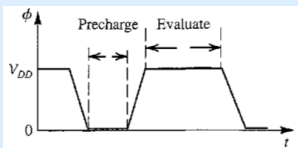
n entradas -> n transistores + 4



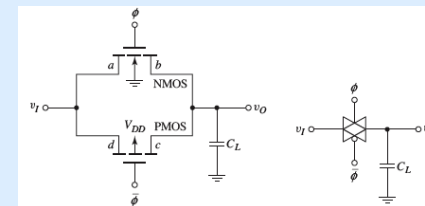
Lógica dinâmica CMOS (*clocked*)

Célula básica $v_O = A$

clock



Portas de Transmissão CMOS



Reversibilidade do Dreno e Fonte:

$v_a > v_b \rightarrow a = \text{dreno} ; b = \text{fonte}$

$v_a < v_b \rightarrow a = \text{fonte} ; b = \text{dreno}$

$v_d > v_c \rightarrow d = \text{fonte} ; c = \text{dreno}$

$v_d < v_c \rightarrow d = \text{dreno} ; c = \text{fonte}$

Notas:

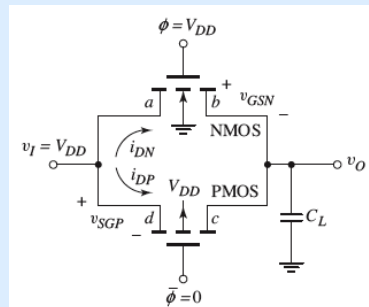
- o substrato do NMOS deve ser ligado à tensão mais negativa (massa, neste caso)
- o substrato do PMOS deve ser ligado à tensão mais positiva (V_{DD} , neste caso)

$$\phi = 0 \text{ and } \bar{\phi} = V_{DD}$$

NMOS e PMOS cortados -> v_O mantém o seu valor. A porta é um circuito aberto.

Portas de Transmissão CMOS (2)

$$\phi = V_{DD}, \bar{\phi} = 0, v_I = V_{DD} \quad v_O(0) = 0 \quad b = \text{fonte} ; d = \text{fonte}$$



$$v_{GSN} = \phi - v_O = V_{DD} - v_O$$

$$v_{SGP} = v_I - \bar{\phi} = V_{DD} - 0 = V_{DD}$$

i_{DN} carrega C_L até $V_{DD} - V_{TN}$

i_{DP} carrega C_L até V_{DD} , donde:

$$v_O = v_I = V_{DD}$$

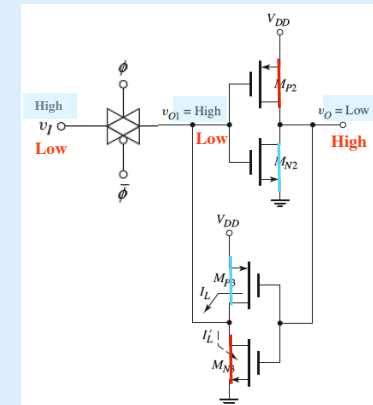
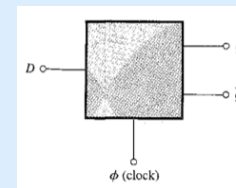
$$v_O(0) = 1$$

CL já está carregado e: $v_O = v_I = V_{DD}$

- NMOS está cortado ($v_{GSN}=0$)

- PMOS conduziria ($v_{SGP}=V_{DD}$), mas $v_{SDP}=0 \rightarrow i_{DP}=0$

Flip-Flop tipo D em CMOS



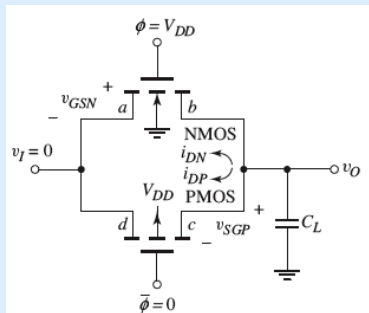
Nota 1 - o inversor 2 (MP2+MN2) e o inversor 3 (MP3+MN3) formam um loop.

Nota 2 - quando o clock vem a zero, as saídas mantêm o estado anterior:

Latch

Portas de Transmissão CMOS (3)

$$\phi = V_{DD}, \bar{\phi} = 0, v_I = 0 \quad v_O(0) = 1 = V_{DD} \quad a = \text{fonte} ; c = \text{fonte}$$



$$v_{GSN} = \phi - v_I = V_{DD} - 0 = V_{DD}$$

$$v_{SGP} = v_O - \bar{\phi} = v_O - 0 = v_O$$

i_{DN} descarrega C_L até 0

i_{DP} descarrega C_L até $0 - V_{TP}$,

donde: $v_O = v_I = 0$

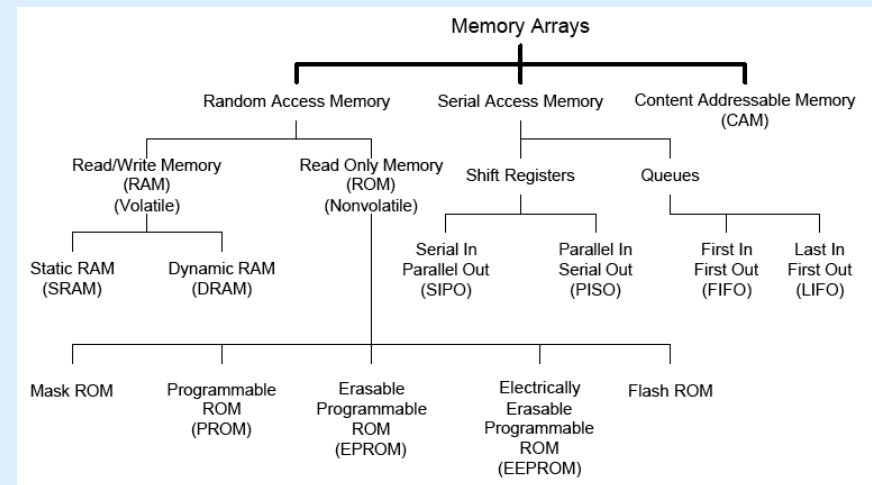
$$v_O(0) = 0$$

CL já está descarregado: $v_O = v_I = 0$

- PMOS está cortado ($v_{SGP}=0$)

- NMOS conduziria ($v_{GSN}=V_{DD}$), mas $v_{DSN}=0 \rightarrow i_{DN}=0$

Memória



Memória RAM

Apenas vamos tratar de:

- memórias RAM (*Random Access Memory*)
- voláteis *read-write*
- Estáticas (SRAM)
- Dinâmicas (DRAM)

RAM: qualquer bit (célula individual) pode ser endereçado individualmente

- *read-write*: qualquer bit pode ser lido ou escrito
- volátil: a informação desaparece quando se desliga a alimentação
- SRAM: cada bit é guardado num flip-flop com 2 estados estáveis (0 ou 1)
- DRAM: a informação de cada bit é guardada como carga de um condensador

SRAM: - em geral, cada bit “gasta” 6 transistores → usa muito silício

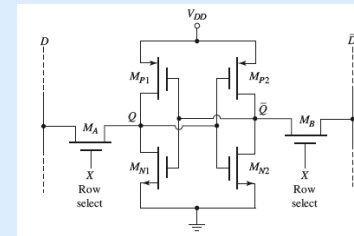
- pode ser *clocked* (para redução de consumo), mas é rápida

DRAM: - 1 bit pode obter-se com 1 só transistor e 1 Condensador → pequena

- exige circuitos de *refresh* para restaurar a carga de cada condensador pelo que é mais lenta e mais complexa

CMOS SRAM

Célula básica de uma SRAM



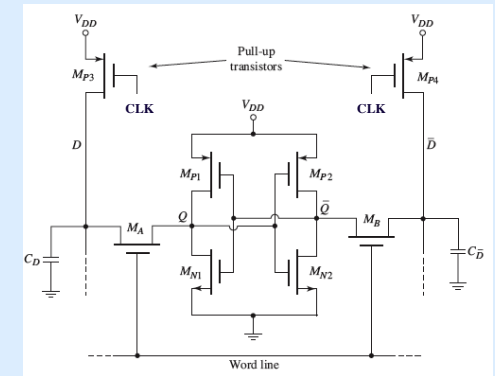
M_{P1} , M_{N2} e M_{P2} , M_{N1} = latch

M_A e M_B = portas de transmissão

D e \bar{D} = data lines

Q e \bar{Q} = bit memorizado

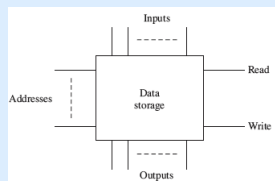
Célula básica com pré-carga



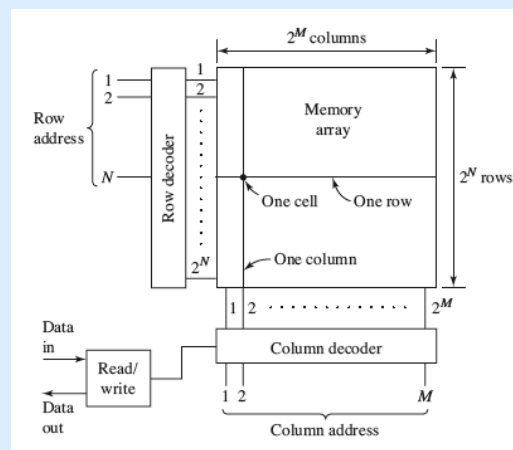
Na pré-carga (CLK=0) os condensadores são carregados a V_{DD} (ou $V_{DD}/2$).

Organização da Memória

Organização genérica



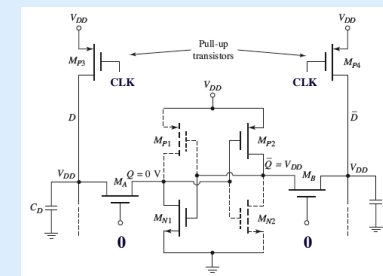
Arquitectura básica de uma RAM



CMOS SRAM: read

Antes da operação de leitura:

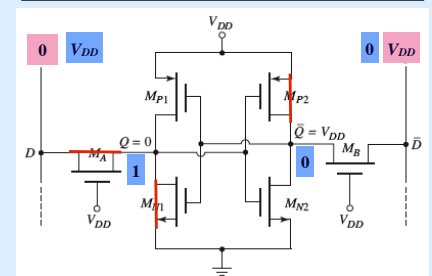
- $Q = 0$ M_{P1} e M_{N2} cortados
- M_A e M_B cortados



Se, pelo contrário, $Q = 1$, durante a operação de leitura: →

Durante a operação de leitura:

- M_{P1} e M_{N2} cortados
- M_{P2} e M_{N1} em condução
- M_A ON e M_B OFF
- $D = Q = 0$

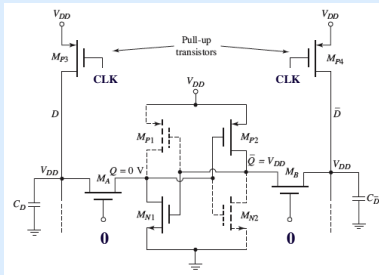


- M_{P1} e M_{N2} em condução
- M_A OFF e M_B ON
- $D = Q = 1$

CMOS SRAM: write

Antes da operação de escrita:

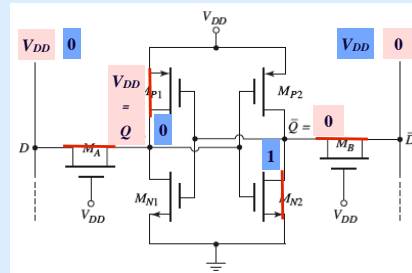
- $Q = 0$ M_{P1} e M_{N2} cortados
- M_A e M_B cortados.
- Pretende-se escrever $D = 1$



Se $Q = 0$, e se se pretender escrever $D = 0$, durante a operação de escrita: \rightarrow

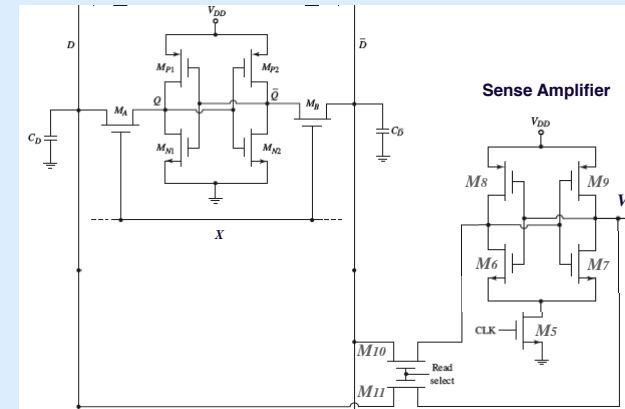
Durante a operação de escrita:

- M_B condução
- M_A conduz, mas acaba por cortar
- $Q = D = 1$
- M_{P1} e M_{N2} condução (latch)



- M_A condução e M_B corte
- $Q = D = 0$
- M_{P2} e M_{N1} condução (latch)

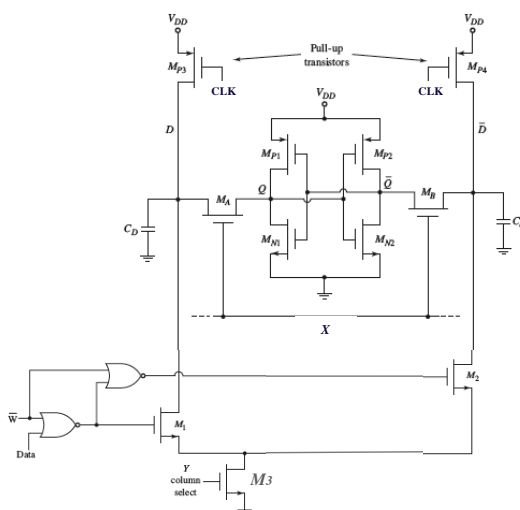
CMOS SRAM: circuito de leitura



Read select = 1
 M_{10} e M_{11} ON
 $X = 1$
 M_A e M_B ON
 $CLK = 1$
 M_5 ON
 read enabled

Sense Amplifier:
 $V_o = D = Q$

CMOS SRAM: circuito de escrita



Seleção da célula:

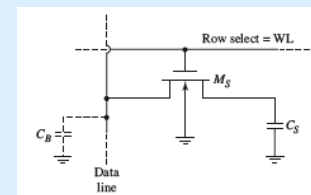
$X = 1$ $Y = 1$
 M_A, M_B e M_3 ON

$\bar{W} = 1$
 M_1 e M_2 OFF
 write disabled

$\bar{W} = 0$ Data = 1
 M_1 OFF $Q = D = 1$ (pré-carga)
 M_2 ON $\bar{Q} = \bar{D} = 0$

$\bar{W} = 0$ Data = 0
 M_1 ON $Q = D = 0$
 M_2 OFF $\bar{Q} = \bar{D} = 1$ (pré-carga)

Memória dinâmica - DRAM



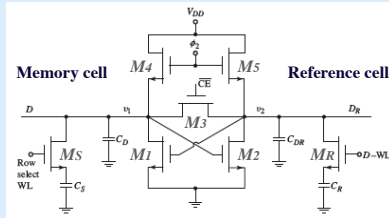
1 MOSFET e 1 condensador C_s
 C_s descarregado = 0
 C_s carregado = 1

A carga de C_s decai com o tempo (fugas) \rightarrow
 \rightarrow refresh periódico para regenerar a carga:
 leitura linha a linha permite o refresh.

Notas: - pequeno tamanho e/ou elevada densidade
 - refresh obrigatório \rightarrow DRAM menos rápida que SRAM

Memória dinâmica - DRAM (2)

Cross-coupled Sense Amplifier



M_S e C_S = célula de memória
 M_R e C_R = célula de referência (*dummy*)
 C_D e C_{DR} = condensadores parasita
 D e D_R = *data lines*
 WL e $D-WL$ = sinais *word line* (R/W)
 M_4 e M_5 = pré-carga
 M_1 e M_2 = *latch*

$C_S \approx 2 C_R \rightarrow C_R$ armazena metade da carga

R/W: M_S ON M_R ON

$D = 1 \rightarrow v_1 > v_2 \rightarrow M_2$ ON e M_1 OFF $\rightarrow v_1 \approx V_{DD}$ através de $M_4 \rightarrow$
 \rightarrow através de M_S , C_S recarrega até $\approx V_{DD}$ (*refresh*)

$D = 0 \rightarrow v_1 < v_2 \rightarrow M_1$ ON e M_2 OFF $\rightarrow v_1 \approx 0$ devido a $M_1 \rightarrow$
 \rightarrow através de M_S , C_S descarrega até ≈ 0 (*refresh*)