

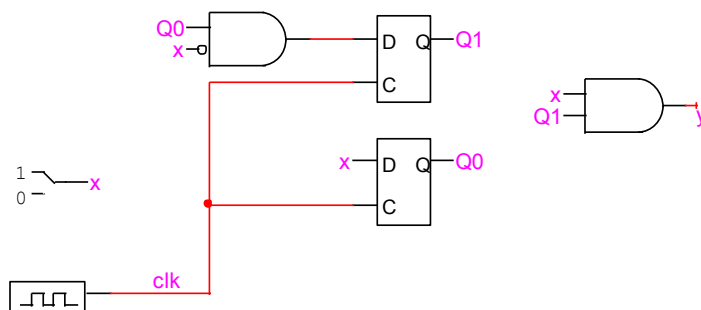
CIRCUITOS SEQUENCIAIS

Tópicos

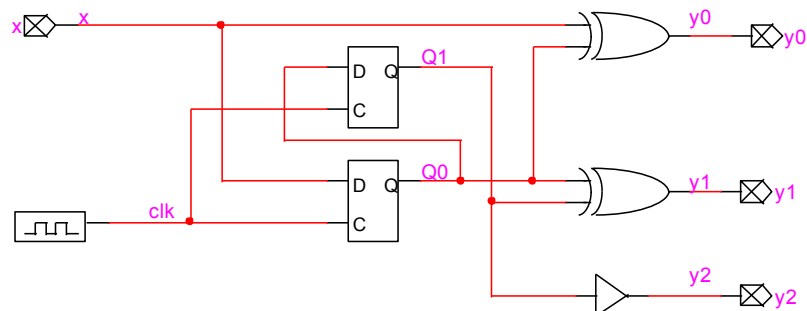
- Dispositivos básicos de memória
- Diagramas de estados/saídas
- Análise de circuitos sequenciais síncronos
- Blocos sequenciais fundamentais: contadores, registos, registos de deslocamento
- Simulação com DesignWorks

Exercícios

- 1 Recorra ao DesignWorks para com diagramas temporais ilustrar as diferenças entre dispositivos de memória *clocked latch* e *edged triggered flip-flop* (use componentes “D Latch wo/SQ/” e “D Flip Flop wo/SQ/”)
- 2 Analise o circuito da figura e determine a sua função:
 - a. Comece por identificar entradas e saídas do circuito.
 - b. Determine a função de saída.
 - c. Determine a função do próximo estado.
 - d. Qual é o tipo da máquina de estados finitos: Mealy or Moore?
 - e. Construa a tabela de transições/saídas.
 - f. Desenhe o diagrama de estados.
 - g. Explique o que faz o circuito.

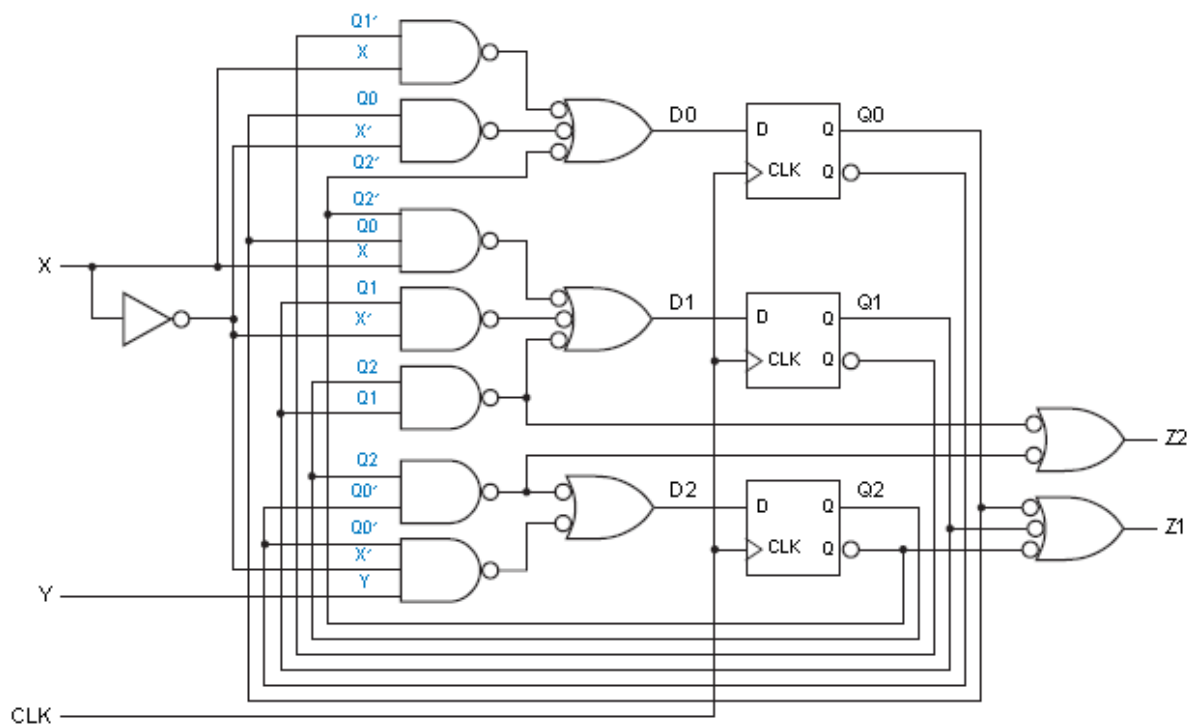


- 3 Desenhe e verifique o diagrama de estados e de saídas do circuito da figura. Indique o tipo da máquina. Mostre que o circuito se comporta como um conversor série paralelo do código binário para Gray para palavras de comprimento 3.



Assumindo que os flip-flops que compõem o circuito têm as características temporais seguintes: $t_{\text{setup}}=15$ ns, $t_{\text{hold}}=5$ ns, $t_{\text{pHL}}=25$ ns, $t_{\text{pLH}}=20$ ns e que o tempo de atraso de uma porta lógica elementar é $t_{\text{porta}} = 10$ ns determine a frequência máxima de funcionamento do circuito.

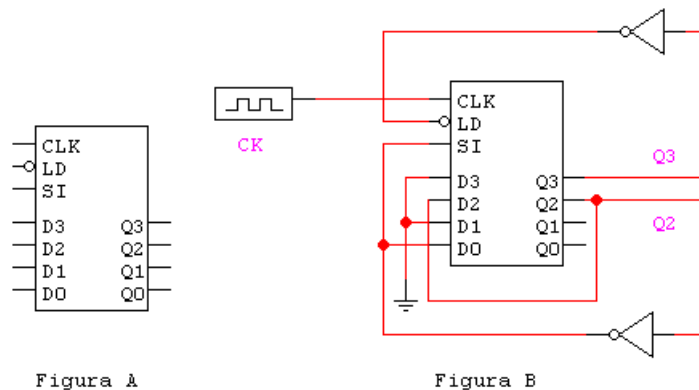
- 4 Altere o circuito do exercício anterior de modo a que tenha uma entrada de *reset* síncrono, ativa a *low*.
- 5 Desenhe e verifique o diagrama de estados e de saídas do circuito da figura. Indique o tipo da máquina.



Assumindo que os flip-flops que compõem o circuito têm as características temporais seguintes: $t_{\text{setup}}=10$ ns, $t_{\text{hold}}=4$ ns, $t_{\text{pHL}}=20$ ns, $t_{\text{pLH}}=15$ ns determine o atraso máximo numa porta lógica para que o circuito possa funcionar com a frequência 10 MHz.

- 6 Com base no componente 74x163, que é um contador binário módulo 16, construa um circuito que segue a sequência de contagem seguinte: (0,1,2,3,4,5,6,7,8,9), (0,1,2,3,4,5,6,7,8,9), ...
- 7 Com base no componente 74x163 construa um circuito que segue a sequência de contagem seguinte: (4,5,6,7,8,9,10,11,12), (4,5,6,7,8,9,10,11,12), ...

- 8 Com base nos componentes 74x163 crie um contador módulo 64. Determine, justificando a máxima frequência de funcionamento do circuito tendo em conta as seguintes especificações temporais:
- flip-flops que compõem o contador: $t_{\text{setup}}=10$ ns, $t_{\text{hold}}=4$ ns, $t_{\text{pHL}}=20$ ns, $t_{\text{pLH}}=15$ ns;
 - tempo de atraso de uma porta lógica elementar (se usada): $t_{\text{porta}} = 5$ ns.
- 9 O circuito da figura A é um shift-register de 4 bits, que faz deslocamento à esquerda (i.e. no sentido $Q0 \rightarrow Q3$), com inicialização síncrona.
- Desenhe o esquema interno do circuito. Explique o seu princípio de funcionamento.
 - Na figura B temos uma aplicação do mesmo circuito, funcionando como contador. Desenhe o diagrama de estados deste circuito.



- 10 Projete uma linha de atraso de comprimento N , variável entre 1 e 16. O comprimento desejado é especificado por 4 entradas $A3 A2 A1 A0$ contendo a representação binária de $N-1$. Para o seu projeto dispõe de *shift registers* de 4 bits (semelhantes aos do exercício anterior) e de multiplexers 4:1. Pretende-se uma solução com o menor número de blocos. Para minimizar o número de blocos, note que $(A3 A2 A1 A0) = (A3 A2) \times 4 + A1 A0$. Explique detalhadamente o raciocínio que o conduziu à solução escolhida e simule o circuito no DesignWorks.