

Arhitektura računala 2

Završni ispit

- 1.) Razmatramo računalo s 32-bitnim adresama, veličinom stranica 4kB, te veličinom straničnih opisnika 4B. Pretpostavite da računalo izvršava 5 programa od kojih svaki koristi 64 MB radne memorije. Izračunajte minimalnu i maksimalnu količinu memorije za potrebe adresnog preslikavanja ako je poznato da računalo koristi

- a) jednorazinsko straničenje
- b) dvorazinsko straničenje sa straničnim imenikom koji ima 256 stavki veličine 6B

- 2.) Zadan je računalni sustav s 4 razreda instrukcija zadanih tablicom:

razred	A	B	C	D
CPI	1	2	4	4
udio	0.1	0.2	0.4	0.3

- a) Odredite ukupni CPI
- b) Odredite potrebnu promjenu parametra CPI_B kako bi se performansa poboljšala za 20%
- c) Kako bi se na performansu računala odrazilo sklopovsko proširenje koje bi trostruko ubrzalo izvođenje svake druge instrukcije razreda C ?

- 3.) Razmatramo sljedeće 3 varijante priručne memorije:

- a) Izravno preslikavanje, vrijeme pogotka je $2 \Delta T$.
- b) Asocijativno preslikavanje u skupove od dvije linije, vrijeme pogotka je $3 \Delta T$.
- c) Aspocijativno preslikavanje u skupove od 4 linije, vrijeme pogotka je $4 \Delta T$.

Duljina linije je 4B, ukupna veličina memorije 32B. Koristi se algoritam izbacivanja LRU, te cijena promašaja iznosi $10 \Delta T$. Koja varijanta će postići najbolju performansu u slučaju kada procesor neposredno nakon pokretanja proziva bajtove na sljedećim adresama: 22, 26, 23, 27, 16, 3, 17, 2, 34, 18.

- 4.) Zadan je sljedeći kod u C-u:

```
for(i=0; i<j; i++)  
    a[i+1] = a[i]
```

- a) Napišite odgovarajući strojni kod za RISC procesor arhitekture MIPS, pod pretpostavkom zakašnjelog grananja i zakašnjelog učitavanja. Varijable i, j i a predstavite registrima $\$t_0$, $\$t_1$, $\$t_2$.
Za pohranu privremenih podataka možete iskoristiti registre $\$t_3 - \t_7 . Priključke zakašnjelih instrukcija popunite instrukcijama nop.

b) Izmijenite strojni kod na način da priključke za kašnjenje popunite korisnim instrukcijama gdje je to moguće.

c) Pretpostavite da se kod iz prethodnog zadatka izvodi na procesoru sa statičkim izdavanjem koji ima savršeno predviđanje grananja i instrukcije grananja ne trebaju priključak za kašnjenje. Prikažite redoslijed izdavanja instrukcija tijekom jednog prolaska kroz petlju (dakle, zanemariivši inicijalizaciju varijable i na početku petlje), kao i instrukcije nop koje procesor mora dodati zbog podatkovnog hazarda.

5.) Zadane su 4 dretve prikazane slikom. Prikažite njihovo izvođenje na Eggersovom modelu superskalarnog procesora koji izdaje do 4 instrukcije u jednom periodu signala takta i koristi finoizrnatu višedretvenost. Protočne struture nisu specijelizirane. Pretpostavite da nema kašnjenja između prospajanja dretvi.

1	1		
1			
1	1	1	
1	1		
1	1	1	1
1			
1	1	1	

2	2	2	
2	2		
2			
2			
2			
2	2	2	2
2	2		
2	2		

3	3	3	
3	3		
3			
3			
3	3	3	

4			
4	4	4	
4	4		
4	4		
4	4	4	4

Opaska: Ovo nije original završnog ispita, moguće da ima grešaka.