

Arhitektura računala 2

Pismeni ispit, problemski dio (60% bodova)

1. (10 bodova) Modelu 8-instrukcijskog procesora želimo dodati instrukciju **suba X** koja od sadržaja zadane memorijske lokacije oduzima sadržaj akumulatora i rezultat vraća u akumulator ($M[X] - A \rightarrow A$). Pretpostaviti da je aritmetičko-logička jedinica već prikladno modificirana za dodavanje ove instrukcije odnosno da ima ulaz koji se naziva *addc* (*add with carry; zbrajanje uz prijenos cin = 1*) koji do ovog trenutka nije bio spojen (odnosno bio je uzemljen). Nabrojiti dodatne modifikacije koje je potrebno načiniti na modelu 8-instrukcijskog procesora kako bi se dodala opisana instrukcija. Napisati mikrooperacije koje čine izvrši fazu opisane instrukcije. Napisati koji su upravljački signali aktivni i u kojim periodama signala vremenskog vođenja. Izvrši faza započinje u trenutku $\phi 8$. (slika 1)

2. (10 bodova) Pretpostavite da je početni sadržaj memorijske lokacije $B300_{16}$ jednak FF_{16} . Pojednostavljeni model procesora izvodi sljedeći programski odsječak, koji je smješten u memoriji počevši od adrese 0200_{16} .

```

LOOP    inc $B300    ; inkrement sadržaja mem. lokacije, op. kod = 9B
          bne LOOP    ; granaj ako je  $Z < > 0$ , op. kod = 26

```

- Nacrtajte sliku dijela memorije u kojem su smješteni program i podatci.
 - Nacrtajte stanje na sabirnicama tijekom izvođenja gornjeg programskog odsječka. Instrukcija **bne** koristi izravni način adresiranja.
 - Odredite konačne sadržaje registara PC, IR, A i DC nakon izvođenja navedenog programskog odsječka. Nepoznate sadržaje označite s X...X (gdje jedan X označava jednu heksadekadsku znamenku).
3. (10 bodova) Pokaži kako bismo sljedeće instrukcije uklopili u temeljnu protočnu organizaciju arhitekture MIPS:

- `stwinc Rd, offset, Rs ; Mem[Rs + offset] <- Rd; Rs=Rs+4`
- `addmem Rd, offset, Rs ; rd <- Rd + Mem[Rs + offset]`

Koje bi dodatno sklopovlje trebalo uvrstiti u put podataka za svaku od navedene dvije instrukcije, te kako bi se njihovo uvrštavanje odrazilo na svojstva temeljne protočne strukture MIPS arhitekture?

4. (10 bodova) Zadana je priručna memorija s asocijativnošću $a=1$ na računalu s 16-bitnim adresama. Znatost pristupa je 1B, kapacitet memorije je 16B, širina linije je 4B, linije imaju po dva servisna bita (V,D). Odrediti strukturu adrese, te ukupni broj bitova svake linije priručne memorije. U koji skup linija se smješta adresa $0x6543$? Koliko pogodaka/promašaja bi učinili kada bi pristupali elementima polja `int a[5][5]`; na način prikazan sljedećim programskim odsječkom:

```

for(int i = 0; i < 5; i++)
    for(int j = 0; j < 5; j++)
    {
        a[j][i] = i + j;
    }

```

Element polja `a[0][0]` nalazi na adresi $0x0$? Skicirati sadržaj priručne memorije nakon izvođenja programskog odsječka. (priručna memorija je inicijalno prazna. Svi elementi polja `a` inicijalno su postavljeni na 0).

5. (10 bodova) Predloži instrukcijski format tipa RISC kojim bi se instrukcije iz osnovna tri razreda kodirale pomoću samo 16 bitova. Opišite RISC arhitekturu koja izvodi instrukcije predloženog formata (broj registara, broj instrukcija, širinu sabirnice).

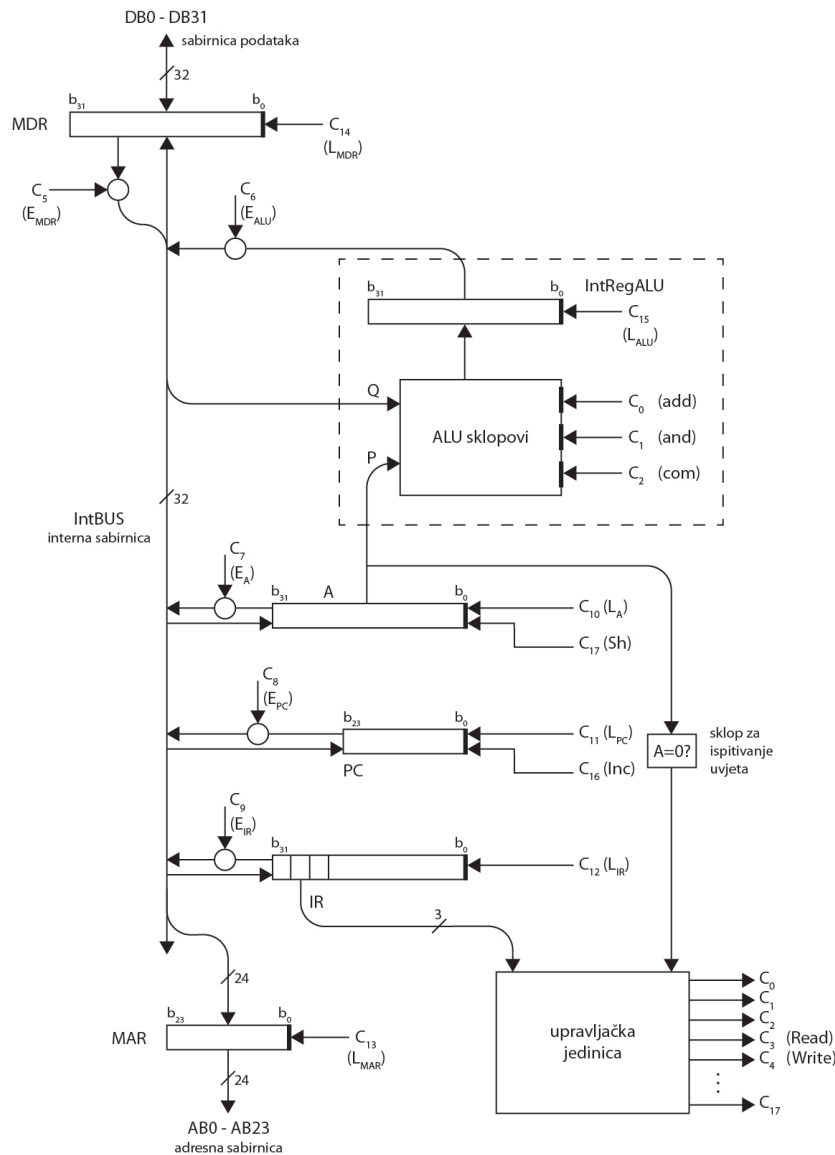
Usporedi prednosti i nedostatke takve instrukcijske arhitekture u odnosu na arhitekturu SRISC koja je prikazana na predavanjima.

6. (10 bodova) Razmatramo sljedeći izraz:

$$\vec{C} = s(\vec{A} - \vec{B}),$$

pri čemu je s skalar, a \vec{A} , \vec{B} i \vec{C} su 64-komponentni vektori (polja) cijelih brojeva. Na početku izvođenja programa vektori su pohranjeni u memoriju računala pri čemu je početna adresa vektora \vec{A} \$a\$, vektora \vec{B} \$b\$, vektora \vec{C} \$c\$, te skalar s \$s\$. Potrebno je napisati:

- programski odsječak za skalarni procesor koji računa navedeni izraz. Registri skalarnog procesora su r0 - r7.
- programski odsječak za vektorski procesor koji računa navedeni izraz. Vektorski procesor ima vektorske registre x0 - x7 duljine 8 (registar x može sadržavati 8 cijelih brojeva).



Slika uz zadatak 1: 8 instrukcijski cpu