

Arhitektura računala 2

2. blic – 2008/09 – grupa B

1. (1 bod) Teško rješivi hazardi tipa RAW tipično nastaju nakon:
 - a) instrukcija load
 - b) instrukcija store
 - c) cjelobrojnih aritmetičkih instrukcija
 - d) troadresnih registarskih instrukcija

Rješenje: A
2. (1 bod) Pretpostavimo da računalo s dobro popunjenom 5-segmentnom protočnom strukturom preinačimo tako da dvostruko ubrzamo samo jedan segment. Efekt na performansu biti će:
 - a) dvostruko ubrzanje
 - b) nikakav
 - c) ubrzanje od 20%
 - d) ubrzanje od 10%

Rješenje:
3. (1 bod) Slijed instrukcija load r5,20(r1); add r2, r1,r5 može rezultirati:
 - a) hazardom tipa RAW
 - b) hazardom tipa WAR
 - c) hazardom tipa RAR
 - d) hazardom tipa WAW

Rješenje:
4. (1 bod) Utjecaj podatkovnih hazarda RAW na performansu računala ne može se ublažiti:
 - a) povećanjem broja registara opće namjene
 - b) pažljivim rasporedom instrukcija
 - c) internim prosljeđivanjem rezultata
 - d) optimiranjem izvršnog koda

Rješenje: C
5. (1 bod) Zašto su arhitekture CISC manje pogodne za izvedbu protočnosti od arhitekture RISC?
 - a) zbog malog broja registara
 - b) zbog resursnih konflikata koje je teško zaobići
 - c) zbog mikroprogramiranog upravljanja
 - d) zato što imaju zakašnjelo grananje

Rješenje:
6. (1 bod) Koncept protočnosti je koristan jer omogućava:
 - a) iskorištavanje instrukcijskog paralelizma
 - b) CISC arhitekturama da se po performansu izjednače s RISC-om
 - c) istu performansu uz manji broj tranzistora
 - d) smanjivanje potrebnog broja registara

Rješenje: A
7. (1 bod) Ubrzanje arhitekture MIPS uslijed protočnosti je:
 - a) najviše 4 puta
 - b) najmanje 4 puta
 - c) najviše 5 puta
 - d) najmanje 5 puta

Rješenje: B

8. (1 bod) Kakvo prosljeđivanje može pomoći kod zakašnjele instrukcije čitanja (i označava redni broj instrukcije)?

- a) $ME[i+1] \rightarrow ID[i]$
- b) $EX[i] \rightarrow ID[i+1]$
- c) $ID[i] \rightarrow IF[i+2]$
- d) $ME[i] \rightarrow ID[i+2]$

Rješenje:

9. (1 bod) Pojavu koja uzrokuje zastoj protočne arhitekture nazivamo:

- a) prospojem za prosljeđivanje
- b) iznimkom
- c) hazardom
- d) priključkom za grananje

Rješenje:

10. (1 bod) Arhitektura MIPS u svakom ciklusu signala takta izvrši:

- a) najviše dva memorijska pristupa
- b) uvijek točno dva memorijska pristupa
- c) najviše jedan memorijski pristup
- d) uvijek točno jedan memorijski pristup

Rješenje: