

Između predloženih mjera za ocjenu performanse procesora, najobjektivnija je:

- a) MIPS;
- b) MOPS;
- c) MFLOPS;
- d) SPEC marks;
- e) MIPS / MOPS.

Rjesenje:d

Flynnova klasifikacija arhitekture temelji se na:

- a) višestrukosti instrukcijskog toka;
- b) broju sabirničkih struktura;
- c) višestrukosti toka podataka;
- d) višestrukosti instrukcijskog toka i toka podataka

Rjesenje:d

Tipičan broj cjelobrojnih registara za RISC procesor je:

- a) od 8 do 16;
- b) do 32;
- c) manji od 16;
- d) 32 ili više registara

Rjesenje:d

Troadresni format instrukcije je karakterističan za:

- a) CISC procesore;
- b) RISC procesore;
- c) CISC procesore koji imaju RISC jezgru;
- d) CISC i RISC procesore

Rjesenje:b

Znacajka load/store arhitekture specificira:

- a) CISC arh
- b) Kombinaciju pristupa CISC/RISC
- c) RISC arh
- d) VLIW arh

Rjesenje:c

Protocnost kao iznimno vazan koncept znacajan je za:

- a)samo za RISC
- b)samo za CISC
- c) RISC i CISC
- d) samo za izvedbu upravljacke jedinice

Rjesenje:c

U protocnoj strukturi faktor ubrzanja (za idealan „glatki“ tok) jest:

- a) N-gdje je N broj instrukcija
- b) M – broj protocnih segmenata
- c) t_{smax} / t_{smin} , gdje su t_{smax} i t_{smin} maksimalna odnosno minimalna vremena obrade u protocnim segmentima
- d) t_s – gdje je t_s maksimalno vrijeme obrade u jednom protocnom segmentu

Rjesenje:b

Jedna od osnovnih znacajki *dataflow* arhitekture jest:

- a) sljedece instrukcija za izvođenje određuje se na temelju PC-a
- b) postoji poseban upravljacki tok kojim se izabire sljedeća instrukcija

- c) raspoloživi podaci određuju skup izvodljivih instrukcija
- d) temelji se na LIFO prograskoj strukturi

Rjesenje:c

VLIW arhitektura temelji se na :

- a) RISC konceptima
- b) CISC konceptima
- c) horizontalnom mikroprogramiranju
- d) dataflow arhitekturi

Rjesenje:c

Tijekom dekodiranja instrukcije u RISC procesoru :

- a) istodobno se i dohvataju operandi
- b) operandi se ne mogu dohvacati jer nije jos poznata operacija
- c) istodobno se racuna adresa odredista
- d) istodobno se racuna efektivna adresa operanda

Rjesenje:a

Ganttov dijagram služi za:

- a) procjen performanse procesora
- b) prikaz Flynnove klasifikacije
- c) izravnu detekciju hazarda
- d) prikaz instrukcija u protocnoj strukturi

Rjesenje:d

Jedno od zlatnih pravila : „zrtvuj sve kako bi smanjio vremenski ciklus podataka“ vrijedi prvenstveno za:

- a) dataflow procesore
- b) procesore CISC
- c) proc VLIW
- d) procesore RISC

Rjesenje:d

Harvarska arhitektura racunala uspješno rješava :

- a) sukobljavanje oko sredstava(resursa)
- b) podatkovni hazard
- c) WAW
- d) upravljacki hazard

Rjesenje:a

Općenito postoje tri vrste podatkovnih hazarda: RAW, WAR i WAW. Za RISC procesore od gornjih hazarda kritičan je:

- a) WAR;
- b) WAW;
- c) kombinacija WAR i WAW;
- d) RAW.

Rjesenje:d

U idealiziranom protocnom modelu, faktor ubrzanja jednak je:

- a) dubini protocne strukture
- b) omjeru t_s , gdje je T perioda clock-a, a t_s vrijeme obrade u protocnom segmentu
- c) vremenu t_s
- d) faktoru N , gdje je N broj identicnih zadataka

Rjesenje:a

Instrukcija NOP u protocnoj strukturi RISC procesora:

- a) služi samo za ostvarivanje operacije "ne radi ništa" i samo troši vrijeme
- b) "ne radi ništa", no služi i za rješavanje hazarda i tumaci se kao umetanje "protocnog mjehurica"
- c) se ne pojavljuje jer je nepotrebna
- d) služi za sinkronizaciju dretvi

Rjesenje:b

Izvođenje instrukcije $l\text{ar } r_a, C1$ imaće za posljedicu:

- a) $R[r_a] = \text{adresa operanda određena s } C1$ tako da se primijeni širenje bita predznaka
- b) $R[r_a] = \text{operand s adrese } C1$
- c) $R[r_a] = PC + C1$
- d) $R[r_a] = R[r_b + C1]$

Rjesenje:c

SRISC procesor ima:

- a) trosabirnicku strukturu
- b) dvosabirnicku strukturu
- c) jednosabirnicku strukturu
- d) dvosabirnicku strukturu i poseban bacvasti posmacni sklop

Rjesenje:a

Primjer SISD racunala je:

- a) racunalo temeljeno na visejezgrenom procesoru
- b) Von Neumannovo racunalo
- c) vektorski procesor na grafickoj kartici
- d) redundantno racunalo u kojem vise izvrsnih jedinica obraduje iste podatke
- e) paralelno zbrajalo

Rjesenje:b

Primjer SIMD racunala je:

- a) racunalo temeljeno na visejezgrenom procesoru
- b) Von Neumannovo racunalo
- c) vektorski procesor na grafickoj kartici
- d) redundantno racunalo u kojem vise izvrsnih jedinica obraduje iste podatke
- e) paralelno zbrajalo

Rjesenje:c

Tipicni skalarni RISC procesor ima:

- a) jednodresne aritmeticke instrukcije
- b) aritmeticke instrukcije s memorijskim operandima
- c) akumulatorsku arhitekturu
- d) troadresne aritmeticke instrukcije bez memorijskih operanda
- e) tablicu meduovisnosti (scoreboard)

Rjesenje:d

Koncept upravljanja tokom podataka koristi se u:

- a) originalnom Von Neumannovom modelu
- b) protocnim racunalima
- c) CISC racunalima
- d) superskalarnim racunalima
- e) visejezgrenim racunalima

Rjesenje:d

Za superskalarne RISC arhitekture je specifično da se usporedno izvođenje slijednog programa pospješuje prvenstveno:

- a) dubokom protocnom strukturom
- b) dinamičkim raspoređivanjem instrukcija u sklopovlju procesora
- c) malom ali brzom priručnom memorijom
- d) adresnim preslikavanjem
- e) statičkim raspoređivanjem instrukcija tijekom prevodenja

Rješenje: b

Moderni superskalarni procesori tipično postižu:

- a) $CPI > 3$ GHz
- b) $CPI > 100$ MHz
- c) $CPI > 100$
- d) $CPI \in [2, 10]$
- e) $CPI < 1$

Rješenje: e

Procesori 8086 i Core i7 920 imaju:

- a) srodnu instrukcijsku arhitekturu, ali različitu organizaciju
- b) srodnu organizaciju, ali različitu instrukcijsku arhitekturu
- c) srodnu instrukcijsku arhitekturu i srodnu organizaciju
- d) isti broj vanjskih izvoda (pinova)
- e) kompatibilnu adresnu sabirnicu

Rješenje: a

Većina instrukcija arhitekture x86 podržava:

- a) 0 memorijskih operanada
- b) 1 memorijski operand
- c) 2 memorijska operanda
- d) 3 memorijska operanda
- e) 4 memorijska operanda

Rješenje: b

Protocna arhitektura MIPS

u svakom ciklusu signala takta izvrši:

- a) barem dva memorijska pristupa
- b) najviše dva memorijska pristupa
- c) točno dva memorijska pristupa
- d) najviše jedan memorijski pristup
- e) točno jedan memorijski pristup

Rješenje: b

U protocnom računalu sa zajedničkom jednoadresnom priručnom memorijom podataka i instrukcija narocito možemo očekivati:

- a) podatkovne hazarde
- b) strukturne hazarde
- c) upravljačke hazarde
- d) otežano izvođenje samomodificirajućeg koda
- e) ubrzanje od 20%

Rješenje: b

Kakvo prosljeđivanje se tipično koristi za smanjenje latencije instrukcije grananja (\$i\$ označava redni broj instrukcije)?

- a) $ID[i] \rightarrow IF[i+2]$ (na slajdovima piše $ID[i] \rightarrow IF[i+1]$!!!)
- b) $EX[i] \rightarrow ID[i+1]$
- c) $[i+1] \rightarrow IF[i]$
- d) $ME[i+1] \rightarrow ID[i]$
- e) $WB[i] \rightarrow ID[i+1]$

Rješenje: a

Koncept protokčnosti je koristan jer omogućava:

- a) istu performansu uz manji broj tranzistora
- b) iskoristavanje instrukcijskog paralelizma
- c) CISC arhitekturama da se po performansi izjednače s RISC-om
- d) smanjivanje potrebnog broja registara
- e) ublažavanje resursnih konflikata

Rješenje: b

Koja od navedenih komponenata nije element puta podataka:

- a) aritmetičko-logička jedinica
- b) radna memorija
- c) skup registara
- d) interna sabirnica

Rješenje: b (posljednja komponenta su priručne memorije)

Sistolička polja se svrstavaju u:

- a) SIMD
- b) MISD
- c) MIMD
- d) SISD

Rješenje: b

Koncept upravljanja tokom podataka koristi se u:

- a) originalnom Von Neumannovom modelu
- b) superskalarnim računalima
- c) CISC računalima
- d) višezvezdanim računalima

Rješenje: b

Zašto se kaže da Amdahlov zakon koči razvoj paralelnih sustava?

- a) jer se porast uniprocorske performanse usporava
- b) zbog akumulatorske arhitekture
- c) jer se povećanjem broja procesora u praksi često postižu sublinearna ubrzanja
- d) jer se nemože proizvesti sklop s potrebnim brojem tranzistora

Rješenje: c

Za superskalarne RISC arhitekture je specifično da se paralelno izvođenje slijednog programa pospješuje:

- a) adresnom translacijom
 - b) malom ali brzom priručnom memorijom
 - c) predviđanjem grananja
 - d) dinamičkom analizom međuovisnosti instrukcija u sklopovlju procesora (scoreboard)
- Rjesenje: d (al nisam ziher)

Tipični skalarni CISC procesor ima:

- a) malo registara, više formata instrukcija
 - b) veliku priručnu memoriju (cache), protočnu strukturu
 - c) puno registara (>30), fiksni format instrukcija
 - d) malo registara, fiksni format instrukcija
- Rjesenje: a

Tipični skalarni RISC procesor ima:

- a) troadresne aritmetičke instrukcije bez memorijskih operandi
 - b) jednoadresne aritmetičke instrukcije
 - c) tablicu međuovisnosti instrukcija
 - d) aritmetičke instrukcije s memorijskim operandima
- Rjesenje: a

Moderne implementacije arhitekture x86 imaju:

- a) pretežno mikroprogramirano upravljanje
 - b) instrukcijsku arhitekturu tipa RISC, te organizaciju tipa CISC
 - c) instrukcijsku arhitekturu tipa RISC, te organizaciju tipa CISC
 - d) instrukcijsku arhitekturu tipa CISC, te organizaciju tipa RISC
- Rjesenje: d (tako kaže google i lega Vugzi)

Koliko bitova ima usputna konstanta u tipičnoj 32-bitnoj troadresnoj RISC instrukciji:

- a) oko 24
 - b) 32
 - c) oko 8
 - d) oko 16
- Rjesenje: d

Koji od ponuđenih odgovora nije tipična grupa instrukcija arhitekture RISC:

- a) instrukcije grananja
 - b) trigonometrijske instrukcije
 - c) logičke funkcije
 - d) aritmetičke instrukcije
- Rjesenje: b

Koliko bajtova ima tipična instrukcija RISC procesora:

- a) 4
 - b) 1
 - c) 2
 - d) 8
- Rjesenje: a

Tip instrukcijske arhitekture Intelovog procesora Pentium III:

- a) VLIW
- b) superskalarna
- c) CISC
- d) troadresna

Rjesenje:c

Koliko registarskih operanada ima tipična aritmetička RISC instrukcija:

- a) 3
- b) oko 8
- c) 0
- d) 2

Rjesenje:a

Zakasnjene instrukcije grananja u arhitekturi RISC procesora posljedica su:

- a) strukturnog hazarda;
- b) podatkovnog hazarda;
- c) upravljačkog hazarda;
- d) kombinacije strukturnog i podatkovnog hazarda.

Rjesenje:c

Ganttov dijagram ima nanoseno:

- a) na apcisi vrijeme a na ordinati instrukcije iz protočne strukture;
- b) na apcisi instrukcije iz protočne strukture a na ordinati protočne segmente;
- c) na apcisi vrijeme a na ordinati protočne segmente;
- d) na apcisi protočne segmente (prazne) a na ordinati protočne segmente (pune).

Rjesenje:a (ili c 😊)

Pretpostavimo da računalo s dobro popunjenom 5-segmentnom protočnom strukturom preinačimo tako da dvostruko ubrzamo samo jedan segment. Efekt na performansu biti će:

- a) dvostruko ubrzanje
- b) nikakav
- c) ubrzanje od 20%
- d) ubrzanje od 10%

Rjesenje:b

Slijed instrukcija `load r5,20(rl); add r2, rl,r5` može rezultirati:

- a) hazardom tipa RAW
- b) hazardom tipa WAR
- c) hazardom tipa RAR
- d) hazardom tipa WAW

Rjesenje:a

Zašto su arhitekture CISC manje pogodne za izvedbu protočnosti od arhitektura RISC?

- a) zbog malog broja registara
- b) zbog resursnih konflikata koje je teško zaobići
- c) zbog mikroprogramiranog upravljanja
- d) zato što imaju zakašnjelo grananje

Rjesenje:b

Arhitektura MIPS u svakom ciklusu signala takta izvrši:

- a) najviše dva memorijska pristupa
- b) uvijek točno dva memorijska pristupa
- c) najviše jedan mem pristup
- d) uvijek točno jedan memorijski pristup

Rjesenje:a

Koja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju?

- a) pristup memoriji
- b) određivanje efektivne adrese
- c) zbrajanje dvaju registara
- d) upis procitanog podatka u odredišni registar

Rjesenje: b (nisam ziher)

Svih pet segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:

- a) instrukcija citanja iz memorije
- b) instrukcija pisanja u memoriju
- c) instrukcija bezuvjetnog grananja
- d) instrukcija uvjetnog grananja

Rjesenje:a

1. RISC arhitektura procesora dopušta:

- a) da jedan od operanda za aritmetičko-logičke operacije bude u memoriji.
- b) da oba operanda za aritmetičko-logičke operacije bude u memoriji.
- c) da operandi za aritmetičko-logičke operacije budu u registrima.
- d) da operandi za aritmetičko-logičke operacije budu priručnoj memoriji

2. Superskalarni CISC procesor ima:

- a) protočno CISC jezgro
- b) skalarno RISC jezgro
- c) superskalarno RISC jezgro
- d) superskalarno CISC jezgro

3. Superskalarnost se ostvaruje:

- a) velikim brojem protočnih segmenata
- b) uporabom koncepta temeljenog na VLIW
- c) višestrukim protočnim strukturama
- d) većim brojem zavisnih funkcijskih jedinica

4. Racunanje odredišta relativnog grananja u arhitekturi MIPS odvija se:

- a) usporedno s pristupom podatkovnoj memoriji
- b) za vrijeme pribavljanja instrukcije
- c) usporedno s dekodiranjem instrukcije
- d) prije pribavljanja instrukcije

5. Koja od sljedećih tehnika ne vodi poboljšanju iskorištenja superskalarnih resursa?

- a) ortogonalizacija skupa instrukcija
- b) izvođenje izvan redoslijeda
- c) pretjerano povećavanje radne frekvencije
- d) predviđanje grananja

6. Što omogućavamo preimenovanjem registara?

- a) bolju performansu cachea
- b) otklanjanje hazardaWAR
- c) jednostavniju izvedbu upravljačke jedinice
- d) bolje predviđanje grananja

7. Ako želimo superskalarni procesor koji bi izvršavao 2 instrukcije po ciklusu koliki broj procesnih jedinica moram imati:

- a) proizvoljan
- b) jednak 2
- c) manji od 2
- d) znatno veći od 2

8. Dinamičko raspoređivanje se koristi jer statička analiza ne može:

- a) optimirati željenu arhitekturu
- b) razotkriti strukturne hazarde
- c) razotkriti dinamičke memorijske i upravljačke hazarde
- d) razotkriti registarske hazarde

9. zašto su u skalarnoj protočnoj strukturi s više procesnih jedinica funkcijske jedinice slabo iskorištene?

- a) zbog neefikasne priručne memorije
- b) jer se izdaje jedna instrukcija po ciklusu
- c) zbog hazarda RAW
- d) zbog slabog predviđanja grananja

10. Jednostavna superskalarna organizacija se od skalarne protodne organizacije s više procesnih jedinica razlikuje jer ima:

- a) izvršavanje izvan redoslijeda
- b) veći registarski skup
- c) efikasnu priručnu memoriju
- d) mogućnost istovremenog pribavljanja i dekodiranja više instrukcija

11. U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testu)?

- a) MHz je relevantniji pokazatelj performanse
- b) MHz je čimbenik performanse, a SPECmark pokazatelj
- c) SPECmark je čimbenik performanse, a MHz pokazatelj
- d) SPECmark se odnosi na arhitekturu, MHz na tehnologiju

12. Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:

- a) zbrajalo
- b) memorija
- c) registarski skup
- d) sklop za grananje

13. Čitanje registarskih operanada u tipičnoj RISC arhitekturi odvija se:

- a) usporedno s pristupom podatkovnoj memoriji
- b) za vrijeme pribavljanja instrukcije
- c) usporedno s dekodiranjem instrukcije
- d) prije pribavljanja instrukcije