

Zavod za elektroniku, mikroelektroniku
računalne i inteligentne sustave

Arhitektura računala 2

Završni ispit, problemski dio (60% bodova)

1. Na procesor s 16-bitnom adresnom i 8-bitnom podatkovnom sabirnicom potrebno je spojiti memorijski modul s jednim ulazom za omogućavanje veličine $4k \times 8$ bita. Modul se treba javljati u dijelu adresnog prostora koji počinje od adrese `0xF000`.
2. Pokaži kako bismo sljedeće instrukcije uklopili u temeljnu protočnu organizaciju arhitekture MIPS:

- `lwinc Rd, offset, Rs # Rd <- Mem[Rs+offset]; Rs=Rs+4`
- `addmem Rd, offset, Rs # Rd <- Rd + Mem[Rs+offset]`

Koje bi dodatno sklopovlje trebalo uvrstiti u put podataka za svaku od navedene dvije instrukcije, te kako bi se njihovo uvrštanje odrazilo na svojstva temeljne protočne strukture arhitekture?

3. Zadana je sljedeća programska petlja u strojnom jeziku za računala arhitekture MIPS (`$s1`, `$s3` i `$t0` predstavljaju registre opće namjene):

```
Loop:
    lw    $t0, 0($s1)    # load word
    addi  $t0, $t0, 25    # add immediate
    sw    $t0, 0($s1)    # store word
    addi  $s1, $s1, 4     # add immediate
    bne   $s1, $s3, Loop # branch if not equal
```

- Skicirati kod u C-u koji bi na klasičnom SISD procesoru mogao biti preveden u zadani strojni kod.
- Za petlju iz prethodnog pitanja prikazati kakav bi kod bio generiran za procesor s dvostrukim statičkim izdavanjem koji istovremeno može izvoditi:
 - jednu instrukciju tipa ALU/branch,
 - jednu instrukciju tipa load/store.

Pretpostaviti da se učitani registar ne može koristiti u instrukciji neposredno nakon instrukcije čitanja memorije. Odrediti CPI koji se postiže u tijelu petlje ako zane-marimo instrukcije `nop`.

- Pokušaj ponuditi raspored u kojem jedan prolaz kroz petlju troši samo četiri ciklusa.
 - Pokušaj ponuditi raspored u kojem četiri prolaza kroz petlju troši osam ciklusa (BONUS).
4. Intelov procesor 80486 imao je 32-bitnu adresnu sabirnicu. Priručna memorija prvih modela tog procesora bila je četverostruko asocijativna, a sastojala se od 256 linija po 32 bajta. Odrediti omjer neto veličine te priručne memorije i ukupnog broja bitova potrebnih za njenu realizaciju, pod pretpostavkom minimalnog broja servisnih bitova.

5. Zadan je procesor s 8-bitnom adresnom i podatkovnom sabirnicom. Priručna memorija procesora je dvostruko asocijativna, a sastoji se od 8 linija po 8 bajta. Pretpostavimo da su sve linije priručne memorije zauzete, te da se u poljima oznaka linija nalaze sljedeći podatci (redosljed odgovara rastućim indeksima linija): [0, 1, 0, 2, 0, 3, 0, 2]

Pod pretpostavkom istog zadanog stanja priručne memorije, odrediti ishode (pogodak ili promašaj) sljedećih pristupa: \$a2, \$65, \$89, \$ca, \$54, \$30, \$bf, \$18.

6. Razmotrimo proces koji zauzima sljedeće lokacije virtualne memorije:

- adrese 0x00000000 - 0x00003490: program i statički podatci
- adrese 0xfffff234 - 0xffffffff: stog

Pretpostavimo da se proces izvodi na procesoru s dvorazinskim straničenjem (npr, Pentium I), pri čemu je struktura virtualne adrese kako slijedi:

- gornjih 10 bitova: indeks u straničnom imeniku,
- srednjih 10 bitova: indeks u straničnoj tablici,
- donjih 12 bitova: pomak unutar stranice.

Odrediti koliko memorije zauzimaju strukture za ostvarivanje adresnog preslikavanja straničenjem (stranični imenici i tablice), ako svaka stavka u straničnom imeniku odnosno straničnoj tablici zauzima 4B. Kolika je to ušteda u odnosu na linearnu straniču tablicu?