

22. Arhitektura MIPS u svakom ciklusu signala takta izvrši:

d) najviše dva memorijska pristupa

287. Pojavu koja uzrokuje zastoje protočne arhitekture nazivamo:

b) hazardom

286. Kakvo prosljeđivanje može pomoći kod zakašnjele instrukcije čitanja (i označava redni broj instrukcije)?

c) $ID[i] \rightarrow IF[i+2]$

149. Ubrzanje arhitekture MIPS uslijed protočnosti je:

d) najviše 5 puta

186. Koncept protočnosti je koristan jer omogućava:

b) iskorištavanje instrukcijskog paralelizma

132. Zašto su arhitekture CISC manje pogodne za izvedbu protočnosti od arhitekture RISC?

b) zbog resursnih konflikata koje je teško zaobići

285. Utjecaj podatkovnih hazarda RAW na performansu računala ne može se ublažiti:

c) internim prosljeđivanjem rezultata

21. Slijed instrukcija `load r5, 20(r1); add r2, r1, r5` može rezultirati:

b) hazardom tipa RAW

131. Pretpostavimo da računalo s dobro popunjenom 5-segmentnom protočnom strukturom preinačimo tako da dvostruko ubrzamo samo jedan segment. Efekt na performansu biti će:

b) nikakav

283. Teško rješivi hazardi tipa RAW tipično nastaju nakon :

a) instrukcije load

285. Utjecaj podatkovnih hazarda RAW na performansu računala ne može se ublažiti:

c) internim prosljeđivanjem rezultata

266. Odnos latencije i takta procesora. (paziti na formu pitanja jer je već bilo „podvala“ na teoriji/blitz)

a) 1:100 (Tj. MEM ima veći Latenciju nego takt procesora, tj memorija je sporija i „koči“ obradu a iz drugih izvora se taj omjer uzima i 1:300)

267. Nedostaci LRU algoritma zamjene blokova?

a) skupa implementacija za više od dvostruke asocijativnosti

268. Što ne sadrži linija priručne memorije?

d) bitove za prava pristupa

263. Najveći nedostatak modernih memorija DRAM je:

c) velika latencija

218. Za vektorske instrukcije raspršivanja vrijedi da:

a) spremaju više skalara na memorijske lokacije koje ne moraju biti uzastopne

(Pomoću nje se U memoriju pohranjuje rijetko popunjeni vektor)

219. Za vektorske instrukcije redukcije vrijedi da:

b) iz dva vektorska operanda proizvode skalarni operand

220. Performansa procesora veća je ako je:

c) manji prosječan broj perioda po instrukciji CPI

221. Za vektorske instrukcije maskiranja vrijedi da:

a) iz dva vektorska operanda proizvode vektorski operand

222. Disipacija snage procesora ovisi:

c) linearno o frekvenciji signala vremenskog vođenja

223. Paralelizam na razini dretvi i procesa isključivo se koristi:

b) na razini kombinacije arhitekture i operacijskog sustava

224. Faktor ubrzavanja za istodobno izdavanje najviše 15 instrukcija iznosi:

c) oko 3

294. Što od navedenog ne spada u iskorišteni funkcijski paralelizam ?

d) podatkovni paralelizam

297. Koncept EPIC odnosi se na :

b) eksplicitno izražen paralelizam na razini instrukcija

(Intel IA-64 Itanium, Merced Itanium)

279. Višetračna vektorska obrada podrazumijeva::

a) višestruke funkcijske jedinice

294. Što od navedenog ne spada u iskorišteni funkcijski paralelizam ?

d) podatkovni paralelizam

4. Što se događa ako se podaci u cache odmah nakon promjene ne spremaju u DRAM?

d) gubitak koherencije - nisam siguran

298. 6 glavnih vektorskih instrukcija (nije pitanje ali jedna od tvrdnji se obično pojavi...)

1. Instrukcije vektor <-> vektor

2. Instrukcije vektor <-> skalar

3. Instrukcije vektor <-> memorija

4. Instrukcija redukcije (pretvara vektor u skalar)

5. Instrukcije okupljanja (učitavanje iz MEM) i raspršivanja (pohranjivanje u MEM)

6. Instrukcije maskiranja (sažima ili proširuje izvorni vektor)

140. Kako vektoriziranje algoritma utječe na učestalost hazarda:

c) povećava broj hazarda RAW

Bilo je neko pitanje sa propusnosti:

Cell dvojezgreni procesor (razvijen u suradnji tvrtki IBM, Toshiba i Sony, 2006.) koji se sastoji od dvije jezgre, odnosno od dva procesora PowerPC (naziva se PPE – *Power Processing Element*) koji djeluju pod "konvencionalnim" operacijskim sustavom te se koriste za distribuciju poslova **osam vektorskih jedinica SPE (*Synergistic Processing Element*) koje imaju vlastiti SIMD skup instrukcija**. Svaka od SPE, jedinica, koja je u stvari 128 bitni RISC procesor SIMD organizacije, ima svoju vlastitu memoriju izvedene statičkim RAM-om umjesto priručne memorije. PPE i SPE povezani

su pomoću visokopropusne (> 300 GB/s) prstenaste sabirnice podataka nazvane EIB - *Element Interconnect Bus*.

1. Neka je zadano računalo sa stranicama od 4kB. Koliko će najmanje fizičkog RAM-a zauzeti proces koji koristi Ukupno 4097 bajtova memorije? = 8192