

1. kontrolna zadaća iz Arhitekture i organizacije računala teorijski dio. 11.12.2002. Grupa A

Napomene: Obvezatno upisati ime i prezime na početku ispita. Zaokružuje se jedan odgovor. Točan odgovor donosi jedan pozitivan, a pogrešno zaokružen odgovor jedan negativan bod (ukoliko nije zaokružen niti jedan odgovor nema negativnih bodova). Ukupno trajanje ispita je 120 min, a vrijeme za rješavanje teorijskog dijela ispita je maksimalno 35 min. Za prolaznu ocjenu potrebno je prikupiti najmanje 50% mogućih bodova iz svakog dijela ispita. (Ispitne zadatke sastavio prof. dr. sc. S. Ribarić.)

Ime i prezime: _____, broj indeksa: _____.

1. Vanjska memorija Turingovog stroja je:
 - a) s lijeve strane ograničena vrpca podijeljena na polja;
 - b) s desne strane ograničena vrpca podijeljena na polja;
 - c) vrpca podijeljena na polja koja se po potrebi pridodaju s lijeve ili/i desne strane;
 - d) vrpca konačne duljine podijeljena na polja.
2. Logički blok Turingovog stroja može se prikazati kao crna kutija:
 - a) s ulazima iz $S \times Q$ i izlazima $S \times P \times Q$;
 - b) s ulazima iz $Q \times Q$ i izlazima $S \times Q$;
 - c) s ulazima iz $S \times P$ i izlazima $S \times P \times Q$;
 - d) s ulazom iz Q i izlazima $S \times P \times Q$.
3. k-ta konfiguracija Turingovog stroja temelji se na definiciji stanja stroja, položaja glave i informacije zapisane na vrpci:
 - a) na kraju k-tog takta;
 - b) tijekom k-tog takta;
 - c) na početku k-tog takta;
 - d) nakon k-2 takta.
4. Flynnova klasifikacija arhitekture temelji se na:
 - a) višestrukosti instrukcijskog toka;
 - b) broju sabirničkih struktura;
 - c) višestrukosti toka podataka;
 - d) višestrukosti instrukcijskog toka i toka podataka.
5. Glavne sastavne komponente arhitekture računala su:
 - a) hardware i software;
 - b) firmware, software i hardware;
 - c) sklopovska oprema, programska oprema i humanware;
 - d) monitor, operacijski sustav i komunikacijski podsustav.
6. Programski model SRISC procesora sastoji se od:
 - a) 32 32-bitna registra opće namjene, 32-bitnog programskog brojila, 16-bitnog registra stanja i 32-bitnog instrukcijskog registra;
 - b) 16 32-bitnih registara opće namjene, 32-bitnog programskog brojila i 16-bitnog instrukcijskog registra;
 - c) 32 32-bitna registra opće namjene, 32-bitnog programskog brojila, 32-bitnog instrukcijskog registra te 32-bitnog brojila podataka;
 - d) 32 32-bitna registra opće namjene, 32-bitnog programskog brojila i 32-bitnog instrukcijskog registra.
7. SRISC procesor upotrebljava:
 - a) Big-Endian Byte Ordering;
 - b) Little-Endian Byte Ordering;
 - c) Promjenjivi slijed uređenja bajtova;
 - d) 32-bitne riječi kao osnovne adresirljive jedinice te je stoga uređenje bajtova nevažno.
8. Adresna sabirnica računala:
 - a) je dvosmjerna sabirnica koja izvire i ponire u procesoru;
 - b) jednosmjerna sabirnica koja ponire u procesoru;
 - c) jednosmjerna sabirnica koja izvire iz procesora;
 - d) sabirnica za prijenos adresa isključivo memorijskom modulu.
9. Adresna sabirnica širine 24 bita (A0 – A23) određuje adresni prostor (kojem je adresirljiva jedinica bajt) veličine:
 - a) 8 MB;
 - b) 4 GB;
 - c) 16 MB;
 - d) 16 GB.
10. Model von Neumannovog računala podrazumijeva:
 - a) da su instrukcije i podaci svedeni na numerički kod te da su zato pohranjene u dvije odvojene memorijske jedinice;
 - b) da su instrukcije svedene na binarni kod a podaci predočeni u notaciji potpunog komplementa po bazi 3;
 - c) da su instrukcije i podaci svedeni na numerički kod te da su pohranjeni u jednoj memorijskoj jedinici;
 - d) da su instrukcije ožičene a podaci pohranjeni u polju bistabila.
11. Izvorni von Neumannov model procesora je:
 - a) temeljen na dva akumulatora – dvoakumulatorsko orijentirani procesor;
 - b) jednoakumulatorsko orijentirani procesor;
 - c) registarsko orijentirani procesor;
 - d) procesor temeljen na registarskim oknima.
12. CISC procesor obično ima upravljačku jedinicu:
 - a) ostvarenu sklopovski;
 - b) ostvarenu kombinacijom mikroprogramiranja i nanoprogramiranja;
 - c) ostvarenu sekvencijalnim sklopovima;
 - d) ostvarenu kombinacijskim sklopovima.

13. Tipičan broj cjelobrojnih registara za RISC procesor je:
 - a) od 8 do 16;
 - b) do 32;
 - c) manji od 16;
 - d) 32 ili više registara.
14. U pojednostavljenom modelu mikroprocesora CISC arhitekture, registar DC – brojilo podataka:
 - a) sadrži broj bajtova dohvaćenih tijekom faze PRIBAVI;
 - b) sadrži broj bajtova dohvaćenih tijekom faze IZVRŠI;
 - c) sadrži broj riječi od kojih se sastoji instrukcija;
 - d) sadrži adresu operanda.
15. Sabirnička jedinica (engl. Bus Unit) može se promatrati kao stroj stanja koji ima:
 - a) stanje Address Time i stanja Data Time od kojih svako traje po 2 periode signala PCLK;
 - b) stanja Address Time, Data Time i 2 Wait – svaki po 1 periodu PCLK-a;
 - c) stanje Address Time, Access Time i Data Time – svaki po 1 periodu CLOCK;
 - d) stanje Address Time i stanje Data time – svako stanje traje 1 periodu PCLK-a.
16. Karakteristična brzina ISA sabirnice bila je:
 - a) 33 MB/sekundi;
 - b) 4.33 MB/sekundi za 16-bitnu sabirnicu podataka;
 - c) 4.166 MB/sekundi za 8-bitnu sabirnicu podataka i 8.33 MB/sekundi za 16-bitnu sabirnicu podataka;
 - d) 33 MB/sekundi za 8-bitnu sabirnicu podataka i 64 MB/sekundi za 16-bitnu sabirnicu.
17. Rješenje koje su arhitekti u PDP-8 računalu upotrijebili (davnih 60. godina) za prijenos upravljanja između programa i potprograma:
 - a) ne podržava gniježđenje potprograma;
 - b) ne podržava rekurzivno pozivanje potprograma;
 - c) ne podržava gniježđenje niti rekurzivno pozivanje potprograma;
 - d) podržava i gniježđenje i rekurziju.
18. Rekurzivni program P može se prikazati kao:
 - a) kombinacija osnovnih instrukcija S_i i samog programa P;
 - b) slijedni uređaj programa P i glavnog programa S_i -P;
 - c) kompozicija osnovnih instrukcija S_i (koje ne sadrže P) i samog programa P;
 - d) kombinacija osnovnih instrukcija S_i (koje ne sadrže P) i samog programa P ali tako da ima svojstvo tranzitivnosti.
19. Sklopovski stog dubine 64 16-bitnih riječi ostvaruje se sa:
 - a) 64 16-bitna posmačna registra;
 - b) 16 64-bitnih posmačnih registara;
 - c) 16 16-bitnih posmačnih registara;
 - d) 32 32-bitna posmačna registra.
20. U većini stogova ostvarenih programski stog raste:
 - a) prema rastućim adresama;
 - b) prema rastućim adresama ali tek kad dosegne vrijednost sadržanu u registru B;
 - c) prema padajućim adresama;
 - d) prema rastućim ili padajućim adresama u ovisnosti od zastavice DIR u statusnom registru.
21. Mjera za performansu procesora koja se temelji na srednjoj geometrijskoj vrijednosti performansi većeg broja ispitnih programa je:
 - a) MIPS;
 - b) MOPS;
 - c) MFLOPS;
 - d) SPECMarks.
22. Troadresni format instrukcije je karakterističan za:
 - a) CISC procesore;
 - b) RISC procesore;
 - c) CISC procesore koji imaju RISC jezgru;
 - d) CISC i RISC procesore.
23. Procesor MC 68000 ima:
 - a) dva načina rada: nadgledni i korisnički;
 - b) više načina rada organiziranih u 7 razina;
 - c) tri načina rada: privilegirani, nadgledni i korisnički;
 - d) samo jedan način rada.
24. Prijelaz iz korisničkog u nadgledni način rada (za MC 68000) može se ostvariti:
 - a) posebnom instrukcijom RTSU (Return from Supervisor to User);
 - b) posebnom instrukcijom kojom se zastavica S postavlja u 0;
 - c) samo iznimkom;
 - d) samo prekidom.
25. U mikroprocesoru MC68000 fizički su realizirana dva registra koja imaju funkciju kazala stoga i to:
 - a) 32-bitni registri d7 i d7';
 - b) 32-bitni registar a7 i 32-bitni registar d7';
 - c) 32-bitni registri a7 i a7';
 - d) posebni registri koji se ne promatraju kao adresni registri iz skupa a0 – a7, već su to USP i SSP.