

Zavod za elektroniku, mikroelektroniku  
računalne i inteligentne sustave

## Arhitektura računala 2

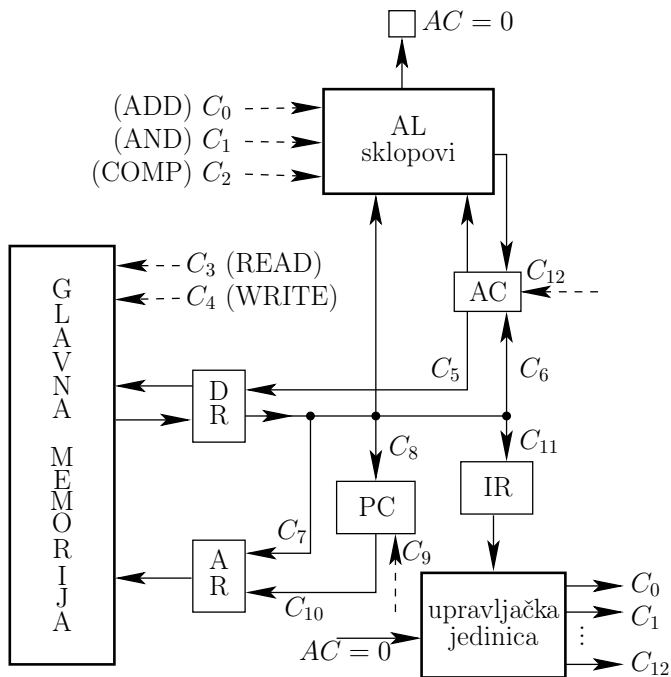
### 2. međuispit, problemski dio (60% bodova)

1. (14 bodova) Preinačite model osaminstrukcijskog procesora sa slike na način da dodate instrukciju indirektnog skoka (**jmp i**), u kojoj se odredišna adresa grananja pribavlja s adrese specificirane operandom instrukcije. Odredite jednadžbe signala koji upravljaju pribavljanjem i izvođenjem instrukcije **jmp i**.
2. (14 bodova) Za model mikroprogramiranog procesora koji je zadan slikom i formatom mikroriječi, napisati mikroprogram i odrediti sadržaj mikroprogramske memorije za fazu IZVRŠI instrukcije **absb** (Absolute B) čiji je operacijski kod **\$ab**. Instrukcija **absb** u registar B upisuje apsolutnu vrijednost njegovog prethodnog sadržaja. Neka mikropotprogram za fazu PRIBAVI ima početnu adresu **\$f0**.
3. (12 bodova) Predložiti izvedbu registarskog skupa za procesor s osam 16-bitovnih registara opće namjene, ako je potrebno u svakom ciklusu moći istovremeno pročitati dva te upisati do dva registra. U izvedbi koristiti osnovne digitalne sklopove (registre, dekodere, sklopove s tri stanja).
4. (10 bodova) Skicirati dio puta podataka protočne arhitekture MIPS koji je aktivan tijekom izvođenja instrukcija **bezuovjetnog relativnog grananja**, te obrazložiti takvu organizaciju. Navesti sve aktivnosti na putu podataka grupirane prema protočnim segmentima tijekom kojih se događaju.

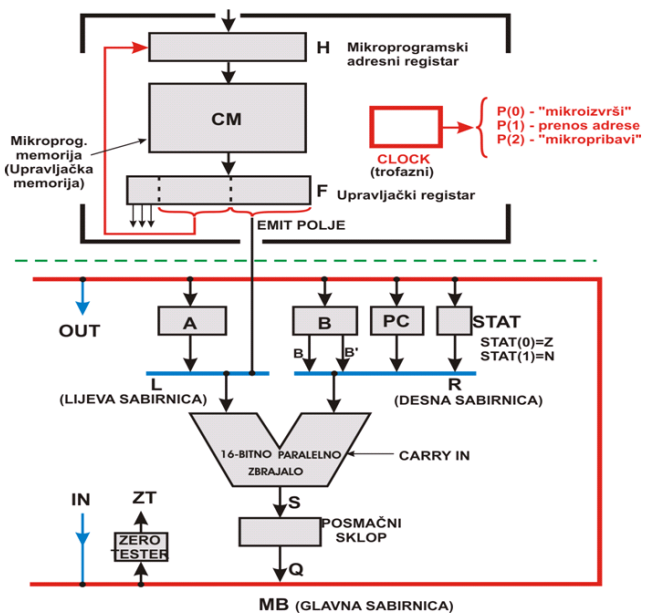
Bonus. U skicu ucrtati sklop u kojem se računa odredišna adresa grananja, te detaljno prikazati kako se on spaja s ostalim komponentama na putu podataka.

5. (10 bodova) Predložiti sučelje i izvedbu brojila sekvenci koje bi bilo prikladno za korištenje u implementaciji osaminstrukcijskog procesora sa slike. U izvedbi prema potrebi koristiti osnovne digitalne sklopove (registre, bistabile, dekodere, itd).

Bonus. Prikazati potrebne modifikacije osnovnog sklopa kojima bi se po potrebi omogućilo skraćivanje ciklusa brojanja. Napisati logičke jednadžbe signala koji upravlja skraćivanjem ciklusa, za osnovni model osaminstrukcijskog procesora.



Slika uz zadatke 1 i 5: organizacija osaminstrukcijskog procesora



Slika uz zadatak 2: organizacija mikroprogramiranog procesora

31	29	26	24	22	19	17	15	13	7	0
CA	CB	COP	CSH	CMB	CAB	CBB	CST	CNA	CEM	

CA	CB	COP	CSH
00 ... nema prijenosa	000 ... nema prijenosa	00 ... suma uz C=0	00 ... MB ← S
01 ... L ← [0, F(CEM)]	001 ... R ← B	01 ... suma uz C=1	01 ... MB ← shr S
10 ... L ← [F(CEM), 0]	010 ... R ← B*	10 ... ne koristi se	10 ... MB ← shl S
11 ... L ← A	011 ... R ← PC	11 ... ne koristi se	11 ... MB ← IN
	100 ... R ← SR		
	101 ... R ← 0		
CMB	CAB	CBB	CST
000 ... nema prijenosa	00 ... H(1) ← 0	00 ... H(0) ← 0	00 ... SR se ne mijenja
001 ... A ← MB	01 ... H(1) ← 1	01 ... H(0) ← 1	01 ... SR(0) ← ZT
010 ... B ← MB	10 ... H(1) ← SR(1)	10 ... H(0) ← SR(1)	10 ... SR(1) ← MB(15)
011 ... PC ← MB	11 ... H(1) ← SR(0)	11 ... H(0) ← MB(15)	11 ... SR(0) ← ZT
100 ... SR ← MB			SR(1) ← MB(15)
101 ... OUT ← MB			

Slika uz zadatak 2: format mikroistrukcijske riječi