

# 1. kontrolna zadaca iz Arhitekture i organizacije racunala teorijski dio.

11.12.2004.

**Napomene:** Obavezatno upisati ime i prezime na pocetku ispita. Zaokružuje se jedan odgovor. Tocan odgovor donosi jedan pozitivan, a pogrešno zaokružan odgovor jedan negativan bod (ukoliko nije zaokružan niti jedan odgovor nema negativnih bodova). Vrijeme za rješavanje teorijskog dijela ispita iznosi 35 min. Za prolaznu ocjenu potrebno je prikupiti najmanje 50% mogucih bodova iz svakog dijela ispita. (Ispitne zadatke sastavio prof. dr. sc. S. Ribaric.)

Ime i prezime: \_\_\_\_\_, JMBAG: \_\_\_\_\_.

1. Prva – najniža razina programske opreme u hijerarhijskom modelu racunala je:  
☒ a) jezgra operacijskog sustava  
b) uslužni programi, editori, punioci  
c) assembler  
d) prevodioci
2. Oznacite funkciju koju ne obavlja monitor:  
a) organizira kooperativne procese  
b) dodjeljuje resurse racunalnog sustava  
c) uspostavlja komunikaciju između dva procesa  
☒ d) prevodi programe iz viših programskih jezika u strojni jezik
3. Turingov stroj može se formalno opisati kao:  
a)  $(Q, b, \delta)$   
b)  $(q_0, S)$   
c)  $(S, T, \delta, q_0, q_f)$   
☒ d)  $(Q, S, T, b, q_0, q_f, \delta)$
4. Obrada informacije u Turingovom stroju odvija se u:  
a) vanjskoj memoriji  
☒ b) logickom bloku  
c) jedinici Q  
d) jedinici P
5. Funkcija logickog bloka Turingovog stroja opisana je sa:  
☒ a)  $S \times Q \rightarrow S \times Q \times P$   
b)  $S \times Q \rightarrow Q \times P$   
c)  $S \times Q \times P \rightarrow S \times Q \times P$   
d)  $Q \rightarrow S$
6. k-ta konfiguracija Turingovog stroja podrazumijeva:  
a) sliku vrpce stroja, položaj glave za citanje i pisanje, te unutarnje stanje stroja na kraju k-tog takta  
☒ b) sliku vrpce stroja, položaj glave za citanje i pisanje, te unutarnje stanje stroja na pocetku k-tog takta  
c) sve simbole vanjske abecede zapisane na pocetku k-tog takta  
d) sve simbole vanjske abecede s oznakom položaja glave za citanje i pisanje na pocetku k-tog takta
7. Registar *brojilo podataka DC* u pojednostavljenom modelu mikroprocesora sadrži:  
a) adresu sljedece instrukcije  
b) adresu programskog brojila  
☒ c) adresu operanda  
d) adresu instrukcije
8. Instrukcijski registar IR u pojednostavljenom modelu mikroprocesora sadrži:  
a) instrukciju cije je pribavljanje u tijeku  
☒ b) tekucu instrukciju  
c) adresu operacijskog koda instrukcije  
d) adresu operanda
9. Privremeni registar PR pojednostavljenog modela mikroprocesora:  
a) je komponenta programskog modela procesora  
☒ b) nije komponenta programskog modela procesora  
c) u zavisnosti od nacina adresiranja može biti komponenta programskog modela  
d) je adresni registar procesora
10. Navedite osnovne kategorije racunala u skladu s Flynnovom klasifikacijom i oznacite onu koja se ne može fizicki realizirati:  
a) \_\_\_\_\_ b) \_\_\_\_\_  
c) \_\_\_\_\_ d) \_\_\_\_\_
11. Sabimicka jedinica (engl. Bus Unit) može se prikazati kao stroj stanja s:  
☒ a) dva stanja  
b) tri stanja  
c) cetiri stanja  
d) pet stanja
12. Sabimicki ciklus za intelove mikroprocesore s nula stanja cekanja obicno traje:  
a) dvije periode clock-a C  
☒ b) dvije periode procesorskog clock-a PCLOCK  
c) 50 nsec  
d) cetiri periode procesorskog clock-a PCLOCK

13. U idealiziranom protocnom modelu, faktor ubrzanja jednak je:
- ☒ dubini protodne strukture
  - omjeru  $t_s$ , gdje je T perioda clock-a, a  $t_s$  vrijeme obrade u protocnom segmentu
  - vremenu  $t_s$
  - faktoru N, gdje je N broj identicnih zadataka
14. Instrukcija NOP u protocnoj strukturi RISC procesora:
- služi samo za ostvarivanje operacije "ne radi ništa" i samo troši vrijeme
  - ☒ "ne radi ništa", no služi i za rješavanje hazarda i tumaci se kao umetanje "protocnog mjehurica"
  - se ne pojavljuje jer je nepotrebna
  - služi za sinkronizaciju dretvi
15. Minimalni kontekst tijekom prekida za procesor MC68000 sastoji se od:
- 4-bajtnog PC-a i 1-bajtnog (sistemski bajt) statusnog registra SR
  - 4-bajtnog PC-a i 4-bajtnog sistemskog kazala stoga SSP
  - ☒ 4-bajtnog PC-a i 2-bajtnog statusnog registra SR
  - PC-a, SR-a i registara D0-D7
16. Procesor MC68000:
- ima signalnu liniju potvrde prekida IACK
  - ima signalnu liniju potvrde prekida IACK
  - Nema signalnu liniju potvrde prekida, vec se ona oblikuje kao  $FC0 \vee FC1 \vee FC2$
  - ☒ Nema signalnu liniju potvrde prekida, vec se ona oblikuje kao  $FC0 \bullet FC1 \bullet FC2$
17. Nulta stranica racunala na bazi MC68000 obicno je velicine:
- 128 bajtova
  - ☒ 1024 bajtova
  - 516 bajtova
  - 32 K bajtova
18. Iz korisnickog nacina rada mikroprocesor MC68000 prelazi u nadgledni nacin rada:
- samo instrukcijom RTE
  - samo obnavljanjem sadržaja SR-a
  - ☒ samo iznimkom
  - samo RESETom
19. Pocetni sadržaj sistemskog kazala stoga može se definirati:
- ☒ iznimkom RESET
  - povlašćenom instrukcijom u korisnickom nacinu rada
  - samo iznimkom BUS ERROR
  - instrukcijom RESET
20. SRISC model procesora ima sljedecu znacajku:
- koristi Little-Endian Byte Ordering
  - ☒ koristi Big-Endian Byte Ordering
  - 8-bitni je procesor pa nema smisla govoriti o uredenju slijeda bajtova
  - ima fiksni 32-bitni format podataka zahvaljujuci adresnoj zmatosti od 4 bajta
21. Odredite adresne potprostore koji se mogu definirati širenjem bita predznaka za SRISC:
- donja granica: \_\_\_\_\_ gomja granica: \_\_\_\_\_
  - donja granica: \_\_\_\_\_ gomja granica: \_\_\_\_\_
22. Izvođenje instrukcije *lar ra, C1* ima ce za posljedicu:
- $R[ra] = \text{adresa operanda odredena s } C1 \text{ tako da se primijeni širenje bita predznaka}$
  - $R[ra] = \text{operand s adrese } C1$
  - ☒  $R[ra] = PC + C1$
  - $R[ra] = R[rb + C1]$
23. Navedite bitnu razliku u izvođenju instrukcija *brmv* – nikad ne granaj i *brlmv*.
24. SRISC procesor ima:
- ☒ trosabirnicku strukturu
  - dvosabirnicku strukturu
  - jednosabirnicku strukturu
  - dvosabirnicku strukturu i poseban bacvasti posmacni sklop
25. Navedite nacine pristupa operandima u memoriji (za SRISC) i to izvan podrucja koje je odredeno izravno širenjem bita predznaka:
- \_\_\_\_\_
  - \_\_\_\_\_