

**Arhitektura računala 2**  
**2. međuispit – ak. god. 2008/09**  
**Teorijski dio – Grupa D**  
(40% bodova – 20 pitanja)  
*by [Tomislav](#)*

- 1) Čitanje registarskog operanda u tipičnoj RISC arhitekturi odvija se:
- a) nakon dekodiranja operacijskog koda
  - b) prije pribavljanja instrukcije
  - c) usporedno s dekodiranjem instrukcije
  - d) za vrijeme pribavljanja instrukcije
- Rješenje: C
- 2) Koja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju:
- a) pristup memoriji
  - b) upis pročitano podatka u odredišni registar
  - c) određivanje efektivne adrese
  - d) zbrajanje dvaju registara
- Rješenje: C
- 3) Računanje odredišta relativnog grananja u arhitekturi MIPS odvija se:
- a) prije pribavljanja instrukcije
  - b) usporedno s pristupom podatkovnoj memoriji
  - c) za vrijeme pribavljanja instrukcije
  - d) usporedno s dekodiranjem instrukcije
- Rješenje: D
- 4) Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:
- a) memorija
  - b) registarski skup
  - c) zbrajala
  - d) sklopovi za grananje
- Rješenje: A
- 5) Mikroprogramski procesor s predavanj omogućava
- a) uvjetno mikrogrananje s obzirom na zastavicu X
  - b) uvjetno mikrogrananje s obzirom na predznak podatka na glavnoj sabirnici
  - c) zakašnjelo grananje
  - d) uvjetno mikrogrananje s obzirom na zastavicu C
- Rješenje: B
- 6) Adresa sljedeće mikroinstrukcije ne može se dobiti:
- a) prijenosom adresnog polja u mikroriječ
  - b) prijenosom usputne konstante makroinstrukcije
  - c) povećanjem mikroprogramskog brojala za 1
  - d) prijenosom operacijskog koda makroinstrukcije
- Rješenje: B
- 7) Instrukcije osaminstrukcijskog procesora:
- a) mogu imati sve operande u memoriji
  - b) nemaju memorijske operande
  - c) uvijek imaju sve operande u registrima
  - d) mogu imati najviše jedan memorijski operand
- Rješenje: D

- 8) Koncept protočnosti je koristan jer omogućava:
- a) CISC arhitekturama da se po performansi izjednače s RISC-om
  - b) istu performansu uz manji broj tranzistora
  - c) iskorištavanje instrukcijskog paralelizma
  - d) smanjivanje potrebnog broja registara
- Rješenje: C
- 9) Slijed instrukcija `load r5,20(rl); add r2, rl,r5` može rezultirati:
- a) hazardom tipa WAR
  - b) hazardom tipa RAW
  - c) hazardom tipa RAR
  - d) hazardom tipa WAW
- Rješenje: B
- 10) Arhitektura MIPS u svakom ciklusu signala takta izvrši:
- a) uvijek točno dva memorijska pristupa
  - b) najviše jedan memorijski pristup
  - c) uvijek točno jedan memorijski pristup
  - d) najviše dva memorijska pristupa
- Rješenje: D
- 11) Ako je registar R s odvojenim izvodima za čitanje i pisanje spojen na dijeljenu sabirnicu, sklopovi s tri stanja su:
- a) nepotrebni, ali ne ometaju normalan rad
  - b) potrebni samo kod čitanja registra R
  - c) potrebni kod bilo kojeg prijenosa podataka u ili iz registra R
  - d) nepotrebni i ometaju normalan rad
- Rješenje: B
- 12) U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testiranju):
- a) vrijednost SPECmarka ne ovisi o vrijednosti MHz
  - b) MHz je relevantniji pokazatelj performanse
  - c) SPECmark je čimbenik performanse, a MHz pokazatelj
  - d) MHz je čimbenik performanse, a SPECmark pokazatelj
- Rješenje: D
- 13) Za upravljačku jedinicu osaminstrukcijskog procesora vrijedi:
- a) da podržava instrukcijski skup RISC
  - b) da se ne može izvesti mikroprogramiranjem
  - c) da se može izvesti poljem PLA
  - d) da je izvedena mikroprogramiranjem
- Rješenje: C
- 14) Koji nedostatak Von Neumannove memorijske organizacije je izbjegnut u Harvardskoj memorijskoj organizaciji:
- a) jedinstvena sabirnica za podatke i instrukcije
  - b) dugačko vrijeme pristupa
  - c) bajtna zrnatost
  - d) loša propusnost
- Rješenje: A
- 15) Koja komponenta modernog računala nije bila prisutna u originalnoj Von Neumannovoj arhitekturi:
- a) aritmetička jedinica
  - b) priručna memorija podataka
  - c) interna sabirnica
  - d) radna memorija
- Rješenje: B

- 16) Svih 5 segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:
- a) instrukcija uvjetnog grananja
  - b) instrukcija pisanja u memoriju
  - c) instrukcija čitanja iz memorije
  - d) instrukcija bezuvjetnog grananja
- Rješenje: C
- 17) Tipično, mikroprogram koji implementira fazu izvrši makroinstrukcijski završava
- a) upisom nove vrijednosti u programsko brojilo
  - b) pozivom mikroprograma za fazu pribavi
  - c) prozivanjem nanoprogramske memorije
  - d) upisom rezultata u radnu memoriju
- Rješenje: B
- 18) Neka  $w(R)$  označava broj bitova registara. Tada za osaminstrukcijski procesor vrijedi:
- a)  $w(MAR) > w(MDR)$
  - b)  $w(AC) = w(PC)$
  - c)  $w(MDR) - w(PC) = w(MAR)$
  - d)  $w(IR) + w(PC) = w(MDR)$
- Rješenje: D
- 19) Koja od navedenih komponenti nije element puta podataka
- a) interna sabirnica
  - b) aritmetičko-logička jedinica
  - c) priručna memorija podataka
  - d) radna memorija
- Rješenje: D
- 20) Za tipične horizontalne mikroinstrukcije vrijedi:
- a) mogu nezavisno upravljati sklopovljem
  - b) instrukcijska riječ im je kraća od 16 bitova
  - c) pobuđuju po 1 mikrooperaciju
  - d) imaju sporiji odziv od alternativnih pristupa
- Rješenje: A

**Napomena:** točna rješenja su prepisana sa Ahyco-a.