

1. U kakvom su odnosu radna frekvencija procesora  $f$  i rezultat na cjelobrojnem SPEC-ovom testu SPECint2000?

- (a) vrijednost SPECmarka ne ovisi o vrijednosti  $f$ -a
- ☒ (b)  $f$  je čimbenik performanse, a SPECmark pokazatelj
- (c)  $f$  je relevantniji pokazatelj performanse
- (d) SPECmark je čimbenik performanse, a  $f$  pokazatelj

2. Većina instrukcija arhitekture x86 podržava:

- ☐ (a) 0 memorijskih operanada
- ☒ (b) 1 memorijski operand
- (c) 3 memorijska operanda
- (d) 4 memorijska operanda

3. Čitanje registarskih operanada u tipičnoj RISC arhitekturi odvija se:

- ☒ (a) usporedno s dekodiranjem instrukcije
- (b) za vrijeme pribavljanja instrukcije
- ☐ (c) usporedno s pristupom podatkovnoj memoriji
- (d) nakon dekodiranja operacijskog koda

4. Flynnova klasifikacija temelji se na:

- (a) širini adresne sabirnice
- ☒ (b) brojnosti podatkovnih i upravljačkih tokova
- (c) širini operacijskog koda
- (d) složenosti instrukcijskog skupa

5. Višetračna vektorska obrada podrazumijeva:
- (a) jednu neprotočnu funkcijsku jedinicu
  - (b) isključivo računanje transcendentnih funkcija (npr. sqrt)
  - (c) isključivo cjelobrojne vektorske registre
  - ☒ (d) višestruke funkcijske jedinice
6. Objektni moduli programskog jezika C na arhitekturi x86 tipično predviđaju relociranje sljedećih elemenata programske sekcije:
- ☒ (a) svih instrukcija grananja na potprograme izvan modula
  - (b) svih instrukcija grananja
  - (c) svih instrukcija uvjetnog grananja i grananja na potprograme
  - (d) svih instrukcija uvjetnog grananja
7. Za arhitekture tipa VLIW je specifično da se usporedno izvođenje slijednog programa pspješuje prvenstveno:
- (a) malom ali brzom priručnom memorijom
  - (b) adresnim preslikavanjem
  - ☒ (c) statičkim raspoređivanjem instrukcija tijekom prevođenja
  - (d) dinamičkim raspoređivanjem instrukcija u sklopovlju procesora
8. Kada osaminstrukcijski procesor sadržaj registra MDR prosljeđuje u akumulator?
- (a) u fazi izvrši instrukcije st
  - (b) u fazi izvrši instrukcija grananja
  - (c) u fazi pribavi
  - ☒ (d) u fazi izvrši instrukcije ld
9. Ubrzanje arhitekture MIPS uslijed protočnosti je:
- (a) točno 5 puta
  - ☒ (b) najviše 5 puta
  - (c) najviše 4 puta
  - (d) najmanje 5 puta
10. Koji je glavni nedostatak algoritma LRU za zamjenu blokova priručne memorije?
- (a) prevelik pritisak na propusnost glavne memorije
  - ☒ (b) složena implementacija za više od dvoele-mentne asocijativnosti
  - (c) slabo korištenje prostorne lokalnosti
  - (d) gubitak koherencije u višeprocorskom sustavu
11. Elementarna sklopovska operacija naziva se:
- (a) makroinstrukcija
  - ☒ (b) mikrooperacija
  - (c) makrofag
  - (d) mikroinstrukcija
12. Paralelizam na razini programskih petlji je klasificiran kao:
- (a) kombinacija fino zmatog i srednje zmatog
  - (b) niti jedan od ponuđenih odgovora nije točan
  - ☒ (c) srednje zmatati
  - (d) grubo zmatati
13. Koji od ponuđenih odgovora nije memorijska instrukcija arhitekture RISC?
- (a) ldr r1,0x000beef0
  - (b) str r1,-23
  - (c) st r1,(r1)
  - ☒ (d) brl r2,r3
14. Memorijski adresni registar je:
- ☒ (a) spojen i na adresnu i na podatkovnu sabirnicu
  - (b) ponor podatka na adresnoj sabirnici
  - (c) izvor podatka na podatkovnoj sabirnici
  - ☒ (d) izvor podatka na adresnoj sabirnici
15. Zadana je PM s 8 linija po 16B i izravnim preslikavanjem. Podatak na adresi 0xcc smjestit će se u liniju s indeksom:
- (a) 2
  - ☒ (b) 4
  - (c) 1
  - (d) 3
16. Jedna od glavnih prednosti višerazinske stranične tablice je:
- (a) brži pristup straničnoj tablici
  - (b) manja cijena nekorištenih dijelova FAP-a
  - ☒ (c) veća brzina preslikavanja
  - ☒ (d) manja cijena nekorištenih dijelova LAP-a