

*Brzina memorije mjeri se vremenom pristupa
 *Programsko brojilo se inkrementira (povećava za 1), u pravilu Tijekom faze PRIBAVI
 *Memorijski adresni registar M je Izvor adresne sabirnice
 *Između predloženih mjera za ocjenu performanse procesora, najobjektivnija je SPEC marks
 *Instrukcije uvjetnog i bezuvjetnog skoka koriste se za prijenos upravljanja u jednoj programskoj strukturi
 *Struktura stoga podržava rekurzivno pozivanje (po) programa i njihovo gnijezdjenje te gnijezdjenje prekidnih programa
 *Nadgledni način rada mikroprocesora MC 68000 ima sljedeću značajku: na raspolaganju mu je citav skup instrukcija, uključujući i nepovlaštene instrukcije
 *Glavne sastavne komponente arhitekture računala su sklopovska oprema, programska oprema i humanware
 *Programski model SRISC procesora sastoji se od 32 32-bitna registra opće namjene, 32-bitnog programskog brojlara i 32-bitnog instrukcijskog registra
 *SRISC procesor upotrebljava Big-Endian Byte Ordering
 *Adresna sabirnica računala je jednosmjerna sabirnica koja izvire iz procesora
 *Adresna sabirnica širine 24 bita (A0 – A23) određuje adresni prostor (kojem je adresirljiva jedinica bajti veličine 16 MB
 *Model von Neumannovog računala podrazumijeva da su instrukcije i podaci svedeni na numerički kod te da su pohranjeni u jednoj memorijskoj jedinici
 *Izvorni von Neumannov model procesora je temeljen na dva akumulatora – dvoakumulatorsko orijentirani procesor
 *CISC procesor obično ima upravljačku jedinicu ostvarenu kombinacijom mikroprogramiranja i nanoprogramiranja
 *Tipičan broj cjelobrojnih registara za RISC procesor je 32 ili više registara
 *U pojednostavljenom modelu mikroprocesora CISC arhitekture, registar DC – brojilo podataka sadrži adresu operanda
 *Sabirnička jedinica (engl. Bus Unit) može se promatrati kao stroj stanja koji ima stanje Address Time i stanje Data Time – svako stanje traje 1 periodu CLK-a
 *Karakteristična brzina ISA sabirnice bila je 4.166 MB/sekundi za 8-bitnu sabirnicu podataka i 8.33 MB/sekundi za 16-bitnu sabirnicu podataka
 *Rješenje koje su arhitekti u PDP-8 računalo upotrijebili (davnih 60. godina) za prijenos upravljanja između programa i potprograma ne podržava rekurzivno pozivanje potprograma
 *Rekurzivni program P može se prikazati kao kompozicija osnovnih instrukcija Si (koje ne sadrže P) i samog programa P
 *Sklopovski stog dubine 64 16-bitnih riječi ostvaruje se sa 16 64-bitnih posmacnih registara
 *U većini stogova ostvarenih programski stog raste prema padajućim adresama
 *Mjera za performansu procesora koja se temelji na srednjoj geometrijskoj vrijednosti performansi većeg broja ispitnih programa je SPECMarks
 *Troadresni format instrukcije je karakterističan za RISC procesore
 *Procesor MC 68000 ima dva načina rada: nadgledni i korisnički
 *Prijelaz iz korisničkog u nadgledni način rada (za MC 68000) može se ostvariti samo iznimkom
 *U mikroprocesoru MC 68000 fizički su realizirana dva registra koja imaju funkciju kazala stoga i to 32-bitni registri a7 i a7
 *Protocnost kao iznimno važan koncept značajan je za RISC i CISC arhitekturu
 *Značajka Load/Store arhitekture specifična RISC arhitekturu
 *Flynnova klasifikacija temelji se na toku podataka i instrukcijskom toku
 *Napisi koje se kategorija arhitekture prema Flynnu strogo teorijski gledano ne može fizički ostvariti: MISD
 *Izvorni model von Neumannovog računala imao je programsko brojilo duljine 13 bita jer su u 40-bitnoj riječi bile smještene dvije instrukcije, a ukupni kapacitet memorije bio je 2^{12} 40-bitnih riječi
 *Pretpostavite da je SRAM memorijski modul kapaciteta 64K bajtova. Uz pretpostavku adresne znatnosti riječi (16-bita), minimalna potrebna širina adresne sabirnice jest 15 bita
 *SRISC procesor ima instrukcije uvjetnog grananja tako izvedene da je uvjet grananja dobiven ispitivanjem sadržaja jednog od 32 registra u skupu registara
 *Instrukcija BR1 za SRISC upotrebljava se kao primitiv za ostvarivanje prijenosa upravljanja s jedne programske strukture na drugu
 *Resetom procesor MC 68000 prelazi u nadgledni način rada i postavlja zastavice Si i Ii, Ii, Ii.
 *Minimalni kontekst tijekom prekida (za MC 68000) čine sadržaji statusnog registra i programskog brojlara
 *Povratak iz korisničkog u nadgledni način rada za MC 68000 moguć je samo iznimkom
 *U protocnoj strukturi faktor ubrzanja (za idealan "glatki" tok) jest M, gdje je M broj probćnih segmenata
 *Jedna od osnovnih značajki dataflow arhitekture jest to što raspoloživi podaci određuju skup izvodljivih instrukcija
 *Za većinu procesora memorijski stogovi tako su realizirani da rastu prema padajućim adresama
 *Izvedba koja je upotrijebljena u računalo PDP-8 (za prijenos upravljanja s jedne programske strukture na drugu) podržava gnijezdjenje, ali ne podržava rekurziju
 *VLW arhitektura temelji se na horizontalnom mikroprogramiranju
 *Sklopovska izvedba stoga kapaciteta 64 32-bitne riječi temeljena na posmacima registara zahtijeva 32 64-bitna posmacna registra
 *Prva – najniža razina programske opreme u hijerarhijskom modelu računala je jezgra operacijskog sustava
 *Oznacite funkciju koju ne obavlja monitor prevodi programe iz visih programskih jezika u s trojni jezik
 *Registar brojilo podataka DC u pojednostavljenom modelu mikroprocesora sadrži adresu operanda
 *Instrukcijski registar IR u pojednostavljenom modelu mikroprocesora sadrži tekucu instrukciju
 *Privremeni registar PR pojednostavljenog modela mikroprocesora nije komponenta programskog modela procesora
 *Sabirnička jedinica (engl. Bus Unit) može se prikazati kao stroj stanja s tri stanja
 *Sabirnički ciklus za intelove mikroprocesore s nula stanja čekanja obično traje dvije periode procesorskog clock-a PCLOCK
 *U idealiziranom probćnom modelu, faktor ubrzanja jednak je dubini probćne strukture
 *Instrukcija NOP u probćnoj strukturi RISC procesora "ne radi ništa", no služi i za rješavanje hazarda i tumaci se kao umetanje "protocnog miješurica"
 *Minimalni kontekst tijekom prekida za procesor MC 68000 sastoji se od 4-bajtnog PC-a i 2-bajtnog statusnog registra SR
 *Procesor MC 68000 Nema signalnu liniju potvrde prekida, već se ona oblikuje kao FC0 - FC1 - FC2
 *Nulta stranica računala na bazi MC 68000 obično je veličine 1024 bajtova
 *Pocetni sadržaj sistemskog kazala stoga može se definirati iznimkom RESET
 *Izvođenje instrukcije $ra.C1$ imaće za posljedicu $R[ra] = PC + C1$
 *SRISC procesor ima trosabirničku strukturu
 *SPECmark se izražava kao srednja geometrijska vrijednost performansi za ispitne programe
 *Navedite najnižu razinu hijerarhijskog modela arhitekture računala koja odgovara djelu programske opreme – Monitor
 *Kratice SCSI znači Small Computer Systems Interface
 *Jedinica kruznica u Kiviat grafu (za prikaz arhitektonskih značajki) označava tipične vrijednosti za RISC procesore oblikovane na temelju izvornih nacela RISC arhitekture
 *Osnovna značajka superskalarog RISC procesora je što izdaje i izvršava više od jedne instrukcije tijekom jedne periode signala vremenskog vođenja
 *RISC procesor Alpha 21064 ima izdvojene priručne memorije za instrukcije i podatke
 *Protocna računala i sistoblika polja se klasificiraju u sljedeću Flynnovu kategoriju računala MISD
 *U izvornom Von Neumannovom modelu, ALU jedinica sudjeluje u ulazno-izlaznim (I/O) operacijama

*Pentum procesori imaju izravno adresirajući memorijski prostor 4G. Zato je adresna sabirnica širine 32 bita

*Strojna instrukcija izvornog Von Neumannovog modela bila je jednoadresna

*Binarna operacija u akumulatorski orijentiranom procesoru može se opisati kao $A = [A, M]$

*Tijekom faze PRIBAVI programsko se broji (PC) obavezno povećava

*Binarna celija se sastoji od jednog RS bistabla i kombinacijskih sklopova

*Algoritam obrade u Turingovom stroju određen je s izvedbom upravljačke jedinice odnosno logičkog bloka L

*Brojilo podataka DC u pojednostavljenom modelu CISC procesora ima slijedeću funkciju sadrži adresu operanda

*U operacijskom kodu instrukcije nalazi se i informacija o duljini instrukcije i načinu adresiranja

*Procesor MC68000 ima skup od 8 32-bitnih registara podataka

*Sklopovski stog dubine 32 16-bitnih riječi ostvaruje se sa 16 32-bitnih posmacnih registara

*Rješenje koje su arhitekti u PDP-8 računalo upotrijebili (davnih 60. godina) za prijenos upravljanja između programa i potprograma ne podržava rekurzivno pozivanje potprograma

*Rekurzivno pozivanje potprograma (funkcija ili procedura) može se ostvariti uporabom Stoznog mehanizma (LIFO + kazalo stoga)

*Sklopovski se stog dubine 32 16-bitnih riječi može realizirati najjednostavnije sa 16 32-bitnih posmacnih registara

*Uobičajeno je da stog realiziran programski raste prema padajućim adresama

*Obrada iznimke za procesor MC 68000 se odvija u nadglednom načinu rada

*Mikroprocesor MC 68000 ima slijedeća kazala stogova: 32-bitno USP i 32-bitno SSP

*Povratak iz korisničkog načina rada u nadgledni (za MC68000) moguć je samo uporabom povlaštenih instrukcija koja zastavicu S postavlja u 1

* Osnovna značajka vektorskog prekida je **POJMA NEMAM** mogu biti a i c, možda i b odgovori

a) vektor kojeg generira procesor i tako utvrđuje uzročnika prekida;

b) vektor kojeg generira uzročnik prekida i to tako da je svaki put vektor za 1 veći od prethodno generiranog vektora;

c) vektor kojeg generira uzročnik prekida i to tako da je on jednoznačan za svakog uzročnika;

d) vektor je pohranjen u brzju memoriji procesora i aktivira se detekcijom zahtjeva za prekid.

* Ako se u korisničkom načinu pokusa izvrši instrukcija RTE (za MC 68000) onda će se dogoditi slijedeće **POJMA NEMAM**

a) Instrukcija će se izvršiti ali će se nakon toga generirati iznimka;

b) Instrukcija se neće ništa započeti izvršavati jer će prevodilac detektirati neovlaštenu instrukciju;

c) Instrukcija će izazvati resetiranje procesora;

d) Instrukcija se neće izvršiti već će se generirati iznimka.

* Minimalni kontekst za prekid kao jednu od iznimaka procesora MC 68000 čine 16-bitni sadržaj statusnog registra i 32-bitni sadržaj programskog broja

* Osnovni cilj RISC procesora – jedna instrukcija u jednoj periodu signala vremenskog vođenja ostvaruje se izborom skupa instrukcija i to tako da se svaka instrukcija pojedinačno izvodi u jednoj periodu

* Tijekom dekodiranja instrukcije u RISC procesoru istodobno se dohvataju i operandi

* Ganttov dijagram služi za prikaz instrukcija u probnoj strukturi

* Jedno od zlatnih pravila: „Žrtvuj sve kako bi smanjio vremenski ciklus puta podataka” vrijedi prvenstveno za procesore RISC

* 8-instrukcijski model procesora je akumulatorski orijentiran procesor

* Mikroprocesor MC68000 ima 7 razina prekida

* 8-instrukcijski model procesora ima 3-bitni instrukcijski registar

* U 8-instrukcijskom modelu procesora, operacije pristupa memoriji (čitanja i pisanja) traju duže od ostalih mikrooperacija

* RISC procesori obično imaju upravljačku jedinicu realiziranu kombinacijskim sklopovima

* Stogovi su obično realizirani tako da rastu u smjeru padajućih adresa

* Upravljačka jedinica procesora MC68000 ostvarena je kao mikroprogramirana i nanoprogramirana

* 8-instrukcijski model procesora je CISC

* Operacija čitanja memorije u 8-instrukcijskom modelu procesora traje dvije periode signala vremenskog vođenja ($2 \Delta T$)

* Za mikroprocesor MC68000 nakon iznimke RESET vrijedi: nalazi se u nadglednom načinu rada (supervisor mode) i prekidne zastavice u SR su sve postavljene u 1

*