

2. kontrolna zadaća iz Arhitekture i organizacije računala teorijski dio. 24.01.2003. Grupa A

Napomene: Obvezatno upisati ime i prezime na početku ispita. Zaokružuje se jedan odgovor. Točan odgovor donosi jedan pozitivan, a pogrešno zaokružen odgovor jedan negativan bod (ukoliko nije zaokružen niti jedan odgovor nema negativnih bodova). Zадaci bez ponuđenih odgovora nemaju negativnih bodova. Ukupno trajanje ispita je 120 min, a vrijeme za rješavanje teorijskog dijela ispita je maksimalno 35 min. Za prolaznu ocjenu potrebno je prikupiti najmanje 50% mogućih bodova iz svakog dijela ispita. (Ispitne zadatke sastavio prof. dr. sc. S. Ribarić.)

Ime i prezime: _____, broj indeksa: _____.

- Prilikom oblikovanja jednostavnijih ALU obično se upotrebljava sljedeći pristup:
 - nezavisno se oblikuje aritmetička sekcija i logička sekcija;
 - prvo se oblikuje sklopovlje za logičku sekciju, zatim se analizira koji se od tih sklopova može upotrijebiti za aritmetičke operacije i konačno pridodaju se potrebni aritmetički sklopovi;
 - najprije se oblikuje aritmetička sekcija nezavisno od logičke sekcije, zatim se određuje koje se logičke operacije mogu izvesti sklopovima iz aritmetičke sekcije i konačno modificiraju se aritmetički sklopovi tako da bi se mogle izvesti i željene logičke operacije;
 - ni jedan od gornjih pristupa se ne upotrebljava.
- Izlazi iz potpunog zbrajala F_i i C_{i+1} mogu se zapisati sljedećim Booleovim jednadžbama:
$$F_i =$$
$$C_{i+1} =$$
gdje su x i y jednobitni ulazi operanada a C_i je bit prijenosa iz prethodnog stupnja.
- Tijekom oblikovanja logičke sekcije za našu ALU jedinicu uveli smo dodatnu (pomoćnu) varijablu K_i koja je korištena za:
 - izvedbu logičke operacije NE;
 - izvedbu logičke funkcije ekvivalencije;
 - izvedbu logičke operacije ILI;
 - izvedbu logičke operacije I.
- Tijekom izvođenja bilo koje od logičkih operacija, bit C_i svakog stupnja treba biti:
 - u logičkoj 1;
 - u logičkoj 0;
 - u stanju X – (don't care);
 - ulaz C_i mora biti u stanju visoke impedancije.
- Prilikom izvedbe sklopa za posmak u procesoru, radi veće brzine, prednost se daje:
 - dvosmjernim posmačnim registrima sa serijskim ulazom;
 - dvosmjernim posmačnim registrima s paralelnim ulazom i serijskim izlazima;
 - kombinaciji ožičenja i sekvencijalnih sklopova;
 - kombinacijskim sklopovima.
- Minimalni kontekst za prekid kao jednu od iznimaka procesora MC 68000 čine:
 - 8-bitni (značajniji bajt) statusnog registra i 24-bitni sadržaj programskog brojila;
 - 32-bitni sadržaj programskog brojila i 32-bitni sadržaj nadglednog kazala stoga (SSP);
 - 16-bitni sadržaj statusnog registra i 32-bitni sadržaj programskog brojila;
 - 32-bitno sistemsko kazalo stoga i 32-bitno korisničko kazalo stoga.
- Izvorna Wilkesova shema mikroprogramirane upravljačke jedinice sastoji se od:
 - diodne matrice A koja nudi upravljačke signale i diodne matrice B koja određuje adresu sljedeće mikroinstrukcije;
 - diodne matrice A koja nudi upravljačke signale, diodne matrice B koja ispituje vanjske uvjete te diodne matrice C koja određuje adresu sljedeće mikroinstrukcije;
 - matrica A i B koje su zbog tehnoloških ograničenja bile realizirane feritnim jezgricama;
 - jedne velike diodne matrice A koja je istodobno generirala i upravljačke signale i određivala adresu sljedeće mikroinstrukcije.
- Model mikroprogramirane upravljačke jedinice rabi trofazni signal vremenskog vođenja. Napišite što se događa u pojedinim fazama, odnosno kraći naziv pojedine faze:
 $P(0)$ -
 $P(1)$ -
 $P(2)$ -
- Duljina riječi mikroprogramskog adresnog registra H izravno zavisi od:
 - duljine operacijskog koda strojne instrukcije;
 - duljine mikroinstrukcije;
 - kapaciteta mikroprogramske memorije;
 - duljine polja povratne adrese mikroinstrukcije.
- Emit polje u mikroinstrukciji predstavlja:
 - 8-bitnu informaciju o adresi sljedeće mikroinstrukcije;
 - područje za definiranje konstante u mikroprogramu;
 - dodatno binarno polje za upravljačke signale;
 - dio upravljačke riječi kojim se upravlja inicijalnom jezgrom ulazno-izlaznog podsustava.
- Općenito postoje tri vrste podatkovnih hazarda: RAW, WAR i WAW. Za RISC procesore od gornjih hazarda kritičan je:
 - WAR;
 - WAW;
 - kombinacija WAR i WAW;
 - RAW.

12. Ganttov dijagram ima naneseno:
 - a) na apcisi vrijeme a na ordinati instrukcije iz protočne strukture;
 - b) na apcisi instrukcije iz protočne strukture a na ordinati protočne segmente;
 - c) na apcisi vrijeme a na ordinati protočne segmente;
 - d) na apcisi protočne segmente (prazne) a na ordinati protočne segmente (pune).
13. Osnovni cilj RISC procesora – jedna instrukcija u jednoj periodi signala vremenskog vođenja ostvaruje se:
 - a) izborom skupa instrukcija i to tako da se svaka instrukcija pojedinačno izvodi u jednoj periodi;
 - b) izborom skupa instrukcija koje se izvode za $M/2$ perioda, gdje je M cijeli broj > 2 i odgovara dubini protočne strukture;
 - c) izborom skupa instrukcija tako da je broj perioda (potreban za njihovo izvođenje) $k \leq M$ i uporabom protočne strukture dubine M ;
 - d) brižljivim izborom skupa instrukcija i uporabom višestrukih paralelnih ALU jedinica čiji je broj $> M$.
14. Zakasnjene instrukcije grananja u arhitekturi RISC procesora posljedica su:
 - a) strukturnog hazarda;
 - b) podatkovnog hazarda;
 - c) upravljačkog hazarda;
 - d) kombinacije strukturnog i podatkovnog hazarda.
15. Omjer pogotka izražava se kao vjerojatnost da se naslovljavani podatak nalazi u priručnoj memoriji i aproksimiran je s:

$h = \text{_____}$
16. Ako glavna memorija, kapaciteta 2^M , ima $B_M = 2^M/b$ blokova, gdje je veličina bloka $b = 2^W$ riječi, tada se priručna memorija sastoji od:
 - a) $B_P = B_M$ blokova čija je veličina $b = 2^{M/W}$ riječi;
 - b) $B_P = B_M/W$ blokova, čija je veličina $b = 2^W$;
 - c) B_P blokova (izravno nezavisno od B_M), pri čemu je veličina bloka $b = 2^W$;
 - d) $B_P = B_M/b$, pri čemu je veličina bloka $b = 2^W$.
17. Bločni priključak u priručnoj memoriji oblikuju:
 - a) blok i adresna značka;
 - b) blok;
 - c) blok, adresna značka i oznaka zauzetosti priključka;
 - d) adresna značka.
18. Potpuno asocijativna priručna ima jednu bitnu i prepoznatljivu značajku i to:
19. Algoritam zamjene blokova OPT ima sljedeću osnovnu značajku:
 - a) sve dobre izvedbe priručne memorije koriste OPT;
 - b) daje dobru osnovu za usporedbu s drugim algoritmima ali se, međutim, ne može realizirati;
 - c) rabi se samo za potpuno asocijativne priručne memorije;
 - d) rabi se samo u izravnoj priručnoj memoriji.
20. U suvremenim arhitekturama računala odnos između logičkog (LA) i fizičkog (FA) adresnog prostora je:
 - a) $LA > FA$;
 - b) $LA = FA$;
 - c) $LA < FA$;
 - d) $LA \leq FA$.
21. Uobičajene organizacije logičkog adresnog prostora predstavljene su s dva osnovna modela:
 - a)
 - b)
22. Funkcija adresnog preslikavanja u virtualnom memorijskom sustavu je:
 - a) $f : LA \rightarrow FA$;
 - b) $f : LA \rightarrow FA \cup \emptyset$;
 - c) bijektivna funkcija $f : LA \rightarrow FA$;
 - d) $f : LA \times FA \rightarrow FA$, gdje je \times oznaka kartezijevog produkta.
23. Kad se logički i fizički adresni prostor podijele na jednake blokove stalne veličine, tada je riječ o:
 - a) virtualnom memorijskom sustavu sa segmentacijom;
 - b) virtualnom memorijskom sustavu sa straničnim segmentima;
 - c) virtualnom memorijskom prostoru sa straničenjem;
 - d) bločnom virtualnom memorijskom sustavu.
24. U Denningovom modelu adresnog preslikavanja (s namjerno ugrađenom pogreškom), kapacitet tablice preslikavanja jednak je:
 - a) kapacitetu primarne memorije, odnosno FA;
 - b) kapacitetu sekundarne memorije, odnosno LA;
 - c) kapacitetu priručne memorije;
 - d) sumi $FA + LA$.
25. Put podataka obično uključuje sljedeće glavne komponente:
 - a)
 - b)
 - c)
 - d)
 - e)