

## Arhitektura računala 2

Pismeni ispit, problemski dio (60% bodova)

1. **(10 bodova)** Zadana je ispisna memorija (ROM) kapaciteta 8192 bajta, te memorija RAM kapaciteta 65536 bajta. Obje memorije pored potrebnog broja adresnih i podatkovnih izvoda imaju i po jedan ulaz za omogućavanje. Prikazati shemu spajanja zadanih memorija na računalni sustav s 16-bitnom adresnom i 8-bitnom podatkovnom sabirnicom. Memoriju treba spojiti tako da nakon reseta ROM zauzima adresni prostor od \$0000 do \$0fff te od \$f000 do \$ffff, a RAM \$1000 do \$efff (očito, neke lokacije memorije RAM će biti neiskorištene).

Predloženu organizaciju proširiti mogućnošću da programer isključi memoriju ROM, odnosno da se umjesto nje ukažu inicijalno neiskorištene lokacije memorije RAM. Uputa: lokaciju adresnog prostora (\$1000) mapiraj u dedicerani bistabil koji će upravljati vidljivošću RAM-a ili ROM-a: vrijednost 0 znači da su uključeni i ROM i RAM; a vrijednost 1 znači da je uključen samo RAM. Bistabil neka preuzme ulogu odabrane memorijske lokacije te se njezinim odabirom može čitati i pisati sadržaj bistabila, a ne RAMa.

2. **(10 bodova)** Prikazati sadržaj relevantnog dijela memorije i nacrtati stanje na vanjskim sabirnicama pojednostavnjenog modela mikroprocesora tijekom izvođenja sljedećeg programskog odsječka.

```
$1000:  lda $1007
        dec
        sta $1007
        sub #$11
        sta $0200
```

Poznato je da procesor koristi način uređenja bajtova "big endian". Kodovi instrukcija lda (učitaj akumulator), dec (umanji akumulator), sta (upiši akumulator), add (dodaj konstantu akumulatoru) i sub (oduzmi konstantu akumulatoru) su redom: \$a1, \$86, \$34, \$b1, \$b2.

3. **(10 bodova)** Preinačite model osaminstrukcijskog procesora na način da omogućite relativni adresni način za memorijske instrukcije load i store. U rješenju je potrebno navesti jednadžbe svih signala koji upravljaju pribavljanjem i izvođenjem novih instrukcija (ldr, str).
4. **(10 bodova)** Zadan je neoptimirani programski odsječak za arhitekturu sa zakašnjelim instrukcijama učitavanja i grananja.

```
mysub:  add r6, r5, r6

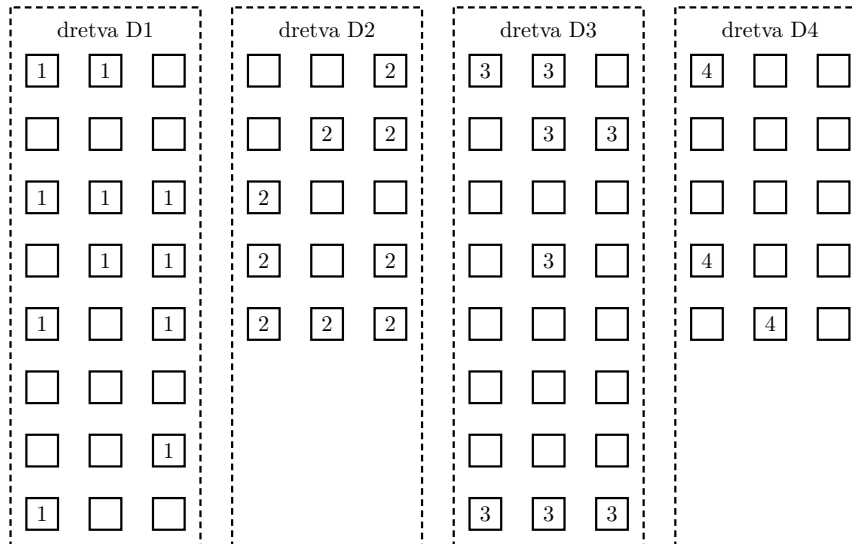
loop:   lw  r1, 0(r5)
        nop
        add r1, r1, r7
        sw  r1, 0(r5)
        add r5, r5, 4
        bne r5, r6, loop
        nop
        jr  r31
```

- (a) Koju funkciju obavlja programski odsječak (napiši odgovarajuću funkciju u C-u)?
  - (b) Prikaži optimalan redoslijed instrukcija za procesor s jednostrukim izdavanjem.
  - (c) Prikaži optimalan raspored instrukcija za procesor s dvostrukim statičkim izdavanjem koji istovremeno može izdati po jednu instrukciju tipa ALU/branch i jednu memorijsku instrukciju.
5. **(10 bodova)** Shematski prikazati adresno preslikavanje straničenjem, ako sustav ima 50-bitne fizičke i 64-bitne logičke adrese a veličina stranice iznosi 4kB. Na shemi je potrebno označiti širine pojedinih dijelova logičkih i fizičkih adresa. Komentirati prednosti i nedostatke straničenja u odnosu na segmentaciju.

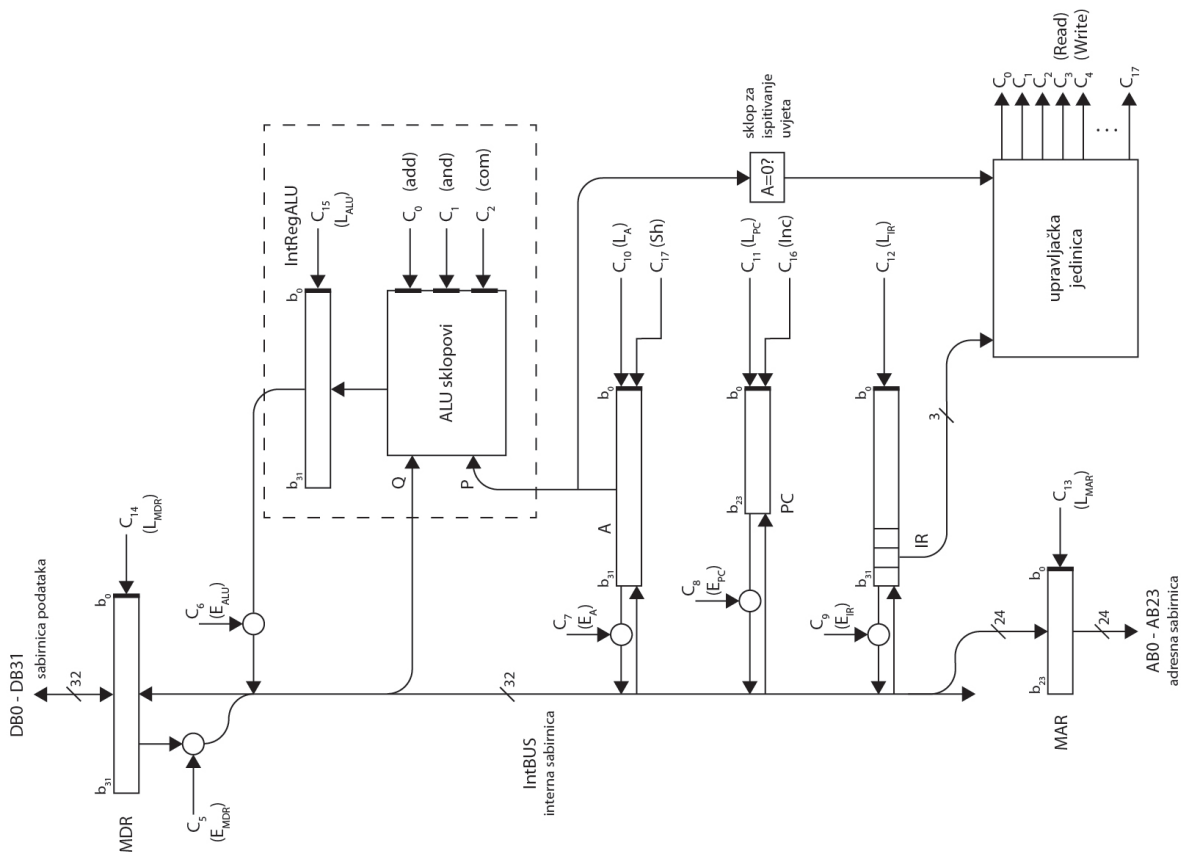
6. (10 bodova) Zadane su četiri dretve D1, D2, D3 i D4 (slika) koje se izvršavaju na procesoru s tri protočne strukture (pretpostavlja se da su protočne strukture visoko specijalizirane). Prikazati izvođenje dretvi D1-D4:

- Za superskalarni model procesora
- Za višedretveni (grubozrnati) model procesora (MT). Pretpostavite da se promašaj priručne memorije dogodio u 3. periodu dretve D1, te u 3. i 5. periodu dretve D2.
- Za model procesora koji podržava simultanu višedretvenost (SMT)

Objasniti značenje pojedinih elemenata u grafičkom prikazu modela.



Slika uz zadatak 6: Dretve D1, D2, D3, D4



Slika uz zadatak 3: Model osam instrukcijskog procesora