

2. međuispit iz Arhitekture računala 2, teorijski dio

1. Koja komponenta modernih računala nije bila prisutna u originalnoj Von Neumannovoj arhitekturi?
 - (a) interna sabirnica
 - (b) ožičena upravljačka jedinica
 - (c) priručna instrukcijska memorija
 - (d) aritmetička jedinica

2. Za upravljačku jedinicu osaminstrukcijskog procesora vrijedi:
 - (a) da podržava instrukcijski skup RISC
 - (b) da se ne može izvesti mikroprogramiranjem
 - (c) da se može izvesti poljem PLA
 - (d) da je izvedena mikroprogramiranjem

3. U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testu)?
 - (a) MHz je relevantniji pokazatelj performanse
 - (b) MHz je čimbenik performanse, a SPECmark pokazatelj
 - (c) SPECmark je čimbenik performanse, a MHz pokazatelj
 - (d) SPECmark se odnosi na arhitekturu, MHz na tehnologiju

4. Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:
 - (a) zbrajalo
 - (b) memorija
 - (c) registarski skup
 - (d) sklop za grananje

5. Koja od navedenih komponenata nije element puta podataka:
 - (a) aritmetičko-logička jedinica
 - (b) radna memorija
 - (c) skup registara
 - (d) interna sabirnica

6. Neka $w(R)$ označava broj bitova registra. Tada za osaminstrukcijski procesor vrijedi:
 - (a) $w(MAR) > w(MDR)$
 - (b) $w(MAR) = w(MDR)$
 - (c) $w(IR) + w(PC) = w(MDR)$
 - (d) $w(AC) = w(PC)$

7. Koncept protočnosti je koristan jer omogućava:
 - (a) iskorištavanje instrukcijskog paralelizma
 - (b) smanjivanje potrebnog broja registara
 - (c) ublažavanje resursnih konflikata
 - (d) istu performansu uz manji broj tranzistora

8. Sljedeća instrukcija `load r5, 20(r1); add r2, r1, r5` može rezultirati:
 - (a) hazardom tipa RAW
 - (b) zakašnjelim grananjem
 - (c) hazardom tipa RAR
 - (d) hazardom tipa WAR

9. Tipično, mikroprogram koji implementira fazu izvrši makroinstrukcije završava:
 - (a) pozivom mikroprograma za fazu pribavi
 - (b) prozivanjem nanoprogramske memorije
 - (c) upisom rezultata u mikroprogramsku memoriju
 - (d) upisom nove vrijednosti u programsko brojilo

10. Računanje odredišta relativnog grananja u arhitekturi MIPS odvija se:
 - (a) usporedno s pristupom podatkovnoj memoriji
 - (b) za vrijeme pribavljanja instrukcije
 - (c) usporedno s dekodiranjem instrukcije
 - (d) prije pribavljanja instrukcije

11. Ako je registar R s odvojenim izvodima za čitanje i pisanje spojen na dijeljenu sabirnicu, sklopovi s tri stanja su:
 - (a) nepotrebni i ometaju normalan rad
 - (b) potrebni samo kod čitanja registra R
 - (c) nepotrebni ali ne ometaju normalan rad
 - (d) potrebni samo kod pisanja u registar R

12. Instrukcije osaminstrukcijskog procesora:

- (a) nemaju memorijske operande
 - (b) nemaju registarske operande
 - (c) mogu imati najviše jedan memorijski operand
 - (d) uvijek imaju sve operande u registrima
-

13. oja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju?

- (a) pristup memoriji
 - (b) određivanje efektivne adrese
 - (c) zbrajanje dvaju registara
 - (d) upis pročitano podataka u određeni registar
-

14. Arhitektura MIPS u svakom ciklusu signala takta izvrši:

- (a) najviše dva memorijska pristupa
 - (b) najviše jedan memorijski pristup
 - (c) uvijek točno jedan memorijski pristup
 - (d) uvijek točno dva memorijska pristupa
-

15. Koji nedostatak Von Neumannove memorijske organizacije je izbjegnuto u Harvardskoj memorijskoj organizaciji?

- (a) jedinstvena sabirnica za podatke i instrukcije
 - (b) dugačko vrijeme pristupa
 - (c) nedovoljni adresni protok
 - (d) bajtna zrnatost
-

16. Adresa sljedeće μ instrukcije ne može se dobiti:

- (a) prijenosom adresnog polja mikroriječi
 - (b) povećanjem μ prog brojila za jedan
 - (c) primjenom logike za uvjetno grananje
 - (d) prijenosom usputne konstante makroinstrukcije
-

17. Za tipične horizontalne mikroinstrukcije vrijedi:

- (a) mogu nezavisno upravljati sklopovljem
 - (b) zahtijevaju manju upravljačku memoriju od alternativnih pristupa
 - (c) imaju sporiji odziv od alternativnih pristupa
 - (d) instrukcijska riječ im je kraća od 16 bitova
-

18. Čitanje registarskih operanada u tipičnoj RISC arhitekturi odvija se:

- (a) usporedno s pristupom podatkovnoj memoriji
 - (b) za vrijeme pribavljanja instrukcije
 - (c) usporedno s dekodiranjem instrukcije
 - (d) prije pribavljanja instrukcije
-

19. Svih pet segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:

- (a) instrukcija čitanja iz memorije
 - (b) instrukcija pisanja u memoriju
 - (c) instrukcija bezuvjetnog grananja
 - (d) instrukcija uvjetnog grananja
-

20. Mikroprogramirani procesor s predavanja omogućava:

- (a) uvjetno μ grananje s obzirom
 - (b) uvjetno μ grananje s obzirom na zastavicu C
 - (c) samo bezuvjetno μ grananje
 - (d) zakašnjelo μ grananje
-

2. međuispit iz Arhitekture računala 2, teorijski dio

-
1. Ako je registar R s odvojenim izvodima za čitanje i pisanje spojen na dijeljenu sabirnicu, sklopovi s tri stanja su:
- (a) nepotrebni i ometaju normalan rad
 - (b) nepotrebni ali ne ometaju normalan rad
 - (c) potrebni samo kod čitanja registra R
 - (d) potrebni kod bilo kojeg prijenosa podataka u ili iz registra R
-
2. Koja komponenta modernih računala nije bila prisutna u originalnoj Von Neumannovoj arhitekturi?
- (a) radna memorija
 - (b) priručna instrukcijska memorija
 - (c) ožičena upravljačka jedinica
 - (d) aritmetička jedinica
-
3. Svih pet segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:
- (a) instrukcija bezuvjetnog grananja
 - (b) aritmetička instrukcije
 - (c) instrukcija pisanja u memoriju
 - (d) instrukcija čitanja iz memorije
-
4. Za upravljačku jedinicu osaminstrukcijskog procesora vrijedi:
- (a) da je izvedena mikroprogramiranjem
 - (b) da se može izvesti poljem PLA
 - (c) da podržava instrukcijski skup RISC
 - (d) da se ne može izvesti mikroprogramiranjem
-
5. Čitanje registarskih operanada u tipičnoj RISC arhitekturi odvija se:
- (a) usporedno s dekodiranjem instrukcije
 - (b) prije pribavljanja instrukcije
 - (c) nakon dekodiranja operacijskog koda
 - (d) za vrijeme pribavljanja instrukcije
-
6. Slijed instrukcija `load r5, 20(r1); add r2, r1, r5` može rezultirati:
- (a) hazardom tipa RAW
 - (b) hazardom tipa WAW
 - (c) zakašnjelim grananjem
 - (d) hazardom tipa WAR
-
7. Arhitektura MIPS u svakom ciklusu signala takta izvrši:
- (a) uvijek točno jedan memorijski pristup
 - (b) najviše dva memorijska pristupa
 - (c) uvijek točno dva memorijska pristupa
 - (d) najviše jedan memorijski pristup
-
8. Računanje odredišta relativnog grananja u arhitekturi MIPS odvija se:
- (a) prije pribavljanja instrukcije
 - (b) usporedno s pristupom podatkovnoj memoriji
 - (c) za vrijeme pribavljanja instrukcije
 - (d) usporedno s dekodiranjem instrukcije
-
9. Adresa sljedeće μ instrukcije ne može se dobiti:
- (a) prijenosom operacijskog koda makroinstrukcije
 - (b) prijenosom usputne konstante makroinstrukcije
 - (c) prijenosom adresnog polja mikroriječi
 - (d) povećanjem μ prog brojala za jedan
-
10. Neka $w(R)$ označava broj bitova registra. Tada za osaminstrukcijski procesor vrijedi:
- (a) $w(IR)+w(PC)=w(MDR)$
 - (b) $w(MAR)>w(MDR)$
 - (c) $w(MAR)=w(MDR)$
 - (d) $w(AC)=w(PC)$
-
11. Za tipične horizontalne mikroinstrukcije vrijedi:
- (a) zahtijevaju manju upravljačku memoriju od alternativnih pristupa
 - (b) mogu nezavisno upravljati sklopovljem
 - (c) instrukcijska riječ im je kraća od 16 bitova
 - (d) pobuđuju po jednu μ operaciju
-

12. Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:

- (a) zbrajalo
- (b) sklop za grananje
- (c) registarski skup
- (d) memorija

13. Tipično, mikroprogram koji implementira fazu izvrši makroinstrukcije završava:

- (a) upisom rezultata u radnu memoriju
- (b) upisom rezultata u mikroprogramsku memoriju
- (c) upisom nove vrijednosti u programsko brojilo
- (d) pozivom mikroprograma za fazu pribavi

14. U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testu)?

- (a) SPECmark je čimbenik performanse, a MHz pokazatelj
- (b) MHz je čimbenik performanse, a SPECmark pokazatelj
- (c) SPECmark se odnosi na arhitekturu, MHz na tehnologiju
- (d) MHz je relevantniji pokazatelj performanse

15. Koji nedostatak Von Neumannove memorijske organizacije je izbjegnut u Harvardskoj memorijskoj organizaciji?

- (a) nedovoljni adresni protor
- (b) jedinstvena sabirnica za podatke i instrukcije
- (c) bajtna zrnatost
- (d) loša propusnost

16. Koja od navedenih komponenata nije element puta podataka:

- (a) aritmetičko-logička jedinica
- (b) radna memorija
- (c) interna sabirnica
- (d) priručna memorija podataka

17. Koncept protočnosti je koristan jer omogućava:

- (a) ublažavanje resursnih konflikata
- (b) CISC arhitekturama da se po performansi izjednače s RISC-om
- (c) istu performansu uz manji broj tranzistora
- (d) iskorištavanje instrukcijskog paralelizma

18. Mikroprogramirani procesor s predavanja omogućava:

- (a) relativno μ grananje
- (b) uvjetno μ grananje s obzirom
- (c) na predznak podatka na glavnoj sabirnici
- (d) uvjetno μ grananje s obzirom na zastavicu C

19. oja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju?

- (a) zbrajanje memorijskog operanda i izvornog registra
- (b) određivanje efektivne adrese
- (c) zbrajanje dvaju registara
- (d) upis pročitano podatka u odredišni registar

20. Instrukcije osaminstrukcijskog procesora:

- (a) nemaju memorijske operande
- (b) mogu imati najviše jedan memorijski operand
- (c) mogu imati sve operande u memoriji
- (d) nemaju registarske operande

2. međuispit iz Arhitekture računala 2, teorijski dio

-
1. Neka $w(R)$ označava broj bitova registra. Tada za osaminstrukcijski procesor vrijedi:
- (a) $w(MAR)=w(MDR)$
 - (b) $w(AC)=w(PC)$
 - (c) $w(MAR)>w(MDR)$
 - (d) $w(IR)+w(PC)=w(MDR)$
-
2. Koji nedostatak Von Neumannove memorijske organizacije je izbjegnuto u Harvardskoj memorijskoj organizaciji?
- (a) bajtna zrnatost
 - (b) loša propusnost
 - (c) nedovoljni adresni protor
 - (d) jedinstvena sabirnica za podatke i instrukcije
-
3. Mikroprogramirani procesor s predavanja omogućava:
- (a) uvjetno μ grananje s obzirom na zastavicu C
 - (b) na predznak podatka na glavnoj sabirnici
 - (c) uvjetno μ grananje s obzirom
 - (d) zakašnjelo μ grananje
-
4. Ako je registar R s odvojenim izvodima za čitanje i pisanje spojen na dijeljenu sabirnicu, sklopovi s tri stanja su:
- (a) potrebni samo kod pisanja u registar R
 - (b) nepotrebni ali ne ometaju normalan rad
 - (c) potrebni kod bilo kojeg prijenosa podataka u ili iz registra R
 - (d) potrebni samo kod čitanja registra R
-
5. Arhitektura MIPS u svakom ciklusu signala takta izvrši:
- (a) najviše dva memorijska pristupa
 - (b) najviše jedan memorijski pristup
 - (c) barem dva memorijska pristupa
 - (d) uvijek točno dva memorijska pristupa
-
6. Svih pet segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:
- (a) instrukcija čitanja iz memorije
 - (b) aritmetička instrukcije
 - (c) instrukcija pisanja u memoriju
 - (d) instrukcija uvjetnog grananja
-
7. Tipično, mikroprogram koji implementira fazu izvrši makroinstrukcije završava:
- (a) upisom rezultata u radnu memoriju
 - (b) pozivom mikroprograma za fazu pribavi
 - (c) upisom rezultata u mikroprogramsku memoriju
 - (d) upisom nove vrijednosti u programsko brojilo
-
8. Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:
- (a) memorija
 - (b) registarski skup
 - (c) sklop za grananje
 - (d) zbrajalo
-
9. Koja komponenta modernih računala nije bila prisutna u originalnoj Von Neumannovoj arhitekturi?
- (a) radna memorija
 - (b) interna sabirnica
 - (c) priručna memorija podataka
 - (d) ožičena upravljačka jedinica
-
10. Za tipične horizontalne mikroinstrukcije vrijedi:
- (a) imaju sporiji odziv od alternativnih pristupa
 - (b) instrukcijska riječ im je kraća od 16 bitova
 - (c) mogu nezavisno upravljati sklopovljem
 - (d) pobuđuju po jednu μ operaciju
-
11. Instrukcije osaminstrukcijskog procesora:
- (a) nemaju registarske operande
 - (b) mogu imati najviše jedan memorijski operand
 - (c) uvijek imaju sve operande u registrima
 - (d) mogu imati sve operande u memoriji
-

12. U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testu)?

- (a) MHz je relevantniji pokazatelj performanse
 - (b) SPECmark je čimbenik performanse, a MHz pokazatelj
 - (c) MHz je čimbenik performanse, a SPECmark pokazatelj
 - (d) SPECmark se odnosi na arhitekturu, MHz na tehnologiju
-

13. Adresa sljedeće μ instrukcije ne može se dobiti:

- (a) prijenosom usputne konstante makroinstrukcije
 - (b) povećanjem μ prog brojila za jedan
 - (c) prijenosom operacijskog koda makroinstrukcije
 - (d) primjenom logike za uvjetno grananje
-

14. Koncept protočnosti je koristan jer omogućava:

- (a) CISC arhitekturama da se po performansi izjednače s RISC-om
 - (b) smanjivanje potrebnog broja registara
 - (c) ublažavanje resursnih konflikata
 - (d) iskorištavanje instrukcijskog paralelizma
-

15. oja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju?

- (a) zbrajanje memorijskog operanda i izvornog registra
 - (b) upis pročitano podatka u odredišni registar
 - (c) zbrajanje dvaju registara
 - (d) određivanje efektivne adrese
-

16. Računanje odredišta relativnog grananja u arhitekturi MIPS odvija se:

- (a) za vrijeme pribavljanja instrukcije
 - (b) usporedno s dekodiranjem instrukcije
 - (c) usporedno s pristupom podatkovnoj memoriji
 - (d) prije pribavljanja instrukcije
-

17. Koja od navedenih komponenata nije element puta podataka:

- (a) skup registara
 - (b) aritmetičko-logička jedinica
 - (c) radna memorija
 - (d) interna sabirnica
-

18. Čitanje registarskih operanada u tipičnoj RISC arhitekturi odvija se:

- (a) nakon dekodiranja operacijskog koda
 - (b) usporedno s dekodiranjem instrukcije
 - (c) prije pribavljanja instrukcije
 - (d) za vrijeme pribavljanja instrukcije
-

19. Slijed instrukcija `load r5, 20(r1); add r2, r1, r5` može rezultirati:

- (a) hazardom tipa WAR
 - (b) hazardom tipa RAW
 - (c) zakašnjelim grananjem
 - (d) hazardom tipa RAR
-

20. Za upravljačku jedinicu osaminstrukcijskog procesora vrijedi:

- (a) da je izvedena mikroprogramiranjem
 - (b) da se može izvesti poljem PLA
 - (c) da podržava instrukcijski skup RISC
 - (d) da zahtijeva poseban poluvodički tehnološki proces
-

2. međuispit iz Arhitekture računala 2, teorijski dio

-
1. Čitanje registarskih operanada u tipičnoj RISC arhitekturi odvija se:
- (a) nakon dekodiranja operacijskog koda
 - (b) prije pribavljanja instrukcije
 - (c) usporedno s dekodiranjem instrukcije
 - (d) za vrijeme pribavljanja instrukcije
-
2. oja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju?
- (a) pristup memoriji
 - (b) upis pročitano podataka u određeni registar
 - (c) određivanje efektivne adrese
 - (d) zbrajanje dvaju registara
-
3. Računanje odredišta relativnog grananja u arhitekturi MIPS odvija se:
- (a) prije pribavljanja instrukcije
 - (b) usporedno s pristupom podatkovnoj memoriji
 - (c) za vrijeme pribavljanja instrukcije
 - (d) usporedno s dekodiranjem instrukcije
-
4. Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:
- (a) memorija
 - (b) registarski skup
 - (c) zbrajalo
 - (d) sklop za grananje
-
5. Mikroprogramirani procesor s predavanja omogućava:
- (a) uvjetno μ grananje s obzirom
 - (b) na predznak podatka na glavnoj sabirnici
 - (c) zakašnjelo μ grananje
 - (d) uvjetno μ grananje s obzirom na zastavicu C
-
6. Adresa sljedeće μ instrukcije ne može se dobiti:
- (a) prijenosom adresnog polja mikroriječi
 - (b) prijenosom usputne konstante makroinstrukcije
 - (c) povećanjem μ prog brojila za jedan
 - (d) prijenosom operacijskog koda makroinstrukcije
-
7. Instrukcije osaminstrukcijskog procesora:
- (a) mogu imati sve operande u memoriji
 - (b) nemaju memorijske operande
 - (c) uvijek imaju sve operande u registrima
 - (d) mogu imati najviše jedan memorijski operand
-
8. Koncept protočnosti je koristan jer omogućava:
- (a) smanjivanje potrebnog broja registara
 - (b) CISC arhitekturama da se po performansama izjednače s RISC-om
 - (c) iskorištavanje instrukcijskog paralelizma
 - (d) istu performansu uz manji broj tranzistora
-
9. Slijed instrukcija `load r5, 20(r1); add r2, r1, r5` može rezultirati:
- (a) zakašnjelim grananjem
 - (b) hazardom tipa RAW
 - (c) hazardom tipa WAR
 - (d) hazardom tipa RAR
-
10. Arhitektura MIPS u svakom ciklusu signala takta izvrši:
- (a) uvijek točno jedan memorijski pristup
 - (b) najviše jedan memorijski pristup
 - (c) barem dva memorijska pristupa
 - (d) najviše dva memorijska pristupa
-
11. Ako je registar R s odvojenim izvodima za čitanje i pisanje spojen na dijeljenu sabirnicu, sklopovi s tri stanja su:
- (a) nepotrebni ali ne ometaju normalan rad
 - (b) potrebni samo kod čitanja registra R
 - (c) potrebni kod bilo kojeg prijenosa podataka u ili iz registra R
 - (d) nepotrebni i ometaju normalan rad
-

12. U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testu)?

- (a) vrijednost SPECmarka ne ovisi o vrijednosti MHz-a
- (b) MHz je relevantniji pokazatelj performanse
- (c) SPECmark je čimbenik performanse, a MHz pokazatelj
- (d) MHz je čimbenik performanse, a SPECmark pokazatelj

13. Za upravljačku jedinicu osaminstrukcijskog procesora vrijedi:

- (a) da podržava instrukcijski skup RISC
- (b) da se ne može izvesti mikroprogramiranjem
- (c) da se može izvesti poljem PLA
- (d) da je izvedena mikroprogramiranjem

14. Koji nedostatak Von Neumannove memorijske organizacije je izbjegnut u Harvardskoj memorijskoj organizaciji?

- (a) jedinstvena sabirnica za podatke i instrukcije
- (b) dugačko vrijeme pristupa
- (c) bajtna zrnatost
- (d) loša propusnost

15. Koja komponenta modernih računala nije bila prisutna u originalnoj Von Neumannovoj arhitekturi?

- (a) aritmetička jedinica
- (b) priručna memorija podataka
- (c) interna sabirnica
- (d) radna memorija

16. Svih pet segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:

- (a) instrukcija uvjetnog grananja
- (b) instrukcija pisanja u memoriju
- (c) instrukcija čitanja iz memorije
- (d) instrukcija bezuvjetnog grananja

17. Tipično, mikroprogram koji implementira fazu izvrši makroinstrukcije završava:

- (a) upisom nove vrijednosti u programsko brojilo
- (b) pozivom mikroprograma za fazu pribavi
- (c) prozivanjem nanoprogramske memorije
- (d) upisom rezultata u radnu memoriju

18. Neka $w(R)$ označava broj bitova registra. Tada za osaminstrukcijski procesor vrijedi:

- (a) $w(MAR) > w(MDR)$
- (b) $w(AC) = w(PC)$
- (c) $w(MDR) - w(PC) = w(MAR)$
- (d) $w(IR) + w(PC) = w(MDR)$

19. Koja od navedenih komponenta nije element puta podataka:

- (a) interna sabirnica
- (b) aritmetičko-logička jedinica
- (c) priručna memorija podataka
- (d) radna memorija

20. Za tipične horizontalne mikroinstrukcije vrijedi:

- (a) mogu nezavisno upravljati sklopovljem
- (b) instrukcijska riječ im je kraća od 16 bitova
- (c) pobuđuju po jednu μ operaciju
- (d) imaju sporiji odziv od alternativnih pristupa