

Arhitektura Racunala 2 – Cijelo gradivo

8-instrukcijski model procesora je:

* akumulatorsko orijentiran procesor

8-instrukcijski model procesora ima brojilo sekvenci po modulu 8 zato što:

* zato što spore instrukcije zahtijevaju osam taktova signala vremenskog vođenja.

16-bitni procesor MC 68000 ima adresu zmatost memorije:

* 32-bitnu

Adresna značajka određena je sa:

* k najznačajnijih bitova koji predstavljaju bločni broj bloka u glavnoj memoriji

Adresna sabimica širine 24 bita (A0 –A23) određuje adresni prostor (kojem je

adresljiva jedinica bajt) veličine: * 16 GB

Adresna sabimica računala:

* jednosmjerna sabimica koja izvire iz procesora

Ako se sabimicka jedinica promatra kao stroj stanja sa intelove proc. Onda su to sljedeca stanja:

* vrijeme adresiranja, * vrijeme podataka * vrijeme neaktivnosti

Ako RAM ima kapacitet 1M * 4 bita koliko je to adresnih linija? * 1M= 2 na 20 → 20 linija

Ako se logički i fizički adresni prostori podjele na jednake blokove stalne veločine govorimo o virtualnom memorijskom prostoru sa:

* straničenjem

Ako se u korisničkom načinu pokuša izvesti instrukcija RTE (za MC 68000) onda će se dogoditi sljedeće:

* Instrukcija se neće izvršiti već će se generirati iznimka.

Algoritam zamjene blokova OPT ima sljedeću osnovnu značajku:

* daje dobru osnovu za usporedbu sa dr. alg. Ali se međutim ne može realizirati

ALU operacije su:

* zbrajanje, posmak, kompleksiranje, log. operaciji i i ILI

ALU se sastoji od:

* aritmetičkih i logičkih sklopova a nužnim brojem registara

Asocijativno preslikavanje kod chache memorije

* bilo koji blok → na bilo koji bločni priključak

Bačvasti posmačni sklop je:

* jedna od glavnih komponenti puta podataka

Blok iz glavne memorije s bločnim brojem i smješta se na :

*bločni priključak priručne memorije J tako da je J=1 (modulo Bp)gdje je Bp broj

bločnih priključaka priručne memorije

Bločni priključak priručne memorije (engl. Slot) je sastavljen od:

* bloka i adresne značke

Broj ispitnih točaka u instrukcijskom ciklusu za DMA u odnosu na prekidne ispitne točke je:

* 5:1

Brzina memorije mjeri se: * Vremenom pristupa;

Centar arhitekture smješten je u : * procesoru

CISC procesor obično ima upravljačku jedinicu:

*ostvarenu kombinacijom mikroprogramiranja i nanoprogramiranja

CISC procesori se razlikuju od RISC proc po tome što:

* CISC ima veći skup instr s inst različite složenosti, dok RISC ima manji skup instr

koje su relativno jednostravne

Da bismo dobili kružni posmak za 6 mjesta uporabom bačvastog posmačnog sklopa treba:

* na ulaz A 32-bitni operand, na ulaz B isto taj 32-bitni operand a na ulaz S vrijednost 6;

Dataflow arhitektura (osnovna značajka)je:

* raspoloživi podaci određuju skup izvodljivih instrukcija

DMA označava:

* Direct Memory Access – izravan pristup memoriji tako da „zaobilazi“ CPU

Duljina riječi mikroprocesnog adresnog reg. H izravno zavisi od:

* kapaciteta mikroprogramske memorije

Emit-polje u mikroinstrukciji predstavlja:

* područje za definiranje konstnte u mikroprogramu

EX → što se događa?

* izvršava se specifičirana artm. ili log. operacija te se izračunavaju efektivne adrese za load/store instr.

Faza PRIBAVI i faza IZVRŠI u računalu traju:

* traju u zavisnosti od tipa instrukcija različitio

Faza PRIBAVI se od faze IZVRŠI razlikuje po tome:

* što se u fazi PRIBAVI dohvaća numerički kod koji proc tumači kao instr, a u fazi

IZVRŠI se na temelju dekodiranog op koda izvršavaju op nad operandima koji se

pribavljaju u fazi IZVRŠI

Faza signala vremenskog vođenja P(2) u modelu mikroprogramirane CPU rabi se za:

* aktivnostima koje odgovaraju fazi "mikropribavi";

Fizička memorija: * skup stvarnih fiz mem lokacijaglavne memorije – mem priključena na sabimicu procesora

Fizički adresni prostor: *skup adr dodjeljen tim mem lokacijama

Flynova klasifikacija arhitekture temelji se na:

* višestrukosti instrukcijskog toka i loka podataka

Flynova klasifikacija koja podsjeća na robovlasnočki sustav:

* SIMD

Format instrukcije karakterističan za RISC proc je:

* troadresni format instrukcije

Funkcija adresnog preslikavanja u virtualnom memorijskom sustavu je:

* f: LA -> FA U Ø

Funkcionalna shema Turingovog stroja je:

* tablica u kojoj su elementi prvog stupca elementi vanjske abecede a prvog retka unutarnja st.

Ganttov dijagram služi za:

* prikaz instrukcija u protočnoj strukturi

Ganttov dijagram ima naneseno:

* na apscisi vrijeme a na ordinati protočne segmente

Ganttov diagram :

* određuje aktivnost protocnih segmenata u vremenu

Glavna memorija kapaciteta 2^M ima 2^M(mb) blokova gdje je veličina bloka b=2^MW

riječt tada se pričuvna memorija sastoji od:

* Bp blokova (izravno nezavisno od Bm pri čemu je veličina bloka b=2^MW

Glavna memorija, kapaciteta 2^M, ima Bm = 2^M b blokova, gdje je veličina bloka b=2

riječt, tada se priručna memorija sastoji od:

* BP blokova (izravno nezavisno od BM), pri čemu je veličina bloka b = 2W;

Glavne sastavne komponente arhitekture računala su:

* sklopovska oprema (hardware), programska oprema (software) i humanware

Hazard je:

* situacija u protočnoj strukturi koja izaziva poremećaje i kašnjenje u glatkom pritoku

Hazard u protočnoj strukturi nastupa zbog:

* upravljačkih ili resursnih konflikata

Harvardska arhit. Računala uspješno rješava:

* sukobljavanje oko sredstava (resursa)

Hardverski tip arhitekture :

* svaki tip arhitekture koji razlikuje memoriju za podatke i memoriju za pohranu instrukcija

Hijerarhija kod memorije:

- lokalna – mala,brza, smještena u CPU, skup reg od 8-32 i više, uloga privremene memorije
- priručna (chache) – većeg kapaciteta, sporija, pohrana malih programa ili podataka bez naslovljavanja glavne mem
- glavna – velika, spora, reda MB
- sekundarna – vrlo velika, vrlo spora, reda GB

Instrukcija brl za SRISC upotrebljava se:

* kao primitiv za ostvarivanje prijenosa upravljanja a jedne programske strukture na drugu

Instrukcija JMP I se u PDB-8 koristla za :

* indirektan skok te povatak

Instrukcije uvjetnog i bezuvjetnog skoka koriste se za:

* Prijenos upravljanja u jednoj programskoj strukturi;

IR sadrži :

* operacijski kod instrukcije čije je izvođenje u tjeuku

Izlazi iz potpunog zbrajala Fi i Qi(+1) mogu se zapisati slijedećim Booleovim jednadžbama:

* $F_i = A_i \otimes B_i \otimes Q_i$; $Q_{i+1} = (A_i \otimes B_i) Q_i + A_i B_i$ gdje su x_i i y_i jednobitni ulazi operanada a Q_i je bit prijenosa iz prethodnog stupnja.

Iznimka (E) i prekid (I) su u odnosu:

* I je podskup E

Iznimke za MC 68000 koje su vezane s vanjskim događajem:

* reset * interupt * pogreška na sabimici

Iz prekidnog programa upravljanje na prekinuti proces vrši se pomoću instrukcija tipa :

* RTI ili RTE

Izvedba brojala sekvenci po modulu k:

* brojilo i dekodir * prstenasto brojilo

Izvedba koja je upotrebljena u računalu PDP-8 (za prijenos upravljanja a jedne programske strukture na drugu :

* podržava gnježđenje, ali ne podržava rekurziju

Izvedba stoga:

* pomoću posmačnih registara * uporaba mem sa izravnim pristupom kao područje stoga

Izvorni von Neumannov model procesora je:

* jedno-akumulatorsko orijentiran procesor

Izvorni model von Neumannovog računala imao je 13-bitni PC jer:

* u 40-bitnoj riječi bile su smještene 2 instrukcije a ukupni kapacitet mem bio je 2¹² 40-bitnih riječi

Jednoadresni format instrukcije sastoji se od:

* Jednog adresnog polja koji određuje adresu memorijske lokacije na kojoj se nalazi jedan od operanada.

Jedno od zlatnih pravila * Žrtvuj sve kako bi smanjio vremenski ciklus puta podataka' vrijedi za:

* procesore RISC

Kapacitet mem modula neka je 256 MB uz 8-bitnu memorijsku riječ širina adresne

sabirnice? Ako omogućava adresiranje svake od 256 M lokacija:

* 256 MB= 2²⁰ * 2⁸ = 2²⁸ MB ; sabirica mora imati 28 linija

Karakteristična brzina ISA sabirnice bila je:

* 4.116 MB/sec za 8-bitnu sabirnicu podataka i 8.33 MB/sec za 16-bitnu sabirnicu

Kod izravne priručne memorije blok sa lokacije u glavnoj memoriji smješta se na lokaciju j u priručnoj memoriji što tako da vrijedi: j = (modulo Bp) gdje je Bp broj bločnih priključaka u pr memoriji

Kod suvremenog računala logičkog i fizičkog postoje 3 vrste hazarda :

* strukturni, podatkovni (RAW, WAR, WAW), upravljački(zakašlelo upravljanje). Za RISC je koban RAW

Kod vektorskog prekida adresa prog. kojim će se obraditi prekid dobija se na temelju :

* vektora dobivenog od vanjskog uređaja

Koja se od kategorija rač prema Flynnovj klasif ne može stvarno realizirati:

* MISD

Koliko prekidnih zastavica ima MC68000.

* 3 prekidne zastavice I2,I1,I0

Kombinacijski sklop i brojilo po modulu n koji su pridodani sklopovskoj izvedbi stoga služe:

* detekciji preliva i podliva stoga;

Kombinacijski sklop koji je središnja komponenta sklopovski realizirane jedinice 8-instrukcijskog procesora ima homogenu strukturu koje je ostvarena sa:

* PLA;

K-ta konfiguracija Tur. stroja temelji se na:

* slici vrpce na početku k-log takta

K-ta konfiguracija Tur. stroja temelji se na def stanja stroja, položaja glave i informacije zapisane na vrpci:

* na početku k-log takta

Linija za zahtjevanje prekida definirana je kao:

* jednosmjerna od periferne jedinice prema procesoru

Logička adresa se predoblikuje u fizičku pomoću:

* adresnog translacijskog mehanizma

Logička se adresa a pohranjuje u :

* registru virtualne adrese

Logičke jednadžbe za signale propagacije i generiranja bita prijenosa :

* $P_i = A_i + B_i$; $g_i = A_i B_i$

Logičke jednadžbe za izlaze S i Cout polu zbrajala kao:

* $S = x \otimes y$ Cout = xy

Logičke f-je:

* I= 110; NE=111; XOR=101; IL= 100

Logički blok Turingovog stroja može se prikazati kao crna kutija:

* s ulazima iz SxQ i izlazima SxPxQ

Logičku operaciju I u modelu ALU na temelju standardnog pristupa oblikovanju ostvarujemo pomoću:

* logičke operacije EX-IL.

Lokalnost se izražava:

* vremenskom komponentom ; * prostornom komponentom

Lokalnost: vremenska= u bliskoj budućnosti koristi podatke i objekte iz bliske prošlosti; * prostorna= u buduć koristi podatke čija je adresa bliska podacima iz bliske prošlosti

Matrica B izvorne Wilkesove sheme mikroprogramirane upravljačke jed. Sadrži:

* adresu sljedeće mikroinstrukcije

Memorija kod Turingovog stroja može se klasificirati kao:

* Vanjska i unutarnja memorija;

Memorijski adresni registar M je:

* Izvor adresne sabirnice;

Memorijski SRAM čip je kapaciteta 1024 riječi od po 8 bita. Koliko adr nožica (uvoda) za adr 8-bit podatka pohranjenog u njemu treba imati taj čip:

* 10

Mikroprocesor MC 68000 ima :

* 7 razina prekida

Mikroprocesor MC 68000 ima sljedeća kazala stogova:

* 32-bitno USP i 32-bitno SSP;

μinstrukcija: * kodirano predstavljena jedna ili više μoperacija

μprogram: * slijed μinstr koje su pohranjene u upravljačkoj memoriji

μoperacija: * elementarna poeracija izravno i u potpunosti sklopovski podržana

Minimalni kontekst za prekid kao jednu od iznimaka proc. MC 68000 čine:

* 16-bitni sadržaj SR i 32-bitni sadržaj PC

Mjera za performansu proc koja se temelji na srednjoj geometrijskoj vrijed perf većeg broja ispitnih programa je:

* SPECMarks

Model mikroprogramljive upr. jed. rabi trofazni signal vremenskog vođenja. Što se

događa u pojedinim fazama, odnosno kraći naziv pojedine faze:

* (P0) = mikro izvrši * (P1) = prijenos adrese u registar H * (P2) = mikro pribavi

Model von Neumannovog računala podrazumjeva:

* da su instrukcije i podaci svedeni na numerički kod te da su pohranjeni u jednoj memorijskoj jedinici

MUX je jednostavan sklop kojim u jednostavnoj ALU ostvarujemo:

* posmačni sklop

Način dobivanja adrese sljedeće mikroinstrukcije:

- povećanjem sadržaja adresnog registra H
- prijenosom adresnog polja upravljačke rijeđu H
- korištenjem grananja.

Nadgledni način rada mikroprocesora MC 68000 ima sljedeću značajku:

* Na raspolaganju mu je čitav skup instrukcija, uključujući i nepovlaštene instrukcije;

Najniža razina hijerarhijskog modela arhitekture računala je:

* Sklopovska oprema;

Napišite log. F-je za izrazе Si i Ci potpunog zbrajala kao f-je ulaznih bitova Ai i Bi te bita prijenosa Ci-1:

* $S_i = A_i \text{ xor } B_i \text{ xor } C_{i-1}$ * $C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$

Napišite logičke jednadžbe za potpuno zbrajalo:

* $S = x \text{ xor } y \text{ xor } z$ * $C = xy + xz + yz$

Naš model uprogramljivog CPU ima: * trosabimičku arhitekturu

Na temelju poč. inf A zapisane na vrpci T stroja mogući su ishodi:

* nakon konačnog broja zaktova Turingov stroj staje i pri tomr ima zapisanu inf B, i

tada je stroj primjenjiv na zadanu početnu konfiguraciju

Navedite načine dijeljenja logičkog i fizičkog adresnog prostora na temelju

promjenljivosti veličine bloka:

* logički adresni prostor = fizički adresni prostor(segmentacija stranjičenja);

* logički adresni prostor < fizički adresni prostor(segmentacija);

* logički adresni prostor > fizički adresni prostor(staničenje)

Negativni broj predodčen u notaciji dvojnog komplementa ima:

* msb jednak 1;

Obrada informacije u Turingovom stroju se odvija u :

* logičkom bloku

Obrada iznimke za procesor MC 68000 se odvija:

* u nadglednom načinu rada;

Odnos brzina sabirnica PCI, ISA, EISA:

* ISA (najsporija) → EISA → PCI (najbrža)

Odnos između logičkog (LA) i fizičkog (FA) adresnog prostora je:

LA > FA;

Omjer pogotka izražava se kao vjerojatnost da se nasov. podatak nalazi u pričuvnjoj mem sastoji od: * $h=(br\ pogodaka)/(ukupan\ broj)=(k-1)/k$

Organizacija LAP-a predstavlja:

* linearni memorijski model * model memorije u odsječcima

Organizacija priručne mem. prema načinu smještanja blokova :

* potpuna asocijativna priručna mem.; * izravna priručna mem * skupna asocijativna priručna mem;

Organizacije izravne priručne memorije (osnovna značajka):

* blok iz glavne memorije može se emjestiti samo na određeni bločni priključak

priručne

Osnovni cilj RISC procesora -jedna instrukcija u jednoj periodi signala vremenskog vođenja ostvaruje se:

* izborom skupa instrukcija tako daje broj perioda (potreban za njihovo izvođenje) k <

M i uporabom protočne strukture dubine M;

Označite neistinitu tvrdnju koja se odnosi na Turingov stroj:

* skup unutarjih stanja stroja je konačan

PDP-8 računalo (60 tih god): rješenje za prijenos upravljanja između programa i potprograma.

* ne podržava rekurzivno pozivanje potprograma;

Performanse procesora, najobjektivnija jedinica je:

* SPEC marks;

Podatkovni hazardi su: RAW, WAR i WAW. Za RISC proc od gornjih hazarda

kritičan je:

* RAW

Podjela logičkog i fizičkog adresnog prostora na jednake blokove stalne veličine,

riječ je o:

* virtualnom memorijskom prostoru sa straničenjem

Po IBM –u pojam arhitektura racunala:

* racunala jednake arhitekture ako imaju isti skup strojnih instrukcija

Pojednostavljeni model 8-bitnog procesora naj sličniji je :

* mikroprocesoru Motorola 6800

Pojmovi važni za virtualnu memoriju:

* fizički adresni prostor i logički adresni prostor

Poređajte memorije u skladu sa memorijskom hierarhijom od najviše razine ka

najnižoj:

* mikroprogramirana (upravljačka) memorija * lokalna * priručna * radna * sekundarna

Potpuna asocijativna priručna ima jednu bitnu i prepoznatljivu značajku:

* blok veličine b iz glavne memorije može se smjestiti na bilo koji slobodni bločni priključak priručne memorije

Potpuno asocijativno preslikavanje kod priručne memorije dopušta:

* priključivanje bilo kojeg bloka memorije u bilo koji bločni priključak

Pretidi izazivaju : * UI sklopovi; * upravljačka jedinica vanjske memorije ; *

vremenski nadgledni sklopovi ; * upravljačke jedinice memorije (MMU)

Prema logičkoj funkciji TS-a jedan od sljedećih oblika zapisa je pravilan:

* (qn, si) – (ql, sj, 0)

Prema von Neumannovom izvornom konceptu:

* instr su svedene na numerički kod tako da se i instr i podaci pohranjuju u

zajedničkoj memoriji

Preslikavanje stranice sekundarne memorije u stranice priručne memorije:

* potpuno asocijativno preslikavanje * izravno preslikavanje * skupno asocijativno

preslikavanje

Pretpostavite da je SRAM memorijski modul od 64 KB. Uz pretpostavku adresne

znatlosti rijeđ (16 bita) min pitrebna širina adresne sabirnice je :

* 15 bita

Pribavljanje blokova:

* pribavljanje na zahtjev ; * pretpribavljanje

Prijelaz iz korisničkog u nadgledni način rada (MC 68000) može se ostvariti:

* samo iznimkom

Prilikom izvedbe sklopa za posmak u procesoru radi veće brzine prednost se daje:

* kombinacijskim sklopovima

Prilikom oblikovanja jednostavne ALU obično se upotrebljava pristup:

* najprije se oblikuje aritmetička sekcija nezavisno od logičke, zatim se određuje koje se lg op mogu izvesti sklopovima iz aritim sekcije i konačno modificiraju se aritim skl tako da bi se mogle izvesti i željene operacije

Priručna memorija je kapaciteta:

* većeg od skupa registara (lokalna memorija) a manjeg od radne memorije

Problemi mem.sustava :

* latentnost; * kapacitet glavne mem.

Procesor MC 68000 ima:

* dva načina rada: korisnički i nadgledni

Programska izvedba stoga obično je ostvarena u :

* radnoj ili glavnoj memoriji

Programski model SRISC procesora sastoji se od:

* 32 32-bitna reg opće namjene, 32-bitni PC, 16-bitni SR, i 32-bitni IR

Programsko brojilo se inkrementira (povećava za 1), u pravilu:

* Tijekom faze PRIBAVI;

Propusnost uskog grla upotrebom priručne memorije povećava se zbog:

* dopušta se pretpribavljanje potrebnih rijeđ ; * višestruko korištenje rijeđi ; * brz

prijenos bloka podataka

Protočni mjehurici nastaje zbog : * hazarda

Protočni segmenti:

* IF- pribavlja instr; * ID- dekodira op kod i dohvaća operand istodobno * EX- obavlja se operacija * ME- losd/store operacije * WB- upisuje se rez natrag u registar

Protočni segment ID radi:

* dekodira instrukciju i istodobno dohvaća operande

Protočnost kao iznimno važan koncept značajan je za :

* RISC i CISC arhitekturu

Put podataka obično uključuje sljedeće glavne komponente:

* skup registara opće namjene i privremeni reg; * alu; * posmačni registar; * PC ; *

posebni upravljački registri; * interna sabirnica

RAM i ROM su oznake koje:

* RAM i ROM se tehnološki razlikuju, s time da je RAM izbrisiva memorija;

RAM je kod von Neumanna bio:

* 4 K * 40 bita

Realizacija jednostavne ALU:

- realizacija aritmetičke sekcije neovisno o logičkoj sekciji
- određivanje logičkih operacija koje mogu obavljati sklopovi aritmetičke sekcije
- modifikacija aritmetičke sekcije da bi mogla vršiti željene logičke operacije

Registar ili spremnik je:

* uređen niz binarnih ćelija tako da reg duljine n bitova može biti u jednom od 2^n

mogućih stanja

Rekurzivni program P može se prikazati kao:

* kompozicija osnovnih instr Si (koje ne sadrže P) i samog programa P

Rekurzivno pozivanje potprograma (funkcija ili procedura) može se ostvariti

uporabom:

* Mehanizma koji se koristo u računalu PDP-8 i Složnog mehanizma (LIFO + kazalo stoga);

Resetom proc MC 68000:

* prelazi u nadgledni način rada i postavlja zastavice S i lo, li, l2

RISC arhitektura se još naziva i LOAD/STORE arhit zato što:

* se samo sa instrukcijama tipa LOAD/ STORE može pristupati memoriji

Sabirnica se može prikazati kao:

* skup vodiča organiziranih u skladu s određenom f-jom, s time da su neke linije po svojoj f-j jednosmjerne a neke dvosmjerne

Sabirnička jedinica (Bus Unit) može se promatrati kao stroj stanja koji ima:

* stanje Address Time i stanje Data Time – svako stanje traje 1 periodu PCLOCK-a

Segmentacija i stranicenje:

- stranicenje = log i fiz. adresni prostor podjeljen je na blokove stalne duljine. Takvi blokovi u LAP-u se nazivaju stranice i duljine su 512 ili 1024 riječi, a u FAP-u se nazivaju okviri
- segmentacija = LAP i FAP su podjeljeni na blokove promjenjive duljine – segmente. Njihova duljina se može mijenjati i za vrijeme izvođenja programa

Sekvencijalni prijenos:

* ne mogu se istovremeno prenositi i instrukcije i podaci

Sklopovski se stog dubine 32 16-bitnih riječi može realizirati najjednostavnije sa:

* 16 32-bitnih posmačnih registara;

Sklopovski se stog dubine 64 16-bitnih riječi može realizirati sa:

* 16 64-bitnih posmačnih registara;

Sklop za priređivanje bita operanda B je:

* jednostavan dvorazinski kombinaijski sklop (1. razina – I; 2. razina II i I)

Skup P kojim se definiraju naredbe za pomak glave Turingovog stroja sastoji se od:

* Od naredbi D, L i N ili Ø;

Smještanje blokova za sustave sa segmentacijom (najpoznatiji algoritmi):

* alg. najboljeg pristajanja ; * alg. najgoreg pristajanja ; * alg. binarnih drugova

SRICS procesor ima memoriju:

* bajtno organiziranu

SRICS procesor ima instrukcije uvjetnog grananja tako izvedene da je:

* uvjet grananja dobiven ispitivanjem sadržaja jednog od 32 registra u sklopu reg.

SRICS procesor upotrebljava:

* Big-Endian Byte Ordering

Struktura stoga podržava:

* Rekurzivno pozivanje (pot)programa i njihovo gniježđenje te gniježđenje prekidnih programa.

Širina adr. sabirnice je 24 bita. Izravno adresljiv prostor je veličine:

* 16 M lokacija

Što se na temelju duljine uprog. broja može zaključiti o veličini uprog. upravljačke memorije?

* može se odrediti kapacitet uprog. upravljačke memorije

Tipičan broj cjelobrojnih registara za RISC procesor je:

* do 32

Tijekom dekodiranja instrukcije u RISC procesoru:

* operandi se ne mogu dohvaćati jer nije još poznata operacija

Tijekom izvođenja bilo koje od logičkih operacija, bit Q svakog stupnja treba biti:

* u logičkoj 0;

Tijekom logičkih operacija u našem ALU vrijedi:

* nije važno u kojem je stanju Ci jer logičke op ne trebaju taj bit

Tijekom oblikovanja logičke sekcije za našu ALU jed uveli smo dodatnu varijablu K

koja je korištena za: * izvedbu log operacije I

Troadresni format instrukcije karakterističan je za:

* RISC procesore

Stog realiziran memorijski:

* raste prema padajućim adresama;

Stog realiziran programski raste prema:

* padajućim adresama;

U 8-bitnom registru nalazi se zapisan broj B4H. Nakon izvođenja operacije

aritmetičkog posmaka za jedno mjesto u desno, u registru se nalazi broj:

* DAH

U Denningovom modelu adresnog preslikavanja (s namjerno ugrađenom

pogreškom) kapacitet tablice preslikavanja jednak je:

* sumi FA + LA

U uprocorsoru MC 68000 fizički su realizirane 2 registra koja imaju f-ju kazala stoga:

* 32-bitni registri A7 i A7'

Uobičajene organizacije logičkog adresnog prostora predstavljene su sa 2 osnovna

modela:

* linearni memorijski model * model memorije u odsječcima

U organizaciji pripučne mem svakom je bloku od Bp blokova pridružena inf. o adr.

bloka u glavnoj mem. Ta se inf. smještava u n-bitno polje koje se naziva:

* bločni priključak

U pojednostavljenom modelu uprocorsora CISC arh. registar DC –brojilo podataka:

* sadrži adresu operanda

Upravljačka jedinica : (funkcije):

* pribavljanje instr. * interpretacija * generiranje upravljačkog signala koji se šalje ALU,

* upravljanje sljedom događaja

U protočnoj strukturi faktor ubrzanja (za idealan „glatki“ tok) je:

* M – gdje je M broj protočnih segmenata

U računalnom sustavu referentna točka se bira tako da je smještena u :

* procesoru

Uređivanje bitova u mikrorječi:

* izravno upravljanje; *grupiranje bitova; * višestruki formati; * vertikalno/horizontalno

uprogramiranje

U sklopovskoj izvedbi stoga posmak u lijevo (desno) obično odgovara:

* operaciji POP (PUSH)

Usputni format instrukcije sadrži: * usputni operand

U suvremenim arhitekturama računala odnos između logičkog (LA) i fizičkog (FA)

adresnog pr je: * LA> FA

U većini stogova ostvarenih programski stog raste:

* prema padajućim adresama

Uvjeti za prihvatanje prekida:

* IQR generiran ; * obrisana maska ; * završena tekuća instrukcija

Vanjska memorija Turingovog stroja je:

* vrpca podjeljena na polja koja se po potrebi pridodaju s lijeve ili/ desne strane

Vektorski prekid (osnovna značajka):

* vektor kojeg generira uzročnik prekida i to tako da je on jednoznačan za svakog

uzročnika;

VLIW arhitektura temelji se na:

* horizontalnom uprogramiranju

Von Neumann:

* dvoakumulatorski

Von Neumann i ostali izabrali su binarni brojevni sustav:

* Zato što je binarni sustav napodnesniji za prikaz i primjenu računala kao logičkog

stroja.

Wilkesova izvorna shema mikroprogr. upr. jedinice sastoji se od:

* dvije diodne matrice - A koja nudi upr. signale i diodne mat. B koja određuje adresu

sljedeće mikroinstrukcije

Za binarne operacije u akumulatorskim procesorima vrijedi:

* A = f (M,A)

Zahtjev za prekid može biti:

* aktivan * nerješan * onemogućen

Zakašnjenje instrukcije grananja u arh. RISC proc posljedica su:

* upravljačkog hazarda

Zamjena blokova u sustavu virtualne memorije (3 algoritma) :

- OPT ; FIFO ; LRU → blokovi stalne duljine
- PFF ; WS ; VMIN → blokovi promjenjive duljine

Za način preslikavanja pri smještanju blokova u priručnu memoriju koji se naziva

potpuno asocijativno preslikavanje vrijedi:

* blok iz glavne memorije može se smjestiti na bilo koji slobodni bločni priključak;

Za realizaciju 8-bitnog komb ski za posmak koji može ostvariti i posmak za 2

mješta u jednom taktu signala trebamo:

* 8 MUX 4/1

Zaštita procesa objedinjuje:

* sigurnost ; * privatnost

Značajka Load/Store arhit. specficira:

* RISC arhitekturu

Značajke arhitekture procesora RISC su takve da je najkritičnija vrsta hazarda:

* RAW (Read-After-Write)