Završni ispit iz Arhitekture računala 2

	A	В	C	D		Α	В	C	D
1.	0	0	0	0	9.	0	0	0	0
2.	0	0	0	0	10.	0	0	0	0
3.	0	0	0	0	11.	0	0	0	0
4.	0	0	0	0	12.	0	0	0	0
5.	0	0	0	0	13.	0	0	0	0
6.	0	0	0	0	14.	0	0	0	0
7.	0	0	0	0	15.	0	0	0	0
8.	0	0	0	0	16	0	0	0	0

- Koja je prednost tablice odredišta grananja nad tablicom povijesti grananja?
 - (a) trenutno određivanje spekulirane odredišne adrese
 - (b) bolji rezultati predviđanja
 - (c) zahtijeva manju površinu čipa
 - (d) veća latencija spekuliranog ishoda grananja
- Zašto su u skalarnoj protočnoj strukturi s više procesnih jedinica funkcijske jedinice slabo iskorištene?
 - (a) zbog neefikasne priručne memorije
 - (b) jer se izdaje samo jedna instrukcija po ciklusu
 - (c) zbog hazarda RAW
 - (d) zbog slabog predviđanja grananja

- Dinamičko raspoređivanje se koristi jer statička analiza ne može:
 - (a) optimirati kod za željenu arhitekturu
 - (b) razotkriti strukturne hazarde
 - (c) razotkriti dinamičke memorijske i upravljačke hazarde
 - (d) razotkriti registarske hazarde
- Koja od sljedećih tehnika ne vodi povećanju propusnosti modula DRAM?
 - (a) usporedan pristup većem broju sklopova uz preplitanje podataka
 - (b) širenje podatkovne sabirnice
 - (c) brzi pristup retku uz grupni prijenos podataka
 - (d) asinkroni upravljački protokol

- 5. Primjer SIMD računala je:
 - (a) redundantno računalo u kojem više izvršnih jedinica obrađuje iste podatke
 - (b) serijsko zbrajalo
 - (c) Von Neumannovo računalo
 - (d) vektorski procesor na grafičkoj kartici
- Koliko ciklusa traje faza izvrši instrukcije and sabod pojednostavljenog modela procesora?
 - (a) 3
 - (b) 5
 - (c) 1
 - (d) 2
- Ukoliko želimo oblikovati superskalarni procesor koji bi u prosjeku izvodio dvije instrukije po ciklusu, broj procesnih jedinica mora biti:
 - (a) proizvoljan
 - (b) jednak dva
 - (c) manji od dva
 - (d) znatno veći od dva
- Koji je glavni nedostatak algoritma LRU za zamjenu blokova priručne memorije?
 - (a) slabo korištenje prostorne lokalnosti
 - (b) prevelik pritisak na propusnost glavne memorije
 - (c) gubitak koherencije u višeprocesorskom sustavu
 - (d) složena implementacija za više od dvoelementne asocijativnosti
- 9. Translacijski spremnik sadrži:
 - (a) kopije straničnih opisnika
 - (b) povijest grananja
 - (c) kopije neprekinutih blokova priručne memorije
 - (d) servisne podatke priručne memorije
- Zadana je PM s 8 linija po 16B i izravnim preslikavanjem. Svako promašeno čitanje bajta inicira prijenos podataka iz DRAM-a od:
 - (a) 16B
 - (b) 1B
 - (c) 128B
 - (d) 4B

- 11. Najčešći odnos TLB-a i PM je:
 - (a) TLB prethodi PM
 - (b) PM prethodi TLB
 - (c) PM i TLB se aktiviraju kod različitih instrukcija
 - (d) PM i TLB su potpuno neovisni jedan o drugome
- 12. Koji problem se može pojaviti kad promijenjene podatke cachea ne upisujemo trenutno u glavnu memoriju?
 - (a) povećanje latencije PM
 - (b) gubitak koherencije u višeprocesorskom
 - (c) gubitak podataka zbog nepouzdanosti memorijskih elemenata PM
 - (d) prevelik pritisak na propusnost glavne memorije
- Kakav sve odnos između |LAP| i |FAP| se može pronaći na postojećim 32-bitnim računalima?
 - (a) uvijek |LAP| > |FAP|
 - (b) uvijek |LAP| ≥ |FAP|
 - (c) uvijek |LAP| ≤ |FAP|
 - (d) bilo kakav: |LAP| ≶ |FAP|
- Zadana je PM s 8 linija po 16B. Koliko komparatora oznake adrese je potrebno kod potpuno asocijativnog preslikavanja?
 - (a) 2
 - (b) 16
 - (c) 8
 - (d) 4
- Koja od sljedećih tehnika nije namijenjena za statičko predviđanje grananja?
 - (a) trivijalno predviđanje
 - (b) određivanje češćeg smjera grananja profiliranjem koda
 - (c) bimodalno predviđanje ishoda grananja
 - (d) predviđanje s obzirom na smjer
- Kod straničenja, adresno preslikavanje se izvodi pomoću sljedeće operacije:
 - (a) dijeljenje
 - (b) zbrajanje
 - (c) prozivanje tablice
 - (d) oduzimanje