

**Napomene:** Obavezatno upisati ime i prezime na papir sa zadacima i na papir s odgovorima. Vrijeme za rješavanje problemskog dijela ispita je 90 min. Uz svaki zadatak označen je pripadni broj bodova. (Ispitne zadatke sastavio je prof. dr. sc. S. Ribarić.)

Ime i prezime: \_\_\_\_\_, JMBAG: \_\_\_\_\_.

1. (4 boda) Za sljedeći tijek događaja koji se odvijaju u računalu temeljenom na procesoru MC 68000:
  - a) dogodila se iznimka RESET (**odrediti stanja zastavica S, T i I<sub>0</sub>, I<sub>1</sub>, I<sub>2</sub>**)
  - b) izvodi se program u kojem se zastavice I<sub>0</sub>, I<sub>1</sub>, I<sub>2</sub> postavljaju tako da se dopušta razina prekida 4 i viša,
  - c) zastavica S postavlja se u "0" i procesor nastavlja s izvođenjem programa,
  - d) tijekom izvođenja programa dogodio se zahtjev za prekid ( $\overline{IPL0} = 1$ ,  $\overline{IPL1} = 1$ ,  $\overline{IPL2} = 0$ ), (**odrediti stanja zastavica S, T i I<sub>0</sub>, I<sub>1</sub>, I<sub>2</sub> nakon "kućanskih poslova" za d)**)
  - e) instrukcijom RTE prenosi se upravljanje na prekinuti program (**odrediti stanja zastavica S, T i I<sub>0</sub>, I<sub>1</sub>, I<sub>2</sub> nakon e)**)

**nacrtati dijagram stanja** kojim se predočuju načini rada procesora MC 68000 i u dijagramu označite oznakama **a), b), c), d), e)** odgovarajuća stanja i prijelaze.
2. (6 bodova) Procesor MC 68000 upravo izvodi prekidni program. Umjesto instrukcijom RTE prekidni program završava programskim odsječkom:

MOVE.W (SP)+, SR ; s vrha stoga uzmi 2 bajta i pohrani ih u SR, povećaj SP za 2  
RTS

Odredite što se događa sa stogovima i radom procesora ako slika 1. prikazuje stanje stogova neposredno prije izvođenja gornjeg programskog odsječka a slika 2. prikazuje format 16-bitnog registra SR:

3. (3 boda) Za procesor SRISC i instrukcije

ld ra, C2 (rb)                      i                      la ra, C2 (rb)

čiji je format prikazan na slici 3. pri čemu je operacijski kod za instrukciju 00001 a za la 00101, odredite:

- a) efektivnu adresu (**izrazite je heksadekadno**) koju koristi instrukcija ld te označite registar ili registre opće namjene koji mijenjaju sadržaje tijekom izvođenja instrukcije;
- b) promjene sadržaja registra (ili registara) opće namjene koje izaziva instrukcija la.

Nove vrijednosti sadržaja registra **označite heksadekadno**. Sadržaj registara programskog modela SRISC je (neposredno prije izvođenja jedne ili druge instrukcije):

```
(r0) = 00 00 AA AA (heksadekadno)
```

$$(r1) = 00 \ 00 \ 00 \ 01$$
$$(r_2) = 00 \ 00 \ 00 \ 02$$
$$(r3) = 00 \ 00 \ 00 \ 03$$
$$(r_4) = 00 \ 00 \ 00 \ 04$$
$$(r5) = 00 \ 00 \ 00 \ 06$$

(r6) = 00 00 00 07

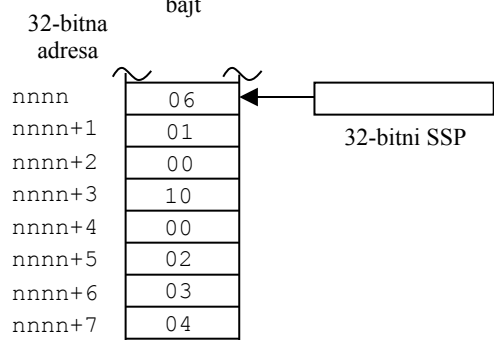
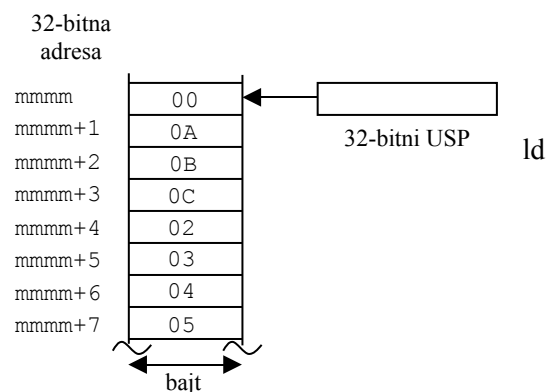
(r7) = 00 00 00 08

(r8) = 00 00 00 09

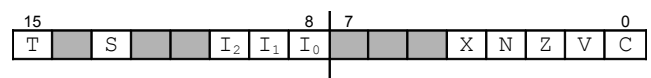
(r9) = 00 00 00 0A

• • •

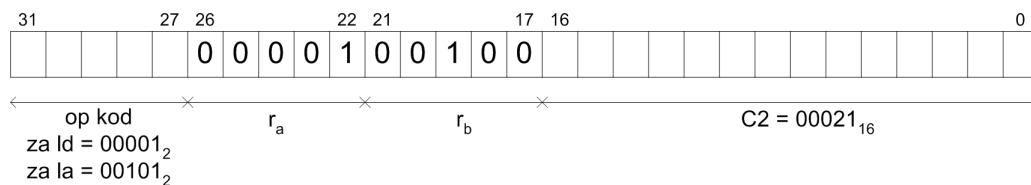
```
(r31) = 00 00 00 F0
```



Slika 1



Slika 2



Slika 3: format instrukcije ld i la za SRISC.

4. (4 boda) Protočna **sinkrona dinamička** instrukcijska struktura sastoji se od 8 protočnih segmenata. Vremena obrade u pojedinim segmentima su:

$$t_1 = t_2 = t_3 = t_4 = 8 \text{ ns}$$

$$t_5 = 10 \text{ ns}$$

$$t_6 = t_7 = t_8 = 9,5 \text{ ns.}$$

Izvodi se  $N_1 = 10\,000$  instrukcija jednog tipa instrukcija. Nakon toga dinamička protočna struktura se rekonfigurira za potrebe izvođenja drugog tipa instrukcija kojih ima  $N_2 = 20\,000$ . Vrijeme potrebno za rekonfiguriranje protočne strukture je  $T_r = 60 \text{ ns}$ .

a) Odredite efektivno vrijeme izvođenja jedne instrukcije u gornjoj mješavini instrukcija  $T_{\text{ef-prot}}$  (Opaska: Konačni rezultat možete ostaviti u obliku razlomka)

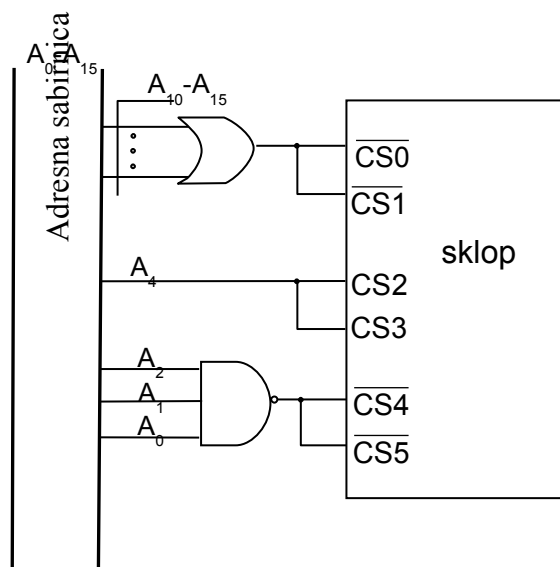
b) Odredite faktor ubrzanja  $S = T_{\text{neprot}} / T_{\text{ef-prot}}$ , gdje je  $T_{\text{neprot}}$  vrijeme obrade za neprotočnu strukturu nezavisno od tipa instrukcije i ono iznosi 64 ns.

(Opaska: Konačni rezultat možete ostaviti u obliku razlomka)

5. (3 boda) Definirajte logičke vrijednosti pojedinih adresnih linija tako da bude izabran sklop prikazan na slici 4. koji koristi nepotpuno adresno dekodiranje.

a) Odredite adresni raspon (najnižu i najvišu moguću adresu) u kojem se sklop javlja (izrazite ih heksadekadno).

b) Uporabom **minimalnog** broja dodatnih kombinacijskih logičkih sklopova koji imaju maksimalan broj ulaza do 4 i koji će se priključiti na redundantne priključke  $\overline{\text{CS1}}$ , CS3 i  $\overline{\text{CS5}}$  oblikujte adresni dekodier kojim će se jednoznačno definirati adresa sklopa i to 0017 (heksadekadno). Nacrtati.



Slika 4