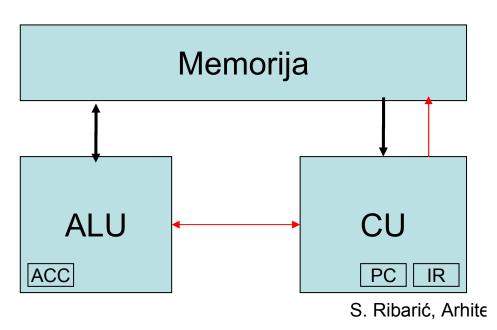
## 1. Pojednostavnjeni model računala (CISC, 1975)

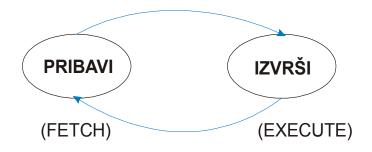
# Podsjetimo se na tijek izvođenja programa u von Neumannovom modelu računala:

- pribavljanje instrukcije:
  - CU adresira memoriju programskim brojilom
  - memorija šalje instrukciju (npr. ADD \$100)
  - CU sprema instrukciju u IR, uvećava PC



- izvođenje tipične instrukcije:
  - CU pribavlja podatak koji se smješta u ALU; adresu podatka definira IR
  - ALU izvodi operaciju nad podatkom i akumulatorom; operaciju definira IR
  - rezultat operacije smješta se natrag u akumulator

Računalo se tijekom izvođenja programa uvijek nalazi u jednoj od dvije moguće faze (ili stanja)



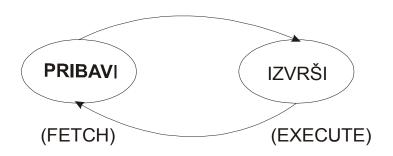
PRIBAVI – iz memorije se pribavlja sljedeća instrukcija

IZVRŠI – pribavljena instrukcija se izvršava

Tipični obrasci izvršavanja:

- memorijski operand se dohvaća i obrađuje
- akumulator se sprema u memoriju
- memorijski operand se sprema u PC

[Ribarić]



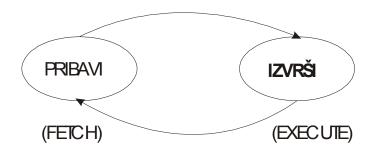
PRIBAVI:

1. korak:  $MEM(PC) \rightarrow IR$ 

2. korak:  $PC + 1 \rightarrow PC$ 

3. korak: Dekodiranje operacijskog

koda instrukcije



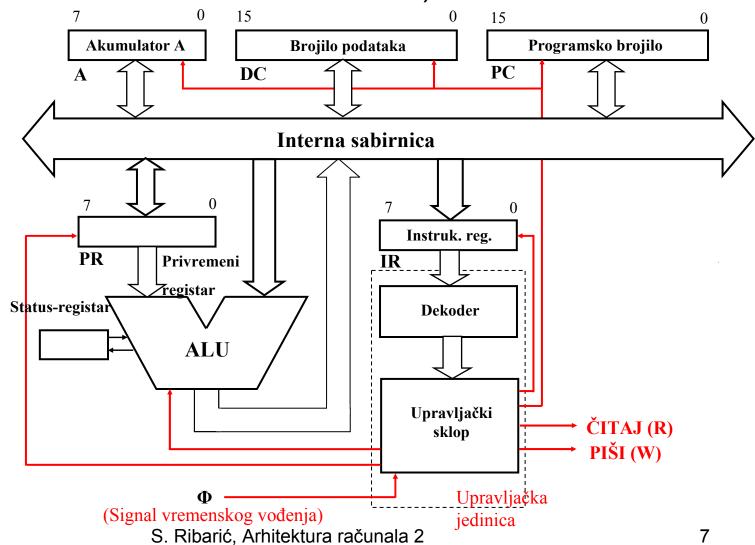
IZVRŠI: 4. korak: (npr. pročitaj tj. dohvati operand iz memorije)

5. korak: (npr. izvedi aritmetičku operaciju nad jednim ili dvama operandima)

6. korak: ...

7. korak: ...

# Pojednostavnjeni model procesora (CU + ALU) (CISC, 1970-1980, 10^4 tranzistora)

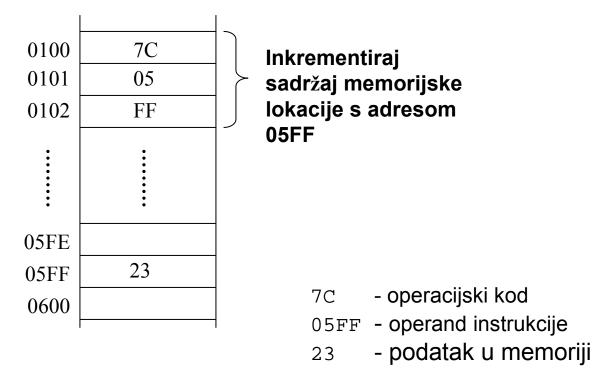


## Komponente modela

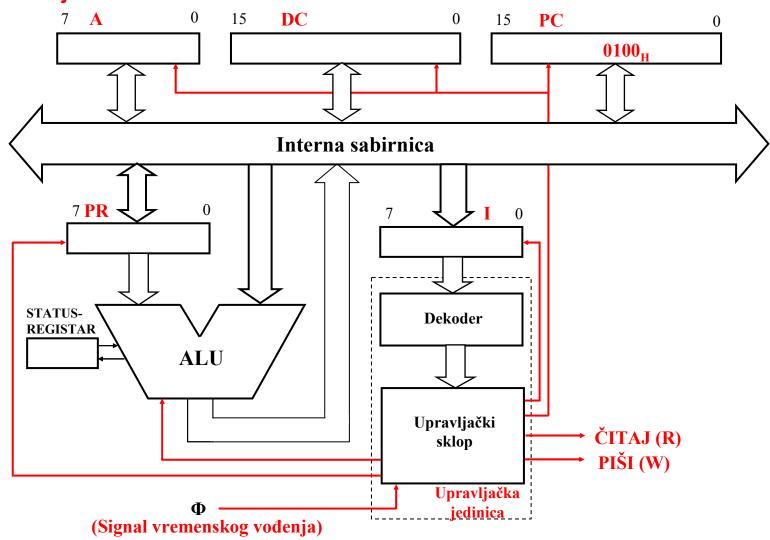
- Akumulator A
- Programsko brojilo PC
- Instrukcijski registar IR
- Brojilo podataka DC
- Privremeni registar PR
- Statusni registar (Registar stanja)
- ALU
- (Skup registara opće namjene)
- Interna sabirnica
- Upravljačka jedinica

## Primjer izvođenja programa

- Program samo od jedne instrukcije INC \$05FF
- ekvivalent u C-u: ++i;

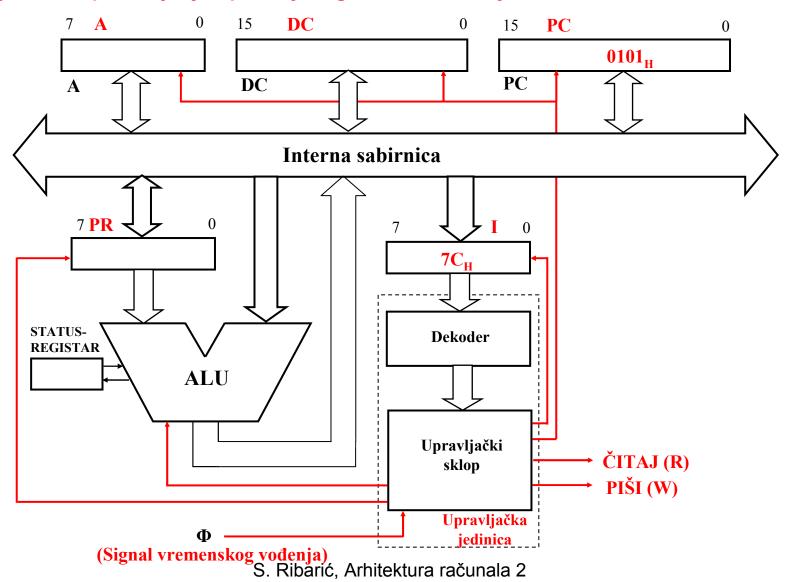


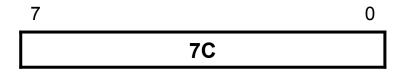
#### Početni uvjeti



S. Ribarić, Arhitektura računala 2

#### Stanje nakon pribavljanja operacijskog koda instrukcije





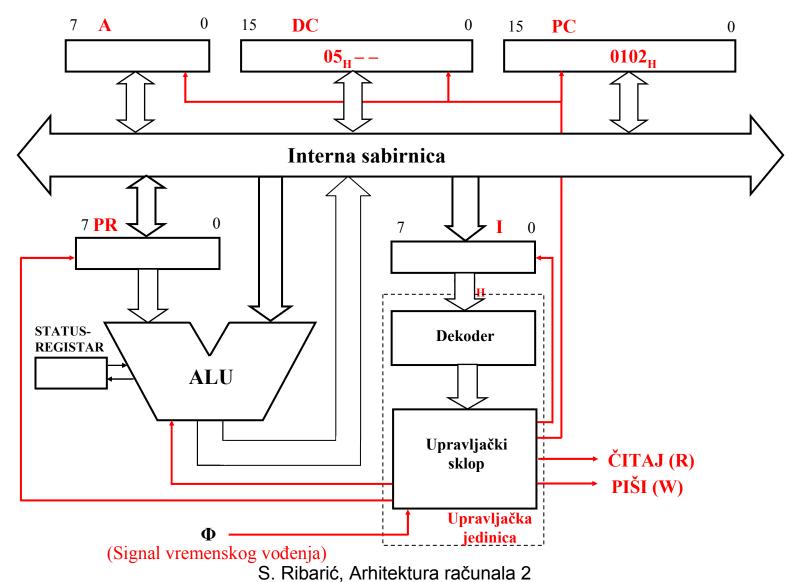
Operacijski kod

7C = 01111100

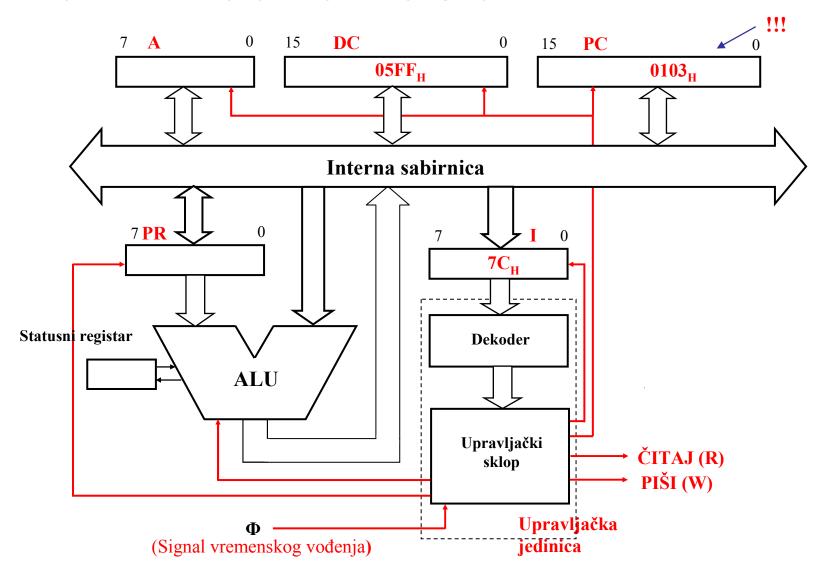
se tumači kao: Povećaj za 1 vrijednost operanda čija je adresa sadržana u dva bajta koja slijede ovom operacijskom kodu.

#### Stanje nakon pribavljanja značajnijeg bajta adrese operanda

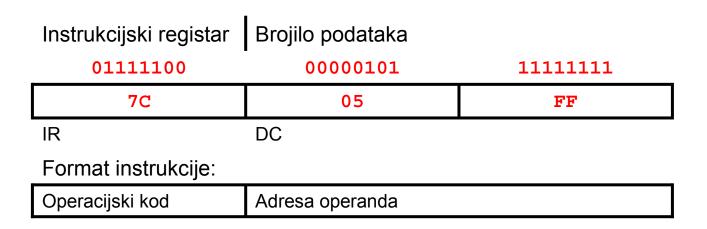
## Pazi: Faza Pribavi još uvijek traje!



#### Stanje nakon pribavljanja manje značajnog bajta adrese operanda

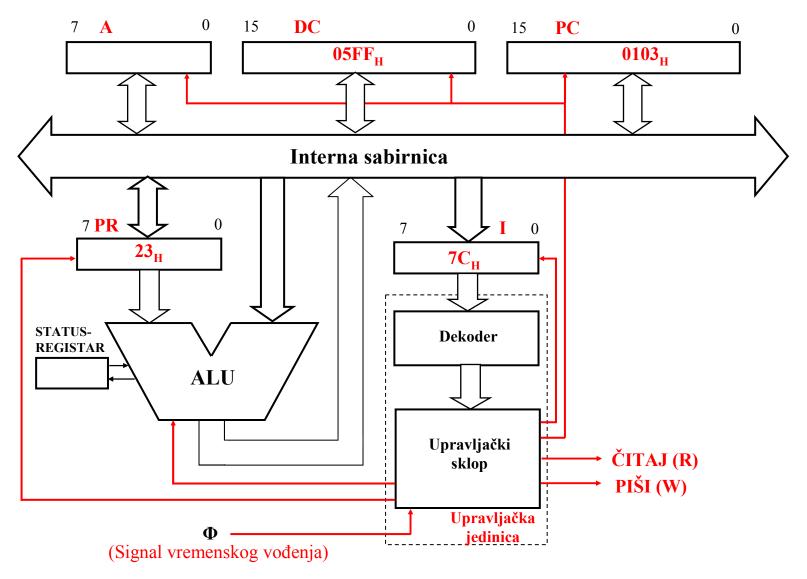


## Faza Pribavi je završena!



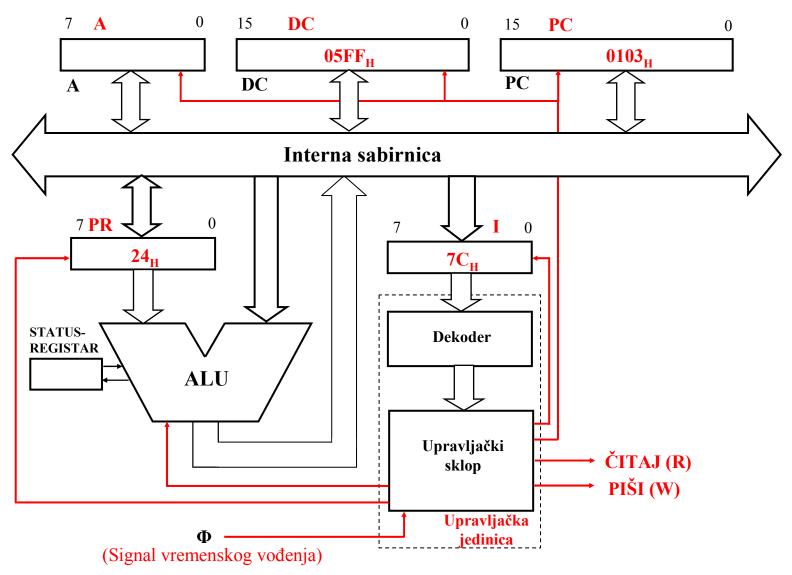
Jednoadresni format instrukcije – kao i kod von Neumannovog računala (akumulatorska instrukcijska arhitektura – očuvana do danas!)

#### Stanje nakon dohvata operanda (faza IZVRŠI)



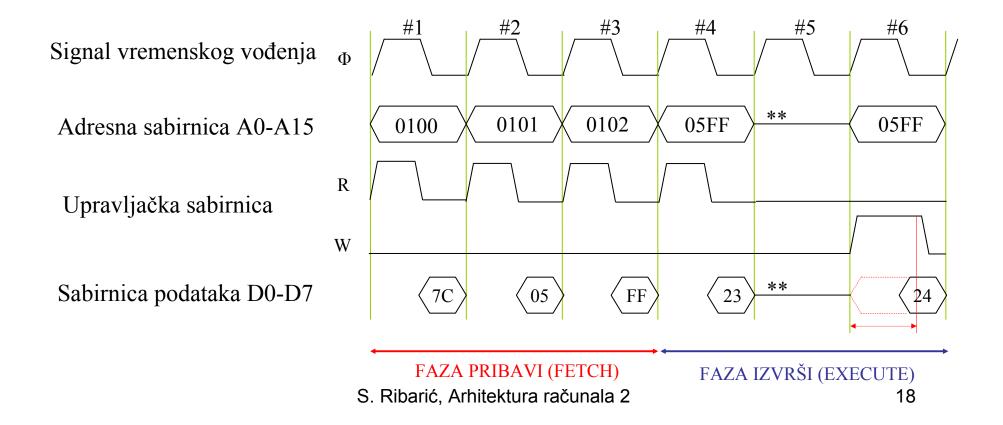
S. Ribarić, Arhitektura računala 2

#### Stanje nakon povećanja operanda za jedan (faza IZVRŠI)

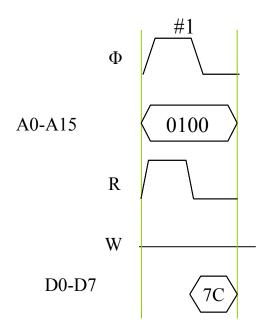


S. Ribarić, Arhitektura računala 2

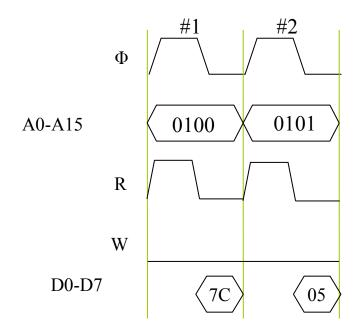
## Stanje na vanjskim sabirnicama



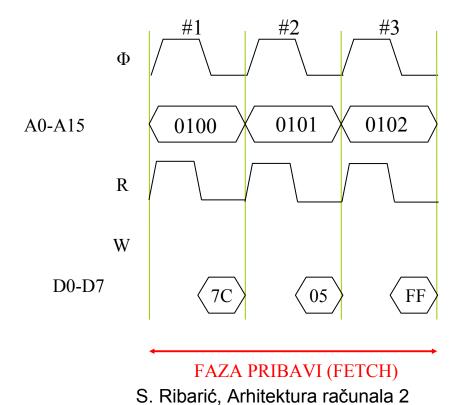
## Prvi period signala vremenskog vođenja



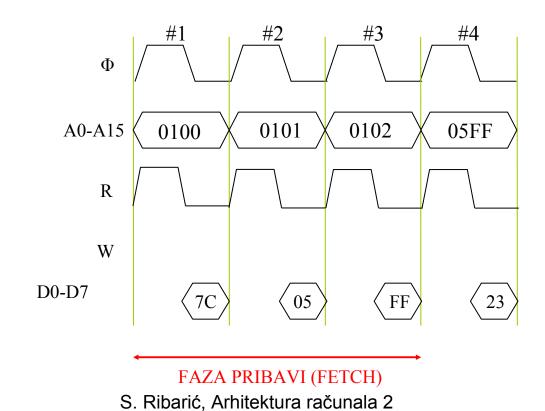
## Drugi period signala vremenskog vođenja



## Treći period signala vremenskog vođenja



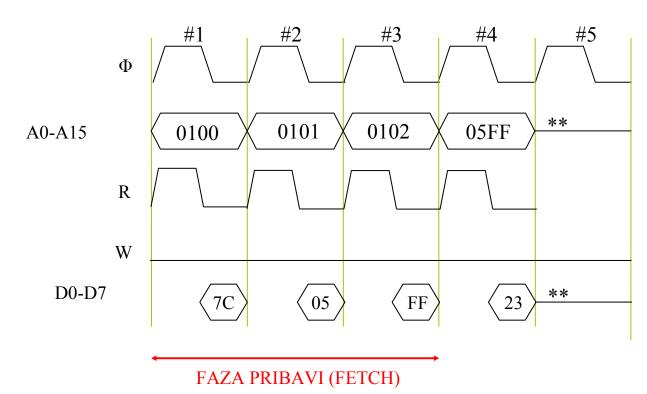
## Četvrti period signala vremenskog vođenja



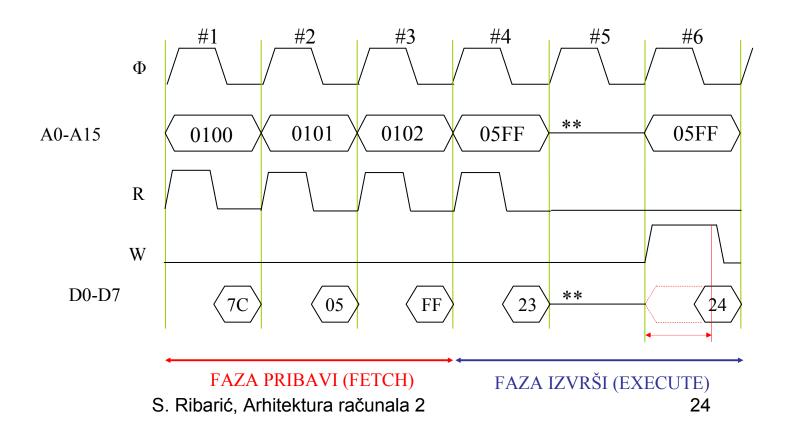
## Peti period signala vremenskog vođenja

#### Pozor:

\*\* - Označava stanje visoke impedancije /treće stanje/



## Šesti period vremenskog vođenja



#### Motorola MC 6800

(izravni prošireni način adresiranja)

	OP	?	#
INC	7C	6	3

Zahtijeva 6 perioda signala vremenskog vođenja!

Naš model obavlja ovu instrukciju također za 6 perioda!

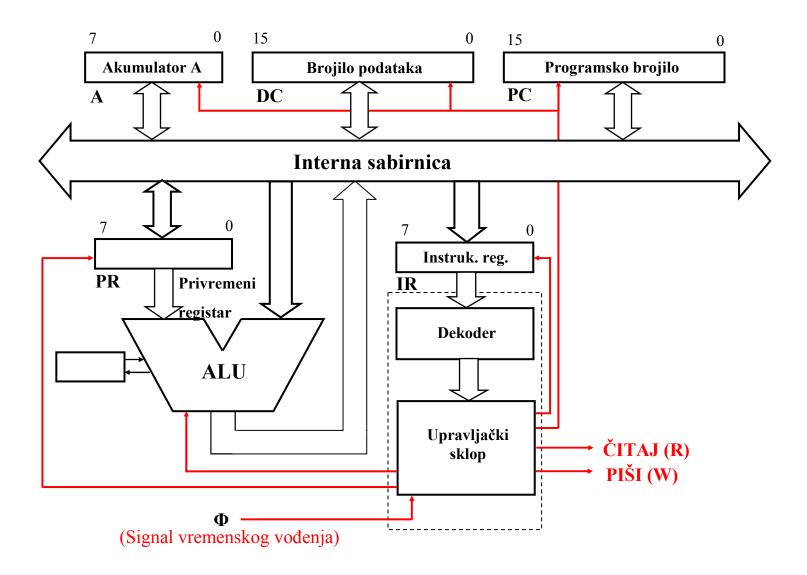
Za računalo temeljeno na pojednostavljenom modelu procesora nacrtati stanje na sabirnicama za instrukciju

STA \$07

(pohrani sadržaj akumulatora A na memorijsku lokaciju 0007 – izravni kratki način adresiranja;adresiranje nulte stranice).

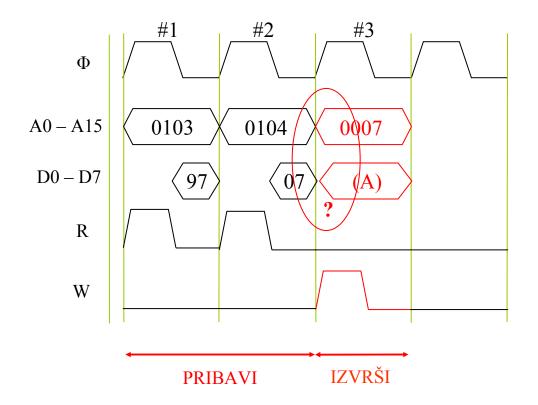
Operacijski kod instrukcije je 97(heksadekadski) a instrukcija je pohranjena u memoriji na lokacijama 0103 i 0104 (heksadekadski).

Odrediti potreban broj perioda signala vremenskog vođenja i usporediti ga s onim koji se zahtijeva za MC 6800 (4 perioda).



S. Ribarić, Arhitektura računala 2

## Stanje na sabirnicama za instrukciju STA \$07



#### Motorola MC 6800

(izravni način adresiranja)

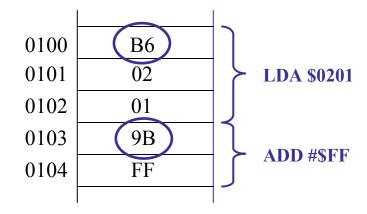
	OP	?	#
STA A	97	4	2

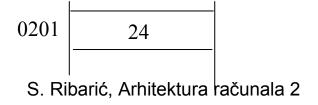
Zahtijeva 4 perioda signala vremenskog vođenja!

Naš model obavlja ovu instrukciju tijekom 3 perioda.

Razlozi?

Nacrtati stanje na sabirnicama za programski odsječak prikazan na slici. Odrediti stanja registara na početku, tijekom i nakon izvođenja programskog odsječka.

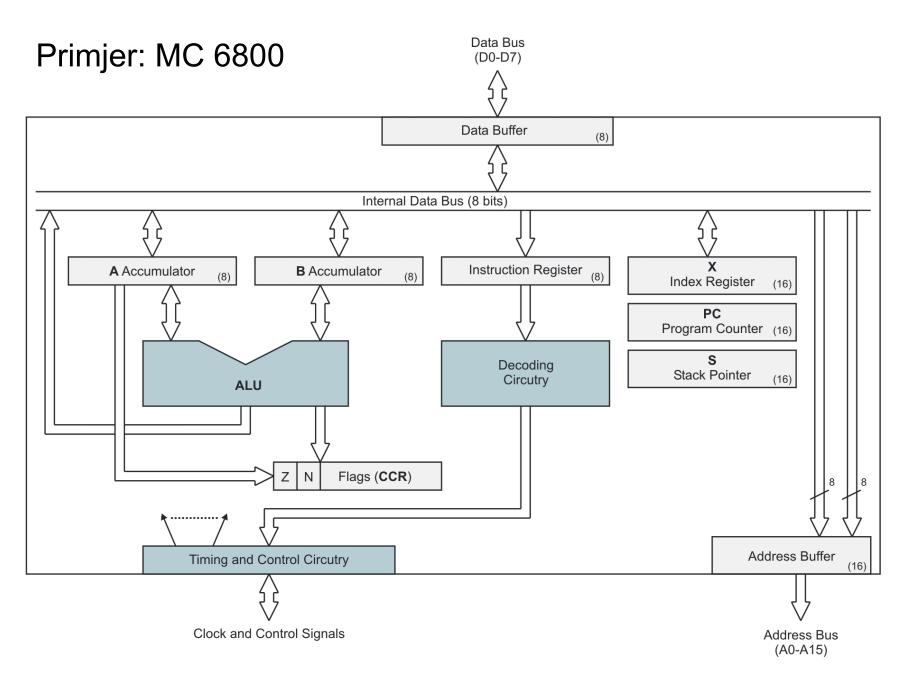




Riješiti prethodni zadatak pod pretpostavkom da procesor koristi obrnuti poredak bajtova u memorijskoj riječi (little endian, x86).

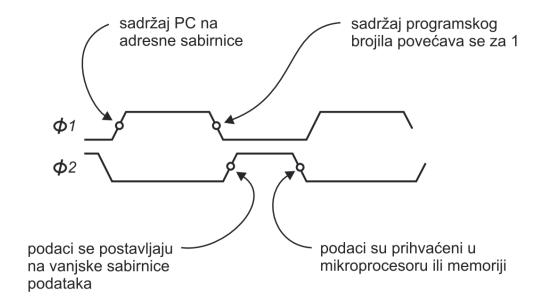
Strojnu instrukciju inc \$A0B0 nadomjestiti programskim odsječkom (tri instrukcije) za registarski orijentiran procesor koji operand prvo smješta u registar opće namjene, zatim sadržaj registra povećava za jedan te, napokon, tako uvećan sadržaj registra pohranjuje natrag u memoriju. Za tako napisani programski odsječak nacrtajte stanje na sabirnicama tijekom njegovog izvođenja. Odredite broj potrebnih perioda signala vremenskog vođenja i usporedite ga s onim koji je potreban za instrukciju i nc \$A0B0.

(Potrebne podatke operacijske kodove instrukcija, početnu adresu programskog odsječka te vrijednost operanda izaberite sami.)

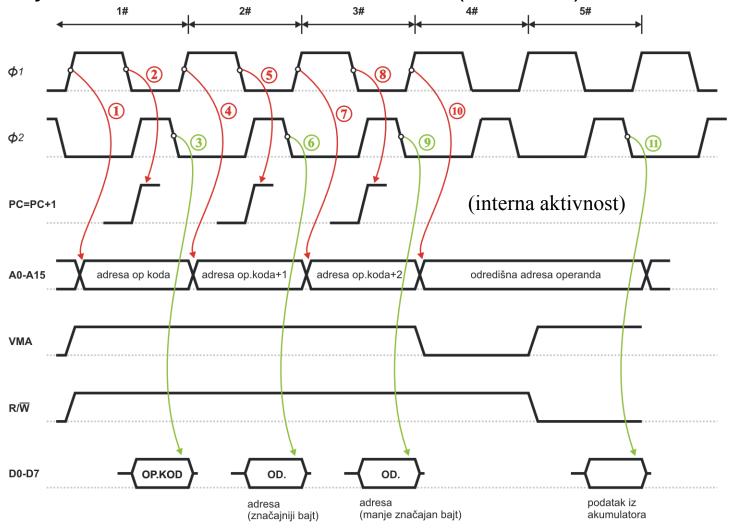


S. Ribarić, Arhitektura računala 2

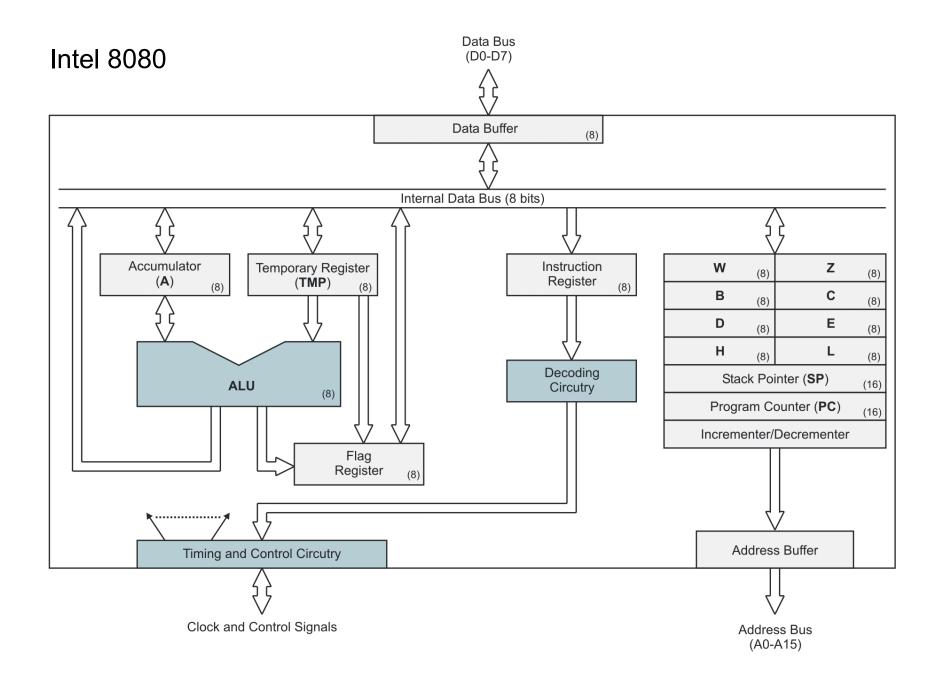
## Signali vremenskog vođenja Φ 1 i Φ2



### Stanje na sabirnicama za STA A \$010F (MC 6800)



S. Ribarić, Arhitektura računala 2



i386 (1986-2007), 3\*10^6 tranzistora, Paging Unit Segmentation Unit **Bus Control** 132 izvoda 32 34 HOLD, INTR, NMI, 3-Input Request Effective Address Bus Adder ERROR, BUSY, Adder Prioritizer RESET, HLDA 32 32 Discriptor Page Effective Address Bus Registers Cache Control and Limit and Protection Attribute Attribute **Test Unit** PLA PLA Address BE0# - BE3#. A2 - A31 Driver M/IO#, D/C#, Pipeline / W/R#, LOCK#, Internal Control Bus **Bus Size** ADS#, NA#, Control Code Fetch / BS16#, READY# 32 Barrel Shifter, Multiplexer / D0 - D31 Adder Transceivers Status Decode and Flags Sequencing Multiply / Prefetcher / Instruction Divide Decoder **Limit Checker** Code Stream 3-Decoded Control 16 Byte Code Register File Instruction ROM Queue Queue **ALU Control** 32 -ALU Instruction Instruction Prefetch Predecode Control 32 **Dedicated ALU Bus** PLA: Programmable Logic Array