Između predloženih mjera za ocjenu performanse procesora, najobjektivnija je:

a) MIPS;

b) MOPS;

c) MFLOPS;

d) SPEC marks;

e) MIPS / MOPS.

Rjesenje:d

Flynnova klasifikacija arhitekture temelji se na:

a) višestrukosti instrukcijskog toka;

b) broju sabirničkih struktura;

c) višestrukosti toka podataka;

d) višestrukosti instrukcijskog toka i toka podataka

Rjesenje:d

Tipičan broj cjelobrojnih registara za RISC procesor je:

a) od 8 do 16;

b) do 32;

c) manji od 16;

d) 32 ili više registara

Rjesenje:d

Troadresni format instrukcije je karakterističan za:

a) CISC procesore;

b) RISC procesore;

c) CISC procesore koji imaju RISC jezgru;

d) CISC i RISC procesore

Rjesenje:b

Znacajka load/store arhitekture specificira:  
a) CISC arh  
b) Kombinaciju pristupa CISC/RISC  
c) RISC arh  
d) VLIW arh

Rjesenje:c

Protocnost kao iznimno vazan koncept znacajan je za:  
a)samo za RISC  
b)samo za CISC  
c) RISC i CISC   
d) samo za izvedbu upravljacke jedinice

Rjesenje:c

U protocnoj strukturi faktor ubrzanja (za idealan „glatki“ tok) jest:

a) N-gdje je N broj instrukcija

b) M – broj protocnih segmenata

c) t smax/ t smin , gdje su t smax i tsmni maksimalna odnosno minimalna vremena obrade u protocnim segmentima

d) ts – gdje je ts maksimalno vrijeme obrade u jednnom protocnom segmentu

Rjesenje:b

Jedna od osnovnih znacajki *dataflow* arhitekture jest:  
a) sljedece instrukcija za izvodenje odreduje se na temelju PC-a

b) postoji poseban upravljacki tok kojim se izabire sljedeca instrukcija

c) raspolozivi podaci odreduju skup izvodljivih instrukcija

d) temelji se na LIFO prograskoj strukturi

Rjesenje:c

VLIW arhitektura temelji se na :

a) RISC konceptima

b) CISC konceptima

c) horizontalnom mikroprogramiranju

d) dataflow arhitekturi

Rjesenje:c

Tijekom dekodiranja instrukcije u RISC procesoru :

a) istodobno se i dohvacaju operandi

b) operandi se ne mogu dohvacati jer nije jos poznata operacija

c) istodobno se racuna adresa odredista

d) istodobno se racuna efektivna adresa operanda

Rjesenje:a

Ganttov dijagram sluzi za:

a) procjen performanse procesora

b) prikaz Flynnove klasifikacije

c) izravnu detekciju hazarda

d) prikaz instukcija u protocnoj strukturi

Rjesenje:d

Jedno od zlatnih pravila : „ zrtvuj sve kako bi smanjio vremenski ciklus podataka“ vrijedi prvenstveno za:

a) dataflow procesore

b) procesore CISC

c) proc VLIW

d) procesore RISC

Rjesenje:d

Harvardska arhitektura racunala uspjseno rjesava :

a) sukobljavanje oko sredstava(resursa)

b)podatkovni hazard

c) WAW

d) upravljacki hazard

Rjesenje:a

Općenito postoje tri vrste podatkovnih hazarda: RAW, WAR i WAW. Za RISC procesore od gornjih hazarda kritičan je:

a) WAR;

b) WAW;

c) kombinacija WAR i WAW;

d) RAW.

Rjesenje:d

U idealiziranom protocnom modelu, faktor ubrzanja jednak je:

a) dubini protocne strukture

b) omjeru ts, gdje je T perioda clock-a, a ts vrijeme obrade u protocnom segmentu

c) vremenu ts

d) faktoru N, gdje je N broj identicnih zadataka

Rjesenje:a

Instrukcija NOP u protocnoj strukturi RISC procesora:

a) služi samo za ostvarivanje operacije "ne radi ništa" i samo troši vrijeme

b) "ne radi ništa", no služi i za rješavanje hazarda i tumaci se kao umetanje "protocnog mjehurica"

c) se ne pojavljuje jer je nepotrebna

d) služi za sinkronizaciju dretvi

Rjesenje:b

Izvodenje instrukcije lar ra,C1 imat ce za posljedicu:

a) R[ra] = adresa operanda odredena s C1 tako da se primijeni širenje bita predznaka

b) R[ra] = operand s adrese C1

c) R[ra] = PC + C1

d) R[ra] = R[rb + C1]

Rjesenje:c

SRISC procesor ima:

a) trosabirnicku strukturu

b) dvosabirnicku strukturu

c) jednosabirnicku strukturu

d) dvosabirnicku strukturu i poseban bacvasti posmacni sklop

Rjesenje:a

Primjer SISD racunala je:

a) racunalo temeljeno na visejezgrenom procesoru

b) Von Neumannovo racunalo

c) vektorski procesor na grafickoj kartici

d) redundantno racunalo u kojem vise izvrsnih jedinica obraduje iste podatke

e) paralelno zbrajalo

Rjesenje:b

Primjer SIMD racunala je:

a) racunalo temeljeno na visejezgrenom procesoru

b) Von Neumannovo racunalo

c) vektorski procesor na grafickoj kartici

d) redundantno racunalo u kojem vise izvrsnih jedinica obraduje iste podatke

e) paralelno zbrajalo

Rjesenje:c

Tipicni skalarni RISC procesor ima:

a) jednoadresne aritmeticke instrukcije

b) aritmeticke instrukcije s memorijskim operandima

c) akumulatorsku arhitekturu

d) troadresne aritmeticke instrukcije bez memorijskih operanda

e) tablicu meduovisnosti (scoreboard)

Rjesenje:d

Koncept upravljanja tokom podataka koristi se u:

a) originalnom Von Neumannovom modelu

b) protocnim racunalima

c) CISC raCunalima

d) superskalarnim racunalima

e) visejezgrenim racunalima

Rjesenje:d

Za superskalarne RISC arhitekture je specificno

da se usporedno izvodenje slijednog programa

pospjesuje prvenstveno:

a) dubokom protocnom strukturom

b) dinamickim rasporedivanjem instrukcija u sklopovlju procesora

c) malom ali brzom prirucnom memorijom

d) adresnim preslikavanjem

e) statickim rasporedivanjem instrukcija tijekom prevodenja

Rjesenje:b

Moderni superskalarni procesori tipicno postizu:

a) CPI > 3 GHz

b) CPI > 100 MHz

c) CPI > 100

d) CPI $\in [2,10]$

e) CPI < 1

Rjesenje:e

Procesori 8086 i Core i7 920 imaju:

a) srodnu instrukcijsku arhitekturu, ali razlicitu organizaciju

b) srodnu organizaciju, ali razlicitu instrukcijsku arhitekturu

c) srodnu instrukcijsku arhitekturu i srodnu organizaciju

d) isti broj vanjskih izvoda (pinova)

e) kompatibilnu adresnu sabirnicu

Rjesenje:a

Vecina instrukcija arhitekture x86 podrzava:

a) 0 memorijskih operanada

b) 1 memorijski operand

c) 2 memorijska operanda

d) 3 memorijska operanda

e) 4 memorijska operanda

Rjesenje:b

Protocna arhitektura MIPS

u svakom ciklusu signala takta izvrsi:

a) barem dva memorijska pristupa

b) najvise dva memorijska pristupa

c) tocno dva memorijska pristupa

d) najvise jedan memorijski pristup

e) tocno jedan memorijski pristup

Rjesenje:b

U protocnom racunalu sa zajednickom jednoadresnom

prirucnom memorijom podataka i instrukcija

narocito mozemo ocekivati:

a) podatkovne hazarde

b) strukturne hazarde

c) upravljacke hazarde

d) otezano izvodenje samomodificirajuceg koda

e) ubrzanje od 20\%

Rjesenje:b

Kakvo prosljedivanje se tipicno koristi

za smanjenje latencije instrukcije grananja

($i$ oznaCava redni broj instrukcije)?

a) ID[i] $\rightarrow$ IF[i+2] (na slajdovim pise ID[i] $\rightarrow$ IF[i+1]!!!)

b) EX[i] $\rightarrow$ ID[i+1]

c) [i+1] $\rightarrow$ IF[i]

d) ME[i+1] $\rightarrow$ ID[i]

e) WB[i] $\rightarrow$ ID[i+1]

Rjesenje:a

Koncept protocnosti je koristan jer omogucava:

a) istu performansu uz manji broj tranzistora

b) iskoristavanje instrukcijskog paralelizma

c) CISC arhitekturama da se po performansi izjednace s RISC-om

d) smanjivanje potrebnog broja registara

e) ublazavanje resursnih konflikata

Rjesenje:b

Koja od navedenih komponenata nije element

puta podataka:

a) aritmeticko-logicka jedinica

b) radna memorija

c) skup registara

d) interna sabirnica

Rjesenje:b (posljednja komponenta su priručne memorije)

Sistolička polja se svrstavaju u:

a) SIMD

b) MISD

c) MIMD

d) SISD  
Rjesenje:b

Koncept upravljanja tokom podataka koristi se u:

a) originalnom Von Neumannovom modelu

b) superskalarnim racunalima

c) CISC racunalima

d) višejezgrenim racunalima

Rjesenje:b

Zašto se kaže da Amdahlov zakon koci razvoj

paralelnih sustava?

a) jer se porast uniprocesorske performanse

usporava

b) zbog akumulatorske arhitekture

c) jer se povecanjem broja procesora u praksi

cesto postižu sublinearna ubrzanja

d) jer se nemože proizvesti sklop s potrebnim

brojem tranzistora

Rjesenje:c

Za superskalarne RISC arhitekture je specificno

da se paralelno izvodenje slijednog programa

pospješuje:

a) adresnom translacijom

b) malom ali brzom prirucnom memorijom

c) predvidanjem grananja

d) dinamickom analizom meduovisnosti instrukcija

u sklopovlju procesora (scoreboard)

Rjesenje:d (al nisam ziher)

Tipični skalarni CISC procesor ima:

a) malo registara, više formata instrukcija

b) veliku priručnu memoriju ( cache ), protočnu strukturu

c) puno registara ( >30 ), fiksni format instrukcija

d) malo registara, fiksni format instrukcija

Rjesenje:a

Tipični skalarni RISC procesor ima:

a) troadresne aritmetičke instrukcije bez memorijskih operanada

b) jednoadresne aritmetičke instrukcije

c) tablicu međuovisnosti instrukcija

d) aritmetičke instrukcije s memorijskim operandima

Rjesenje:a

Moderne implementacije arhitekture x86 imaju:

a) pretežno mikroprogramirano upravljanje

b) instrukcijsku arhitekturu tipa RISC, te organizaciju tipa CISC

c) instrukcijsku arhitekturu tipa RISC, te organizaciju tipa CISC

d) instrukcijsku arhitekturu tipa CISC, te organizaciju tipa RISC

Rjesenje:d (tako kaže google i lega Vugzi)

Koliko bitova ima usputna konstanta u tipičnoj 32-bitnoj troadresnoj RISC instrukciji:

a) oko 24

b) 32

c) oko 8

d) oko 16

Rjesenje:d

Koji od ponuđenih odgovora nije tipična grupa instrukcija arhitekture RISC:

a) instrukcije grananja

b) trigonometrijske instrukcije

c) logičke funkcije

d) aritmetičke instrukcije

Rjesenje:b

Koliko bajtova ima tipična instrukcija RISC procesora:

a) 4

b) 1

c) 2

d) 8

Rjesenje:a

Tip instrukcijske arhitekture Intelovog procesora Pentium III:

a) VLIW

b) superskalarna

c) CISC

d) troadresna

Rjesenje:c

Koliko registarskih operanada ima tipična aritmetička RISC instrukcija:

a) 3

b) oko 8

c) 0

d) 2

Rjesenje:a

Zakasnjele instrukcije grananja u arhitekturi RISC procesora posljedica su:

a) strukturnog hazarda;

b) podatkovnog hazarda;

c) upravljačkog hazarda;

d) kombinacije strukturnog i podatkovnog hazarda.

Rjesenje:c

Ganttov dijagram ima naneseno:

a) na apcisi vrijeme a na ordinati instrukcije iz protočne strukture;

b) na apcisi instrukcije iz protočne strukture a na ordinati protočne segmente;

c) na apcisi vrijeme a na ordinati protočne segmente;

d) na apcisi protočne segmente (prazne) a na ordinati protočne segmente (pune).

Rjesenje:a (ili c ☺ )

Pretpostavimo da računalo s dobro popunjenom 5-segmentnom protočnom strukturom preinačimo tako da dvostruko ubrzamo samo jedan segment. Efekt na performansu biti će:  
a) dvostruko ubrzanje  
b) nikakav   
c) ubrzanje od 20%  
d) ubrzanje od 10%

Rjesenje:b  
  
Slijed instrukcija load r5,20(rl); add r2, rl,r5 može rezultirati:  
a) hazardom tipa RAW  
b) hazardom tipa WAR  
c) hazardom tipa RAR  
d) hazardom tipa WAW  
Rjesenje:a

Zašto su arhitekture CISC manje pogodne za izvedbu protočnosti od arhitektura RISC?  
a) zbog malog broja registara  
b) zbog resursnih konflikata koje je teško zaobići  
c) zbog mikroprogramiranog upravljanja  
d) zato što imaju zakašnjelo grananje  
Rjesenje:b

Arhitektura MIPS u svakom ciklusu signala takta izvrši:  
a) najviše dva memorijska pristupa  
b) uvijek točno dva memorijska pristupa  
c) najviše jedan mem pristup  
d) uvijek točno jedan memorijski pristup

Rjesenje:a

Koja operacija se izvodi u segmentu EX arhitekture

MIPS kod instrukcija upisa u memoriju?

a) pristup memoriji

b) odredivanje efektivne adrese

c) zbrajanje dvaju registara

d) upis procitanog podatka u odredišni registar

Rjesenje: b (nisam ziher)

Svih pet segmenata osnovne arhitekture MIPS

koriste se samo prilikom izvodenja:

a) instrukcija citanja iz memorije

b) instrukcija pisanja u memoriju

c) instrukcija bezuvjetnog grananja

d) instrukcija uvjetnog grananja

Rjesenje:a

1. RISC arhitektura procesora dopušta:

a) da jedan od operanda za aritmetičko-logičke operacije bude u memoriji.

b) da oba operanda za aritmetičko-logičke operacije bude u memoriji.

c) da operandi za aritmetičko-logičke operacije budu u registrima.

d) da operandi za aritmetičko-logičke operacije budu priručnoj memoriji

2. Superskalarni CISC procesor ima:

a) protočno CISC jezgro

b) skalarno RISC jezgro

c) superskalarno RISC jezgro

d) superskalarno CISC jezgro

3. Superskalarnost se ostvaruje:

a) velikim brojem protočnih segmenata

b) uporabom koncepta temeljenog na VLIW

c) višestrukim protočnim strukturama

d) većim brojem zavisnih funkcijskih jedinica

4. Racunanje odredišta relativnog grananja u arhitekturi

MIPS odvija se:

a) usporedno s pristupom podatkovnoj memoriji

b) za vrijeme pribavljanja instrukcije

c) usporedno s dekodiranjem instrukcije

d) prije pribavljanja instrukcije

5. Koja od sljedecih tehnika ne vodi poboljšanju  
iskorištenja superskalarnih resursa?  
a) ortogonalizacija skupa instrukcija  
b) izvodenje izvan redoslijeda  
c) pretjerano povecavanje radne frekvencije  
d) predvidanje grananja  
  
6. Što omogucavamo preimenovanjem registara?  
a) bolju performansu cachea  
b) otklanjanje hazardaWAR  
c) jednostavniju izvedbu upravljacke jedinice  
d) bolje predvidanje grananja

7. Ako želimo superskalarni procesor koji bi izvršavao 2 instrukcije po ciklusu koliki broj procesnih jedinica moram imati:  
a) proizvoljan  
b) jednak 2  
c) manji od 2  
d) znatno veci od 2  
  
8. Dinamičko raspoređivanje se koristi jer statička analiza ne može:  
a) optimirati željenu arhitekuru  
b) razotkriti strukturne hazarde  
c) razotkriti dinamičke memorijske i upravljačke hazarde  
d) razotkriti registarske hazarde

9.zašto su u skalarnoj protočnoj strukturi s više procesnijh jedinica funkcijske jedinice slabo iskorištene?  
a) zbog neefikasne priručne mem  
b) jer se izdaje jedna instr. po ciklusu  
c) zbog hazarda RAW  
d) zbog slabog predviđanja grananja

10. Jednostavna superskalarna organizacija se od  
skalarne protocne organizacije s više procesnih  
jedinica razlikuje jer ima:  
a) izvršavanje izvan redoslijeda  
b) veci registarski skup  
c) efikasnu prirucnu memoriju  
d) mogucnost istovremenog pribavljanja i dekodiranja  
više instrukcija

11. U kakvom su odnosu MHz (radni takt procesora)

i SPECint2000 (rezultat na SPEC-ovom

testu)?

a) MHz je relevantniji pokazatelj performanse

b) MHz je cimbenik performanse, a SPECmark

pokazatelj

c) SPECmark je cimbenik performanse, a

MHz pokazatelj

d) SPECmark se odnosi na arhitekturu, MHz

na tehnologiju

12. Resursni konflikt instrukcije load u jednostavnoj

protocnoj arhitekturi tipa RISC može nastati

oko sljedeceg resursa:

a) zbrajalo

b) memorija

c) registarski skup

d) sklop za grananje

13. Citanje registarskih operanada u tipicnoj RISC

arhitekturi odvija se:

a) usporedno s pristupom podatkovnoj memoriji

b) za vrijeme pribavljanja instrukcije

c) usporedno s dekodiranjem instrukcije

d) prije pribavljanja instrukcije