1. Za superskalarne RISC arhitekture je specifično da se paralelno izvođenje slijednog programa pospješuje:

**d) dinamičkom analizom međuovisnosti instrukcija u sklopovskom procesoru (scoreboard)**

2. Kakvi podaci se stavljaju na upravljački stog računala

**c) parametri potprograma i lokalne varijable**

3. Performansa računala u kontekstu izvođenja slijednih programa u posljednjih nekoliko godina

**b) raste, uz usporenje porasta**

4. Na koje sve načine procesor MC68000 prelazi iz korisničkog u nadgledni način rada?

**b) isključivo obradom iznimke**

7. Koji je od sljedećih kriterija ocjene računalne performanse najobjektivniji?

**d) SPECmark**

9. Primjer SIMD računala je:

**d) vektorski procesor na grafičkoj kartici**

11. Trend povećanja broja jezgri u procesorima uzrokovan je prvenstveno

**c) iscrpljenom mogućnošću za ubrzanje slijednih programa sofisticiranim arhitekturama**

13. Zašto se kaže da Amdahlov zakon koči razvoj paralelnih sustava?

**c) jer se povećanje broja procesora u praksi često postižu sublinearna ubrzanja**

14. Čitanje registarskog operanda u tipičnoj RISC arhitekturi odvija se:

**c) usporedno s dekodiranjem instrukcije**

(hint: kod mips protočne arh. se druga faza zove ID+OF, instruction decode & operator fetch)

15. Koja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju:

**c) određivanje efektivne adrese**

16. Računanje odredišta relativnog grananja u arhitekturi MIPS odvija se:

**d) usporedno s dekodiranjem instrukcije**

17. Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:

**a) memorija**

18. Adresa sljedeće mikroinstrukcije ne može se dobiti:

**b) prijenosom usputne konstante makroinstrukcije**

19. Instrukcije osam-instrukcijskog procesora:

**d) mogu imati najviše jedan memorijski operand**

20. Koncept protočnosti je koristan jer omogućava:

**c) iskorištavanje instrukcijskog paralelizma**

21. Slijed instrukcija load r5, 20(r1); add r2, r1, r5 može rezultirati:

**b) hazardom tipa RAW**

22. Arhitektura MIPS u svakom ciklusu signala takta izvrši:

**d) najviše dva memorijska pristupa**

23. Ako je registar R s odvojenim izvodima za čitanje i pisanje spojen na dijeljenu sabirnicu, sklopovi s tri stanja su:

**b) potrebni samo kod čitanja registra R**

24. U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testiranju):

**d) MHz je čimbenik performanse, a SPECmark pokazatelj**

25. Za upravljačku jedinicu osam-instrukcijskog procesora vrijedi:

**c) da se može izvesti poljem PLA**

26. Koji nedostatak Von Neumannove memorijske organizacije je izbjegnut u Harvardskoj memorijskoj organizaciji:

**a) jedinstvena sabirnica za podatke i instrukcije (usko grlo)**

27. Koja komponenta modernog računala nije bila prisutna u originalnoj Von Neumannovoj arhitekturi:

**b) priručna memorija podataka**

28. Svih 5 segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:

**c) instrukcija čitanja iz memorije**

29. Tipično, mikroprogram koji implementira fazu izvrši makroinstrukcijski završava

**b) pozivom mikroprograma za fazu pribavi**

30. Neka w(R) označava broj bitova registara. Tada za osam-instrukcijski procesor vrijedi:

**d) w(IR) + w(PC) = w(MDR)**

31. Koja od navedenih komponenti nije element puta podataka

**d) radna memorija**

32. Za tipične horizontalne mikroinstrukcije vrijedi:

**a) mogu nezavisno upravljati sklopovljem**

33. Zadana je PM s 8 linija po 16B i izravnim preslikavanjem. Svako promašeno čitanje bajta inicira prijenos podataka iz DRAM-a od:

**d) 16 B**

34. Translacijski spremnik ne sadrži

**b) kopiju bloka podataka iz RAM-a**

35. Za realizaciju 3-bitnog posmačnog sklopa koji izravno podržava 5 vrsta posmaka i prijenos podataka potrebno je

**d) 3 mux 8/1**

36. Elementi memorijskog sklopa DRAM obično su organizirani u:

**d) kvadratnom 2D polju**

37. Koji od slijedećih nije algoritam zamjene stranica:

**c) bimodalna tablica odluke**

38. Ako 32-bit zbrajalo bez sklopa za predviđanje bita prijenosa ima latenciju T, kolika bi latencija bila kod 64-bit zbrajala iste tehnologije:

**c) 2T**

39. Koji problem se može pojaviti kad promijenjene podatke cachea ne upisujemo trenutno u glavnu memoriju:

**d) gubitak koherencije u višeprocesorskom sustavu**

40. Koja od sljedećih logičkih operacija nije izravno podržana u ALU koji je opisan na predavanjima?

**b) NILI**

41. Što omogućavamo preimenovanjem registra:

**b) otklanjanje hazarda WAR**

42. Postotak uspješnosti dinamičkog predviđanja grananja tipično je u intervalu:

**b) [90% - 100%]**

43. Zašto je uvjetni registar posebno problematičan na superskalarnim računalima:

**b) postaje implicitni izvor podatkovnog hazarda**

44. Jednostavna superskalarna organizacija se od skalarne protočne organizacije s više procesnih jedinica razlikuje jer ima:

a) izvršavanje izvan redoslijeda (?? Staro…)

**d) mogućnost istovremenog prihvaćanja i dekodiranja više instrukcija**

45. Zadana je PM s 8 linija po 16B. Koliko komparatora oznaka adrese je potrebno kod potpuno asocijativnog preslikavanja?

**d) 8 (koliko linija toliko komparatora)**

46. Zaokružiti ispravan redoslijed memorijske hijerarhije:

**c) registar, cache, RAM, disk**

47. Neka je zadano računalo sa stranicama od 4kB. Koliko de fizičkog RAM-a zauzeti proces koji koristi ukupno 4097 bajtova memorije:

**c) 8192 B (4kb -> 4096 Prog 4097 2\*str = 2\*4096)**

48. Koji je glavni nedostatak algoritma LRU za zamjenu blokova priručne memorije:

**b) složena implementacija za više od dvo-elementne asocijativnosti**

49. Koja od slijedećih tehnika ne vodi poboljšanju iskoristivosti superskalarnih resursa:

**a) pretjerano povećanje radne frekvencije**

50. Zašto je odnos |LAP|>|FAP| poželjnije od odnosa|LAP| = |FAP|?

**a) zbog mogućnosti proširenja**

51. Potpuno zbrajalo se:

**c) može realizirati pomoću 2 poluzbrajala i dodatnog sklopa ILI**

52. Za način preslikavanja pri smještanju blokova u priručnu memoriju koji se naziva potpuno asocijativno preslikavanje vrijedi:

**a) blok iz glavne memorije može se smjestiti na bilo koji slobodni bločni priključak**

***53. Navedite načine dijeljenja logičkog i fizičkog adresnog prostora na temelju promjenljivosti veličine bloka:***

*a) virtualni memorijski sustav sa straničenjem - ako se logički i fizički adresni prostor podijele na jednake blokove stalne veličine;*

*b) virtualni memorijski sustav sa segmentacijom - ako se u mehanizmu adresnog preslikavanja upotrebljavaju blokovi promjenjive veličine;*

*c) virtualni memorijski sustav sa straničenim segmentima ili segmentacija sa straničenjem - kombinacija straničenja i segmentacije na način da su segmenti podijeljeni na stranice (Paged segmentation, Segmentation with paging).*

54. Tijekom oblikovanja logičke sekcije za nasu ALU jedinicu uveli smo dodatnu (pomoćnu) varijablu Ki koja je korištena za:

**d) izvedbu logičke operacije I.**

55. Tijekom izvođenja bilo koje od logičkih operacija, bit Ci svakog stupnja treba biti:

**b) u logičkoj 0**

56. Prilikom izvedbe sklopa za posmak u procesoru, radi veće brzine, prednost se daje:

**d) kombinacijskim sklopovima.**

57. Potpuno asocijativna priručna memorija ima jednu bitnu i prepoznatljivu značajku i to:

**a) blok veličine b iz glavne memorije može se smjestiti na bilo koji slobodni bločni priključak priručne memorije.**

58. Algoritam zamjene blokova OPT ima sljedeću osnovnu značajku:

**b) daje dobru osnovu za usporedbu s drugim algoritmima ali se, međutim, ne može realizirati**

59. Omjer pogotka izražava se kao vjerojatnost da se naslovljavani podatak nalazi u priručnoj memoriji i aproksimiran je s:

**h= broj naslovljavanja u kojima je postignut pogodak / broj ukupnih referenciranja**

60. Ako glavna memorija, kapaciteta 2^M, ima BM = 2^M /b blokova, gdje je veličina bloka b=2^W rijeci, tada se priručna memorija sastoji od:

c) **BP blokova (izravno nezavisno od BM), pri čemu je veličina bloka b = 2^W;**

61. Bločni priključak u priručnoj memoriji oblikuju:

**a) blok i adresna značka**

62. Funkcija adresnog preslikavanja u virtualnom memorijskom sustavu je:

**b) f : LA → FA ∪ ∅, gdje je ∅ oznaka praznog skupa**

63. Da bismo dobili kružni posmak za 6 mjesta uporabom bačvastog posmačnog sklopa treba:

***c) na ulaz A 32-bitni operand, na ulaz B isto taj 32-bitni operand, a na ulaz S vrijednost 6;***

64. U suvremenim arhitekturama računala odnos između logičkog (LA) i fizičkog (FA) adresnog prostora je:

**a) LA > FA**

65. Kad se logički i fizički adresni prostor podijele na jednake blokove stalne veličine, tada je riječ o:

**c) virtualnom memorijskom prostoru sa straničenjem**

66. U Denningovom modelu adresnog preslikavanja ( s namjerno ugrađenom pogreškom), kapacitet tablice preslikavanja jednak je:

**b) kapacitetu sekundarne memorije, odnosno LA**

67. Bačvasti posmačni sklop je:

**b) jedna od glavnih komponenti puta podataka**

68. Ako se logički i fizički adresni prostor podijele na jednake stalne veličine govorimo o virtualnom memorijskom sustavu sa:

**d) straničenjem**

69. Logička adresa a pohranjuje se u

**a) registru virtualne adrese**

70. Adresna značka određena je s:

**b) k najznačajnijih bitova koji predstavljaju bločni broj bloka u glavnoj memoriji**

71. Potpuno asocijativno preslikavanje kod priručne memorije dopušta:

**a) priključivanje bilo kojeg bloka memorije u bilo koji bločni priključak**

72. Poluzbrajalo kao "crna kutija" predočava se s:

**b) dva ulaza i dva izlaza**

73. Sklop za predviđanje bita prijenosa je:

**b) dvorazinski kombinacijski sklop**

74. U računalnom sustavu koji koristi virtualnu memoriju, adresa koju generira procesor je:

**d) logička adresa**

75. Koji se od sljedećih algoritama zamjene blokova ne može realizirati:

**a) OPT**

76. Brojilo sekvenci po modulu *k* je:

**d) sekvencijalni sklop**

77. Ako je početni sadržaj 8-bitovnog registra jednak –7210, aritmetičkim se posmakom u desno (uz pretpostavku zapisa negativnih brojeva u notaciji dvojnog komplementa) dobiva vrijednost:

**b) -3610**

78. Uobičajenim postupkom oblikovanja ALU, logička operacija "isključivo ILI" dobiva se:

**c) tako da se Ci postavi u logičko "0" invertiranjem upravljačkog signala S2**

79. Navedite dva načina izvedbe brojila sekvenci po modulu *k*:

**prstenasto brojilo , binarno brojilo + dekoder**

80. Osnovna značajka organizacije izravne priručne memorije je:

**c) da se svaki blok iz glavne memorije može smjestiti samo na određeni bločni priključak**

81. Bačvasti posmačni sklop podržava:

**d) logički i kružni posmak u oba smjera za proizvoljan broj mjesta**

82. Postavljanje bita Ci u logičku 0 za svaki stupanj ALU karakterizira:

**b) logičke operacije**

83. Sklop za predviđanje bita prijenosa je:

**a) dvorazinski kombinacijski sklop**

84. Označite ispravnu tvrdnju koja vrijedi za organizaciju priručne memorije:

**b) adresna značka se pridružuje svakom bloku u priručnoj memoriji.**

85. Navedite barem tri osnovna algoritma zamjene blokova za tipične organizacije priručne memorije:

**OPT , FIFO , LRU , Random**

86. Za virtualni memorijski sustav koji je organiziran straničenjem vrijedi:

**a) stranični okvir se odnosi na fizički adresni prostor**

87. Navedite tri glavne organizacije priručne memorije i to prema načinu smještaja blokova iz glavne memorije u priručnu memoriju:

**potpuno asocijativna , izravna , skupno asocijativna**

88. Između predloženih mjera za ocjenu performanse procesora, najobjektivnija je:

**d) SPEC marks**

89. Flynnova klasifikacija arhitekture temelji se na:

**d) višestrukosti instrukcijskog toka i toka podataka**

90. Tipičan broj cjelobrojnih registara za RISC procesor je:

**d) 32 ili više registara**

91. Troadresni format instrukcije je karakterističan za:

**b) RISC procesore;**

92. Značajka load/store arhitekture specificira:

**c) RISC arhitekturu**

93. Protočnost kao iznimno važan koncept značajan je za:

**c) RISC i CISC**

94. U protočnoj strukturi faktor ubrzanja (za idealan „glatki“ tok) jest:

**b) M – broj protočnih segmenata**

95. Jedna od osnovnih značajki *dataflow* arhitekture jest:

**c) raspoloživi podaci određuju skup izvodljivih instrukcija**

96. VLIW arhitektura temelji se na :

**c) horizontalnom mikroprogramiranju**

97. Tijekom dekodiranja instrukcije u RISC procesoru :

**a) istodobno se i dohvaćaju operandi**

98. Ganttov dijagram sluzi za:

**d) prikaz instrukcija u protočnoj strukturi**

99. Jedno od zlatnih pravila : „ žrtvuj sve kako bi smanjio vremenski ciklus podataka“ vrijedi

prvenstveno za:

**d) procesore RISC**

100. Harvardska arhitektura računala uspješno rješava :

**a) sukobljavanje oko sredstava(resursa)**

101. Općenito postoje tri vrste podatkovnih hazarda: RAW, WAR i WAW. Za RISC procesore od

gornjih hazarda kritičan je:

**d) RAW**

102. U idealiziranom protočnom modelu, faktor ubrzanja jednak je:

**a) dubini protočne strukture**

103. Instrukcija NOP u protočnoj strukturi RISC procesora:

**b) "ne radi ništa", no služi i za rješavanje hazarda i tumači se kao umetanje "protočnog mjehurića"**

104. Izvođenje instrukcije lar ra,C1 imat će za posljedicu:

**c) R[ra] = PC + C1**

105. SRISC procesor ima:

**a) trosabirnicku strukturu**

106. Primjer SISD računala je:

**b) Von Neumannovo računalo**

107. Tipici skalarni RISC procesor ima:

**d) troadresne aritmetike instrukcije bez memorijskih operanda**

108. Koncept upravljanja tokom podataka koristi se u:

**d) superskalarnim računalima**

109. Za superskalarne RISC arhitekture je specifično da se usporedno izvođenje slijednog programa pospješuje prvenstveno:

**b) dinamičkim raspoređivanjem instrukcija u sklopovlju procesora**

110. Moderni superskalarni procesori tipično postižu:

***e) CPI < 1***

111. Procesori 8086 i Core i7 920 imaju:

**a) srodnu instrukcijsku arhitekturu, ali različitu organizaciju**

112. Većina instrukcija arhitekture x86 podržava:

**a) 1 memorijski operand (by Stripy)**

113. Protočna arhitektura MIPS u svakom ciklusu signala takta izvrši:

**b) najviše dva memorijska pristupa**

114. U protočnom računalu sa zajedničkom jednoadresnom priručnom memorijom podataka i instrukcija

naročito možemo očekivati:

**b) strukturne hazarde**

115. Koncept protočnosti je koristan jer omogućava:

**b) iskorištavanje instrukcijskog paralelizma**

116. Koja od navedenih komponenata nije element puta podataka:

***b) radna memorija* 🡪(posljednja komponenta su priručne memorije**

117. Sistolička polja se svrstavaju u:

**b) MISD**

118. Koncept upravljanja tokom podataka koristi se u:

**b) superskalarnim računalima**

119. Zašto se kaže da Amdahlov zakon koci razvoj paralelnih sustava?

**c) jer se povećanjem broja procesora u praksi cesto postižu sublinearna ubrzanja**

120. Za superskalarne RISC arhitekture je specifično da se paralelno izvođenje slijednog programa pospješuje:

**d) dinamičkom analizom međuovisnosti instrukcija u sklopovlju procesora (scoreboard)**

121. Tipični skalarni CISC procesor ima:

**a) malo registara, više formata instrukcija**

122. Tipični skalarni RISC procesor ima:

**a) troadresne aritmetičke instrukcije bez memorijskih operanada**

123. Moderne implementacije arhitekture x86 imaju:

**d) instrukcijsku arhitekturu tipa CISC, te organizaciju tipa RISC**

124. Koliko bitova ima usputna konstanta u tipičnoj 32-bitnoj troadresnoj RISC instrukciji:

**d) oko 16**

125. Koji od ponuđenih odgovora nije tipična grupa instrukcija arhitekture RISC:

**b) trigonometrijske instrukcije**

126. Koliko bajtova ima tipična instrukcija RISC procesora:

**a) 4**

127. Tip instrukcijske arhitekture Intelovog procesora Pentium III:

**c) CISC**

128. Koliko registarskih operanada ima tipična aritmetička RISC instrukcija:

**a) 3**

129. Zakasnjele instrukcije grananja u arhitekturi RISC procesora posljedica su:

**c) upravljačkog hazarda**

130. Ganttov dijagram ima naneseno:

**c) na apcisi vrijeme, a na ordinati protočne segmente (by Stripy & mylemim)**

131. Pretpostavimo da računalo s dobro popunjenom 5-segmentnom protočnom strukturom

preinačimo tako da dvostruko ubrzamo samo jedan segment. Efekt na performansu biti ce:

**b) nikakav**

132. Zašto su arhitekture CISC manje pogodne za izvedbu protočnosti od arhitektura RISC?

**b) zbog resursnih konflikata koje je teško zaobići**

133. Koja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju?

**b) određivanje efektivne adrese**

134. Svih pet segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:

**a) instrukcija čitanja iz memorije**

135. Tipični skalarni RISC procesor ima:

**a) troadresne aritmetičke instrukcije bez memorijskih operanada**

136. Tipični skalarni CISC procesor ima:

**a) malo registara, više formata instrukcija**

137. Većina instrukcija arhitekture x86 podržava:

**a) 1 memorijski operand (by Stripy)**

138. Hazard koji nije imenski povezan: *(?! ne sjedam se dobro pitanja*)

**c) podatkovna ovisnost**

139. Primjer SIMD računala je:

**d) vektorski procesor na grafičkoj kartici**

140. Kako vektoriziranje algoritma utječe na učestalost hazarda:

**c) povećava broj hazarda RAW (ili smanjuje ???)**

141. Kako se kod straničenja rješava problem brzine pristupa elementima stranične tablice:

**a) cacheiranjem straničnih opisnika**

142. Za superskalarnost RISC arhitekture je specifično da se usporedno prevođenje slijednog programa pospješuje prvenstveno:

**d) dinamičkim raspoređivanjem instrukcija u sklopovlju računala**

143. Jedan od značajnih razloga prirasta broja instrukcija arhitekture x86 su:

**b) nove instrukcije tipa SIMD**

144. Koja svojstva instrukcije arhitekture MIPS omogućuju relativnog odredišta u okviru protočnog ID?

**a) fiksni i jednostavni instrukcijski format**

145. Koliko bitova je potrebno za kodiranje reg. operanda u tipičnom RISC procesoru?

**b) 5**

146. Ukoliko želimo oblikovati superskalarni procesor koji bi u prosjeku izvodio 2 instrukcije po ciklusu, broj procesnih jedinica mora biti:

**c) znatno veći od dva (2)**

147. Jednostavna superskalarna organizacija se od skalarne protočne organizacije s više procesnih jedinica razlikuje jer ima:

**b) mogućnost istovremenog pribavljanja i dekodiranja više instrukcija**

148. Zadano je 32-bitno računalo s 1GB memorije RAM, 1MB PML2, te 16kB L1. Koliki je LAP?

**b. 232 B**

149. Ubrzanje arhitekture MIPS uslijed protočnosti je:

**d) najviše 5 puta**

150) U odnosu na period takta modernog procesora, latencija DRAM-a je u općenitom slučaju:

**d) 100 puta veća (inače problem moderne DRAM, by Stripy)**

151. Skupna asocijativna priručna memorija omogućuje smještanje blokova iz glavne memorije:

**a) u bilo koji slobodni bločni priključak**

152. U Denningovom memorijskom modelu s namjerno ugrađenom logičkom pogreškom broj elemenata u tablici preslikavanja jednak je:

**b) broju memorijskih lokacija sekundarne memorije**

153. Adresno preslikavanje u virtualnom memorijskom sustavu može se opisati funkcijom *f* koja ima sljedeći oblik:

**c) *f*: L -> F U ~~0~~**

gdje je L = {0, 1, 2, ..., N-1} skup logičkih adresa, F= {0, 1, 2, ..., M-1} skup fizičkih adresa, H skup adresa koje su

izazvale promašaj i ~~0~~ prazan skup.

154. Mikroinstrukcija je:

**a) kodirano predstavljena (nizom bitova) jedna ili više mikrooperacija**

155. Zastavice I0, I1 i I2 (MC 68000) nalaze se u:

**a) nadglednom bajtu statusnog registra SR**,

156. U sabirničkom ciklusu potvrde prekida MC 68000 postavlja kod razine prihvaćenog prekida na:

**a) sabirnicu podataka,**

157. U nultoj stranici memorije računala na bazi MC 68000 nalazi se obično:

**b) pohranjeni vektori iznimaka,**

158. Prekidni sustav mikroprocesora MC 68000 dopušta:

**c) 256 sklopovska prekida,**

159. Sabirnička jedinica (engl. Bus Unit) može se predočiti kao stroj stanja sa:

**b) 3 (tri) stanja – kaže Superman**

160. U idealiziranom protočnom modelu faktor ubrzanja jednak je:

**a) dubini protočne strukture**

161. Iz korisničkog načina rada mikroprocesor MC 68000 prelazi u nadgledni način rada:

**c) samo iznimkom**

162. SRISC model procesora ima sljedeću značajku:

**b) koristi Big-Endian Byte Ordering,**

163. SRISC procesor ima:

**a) trosabirničku strukturu,**

164. Vrste podatkovnog hazarda su:

**RAW, WAR i WAW**

165. U organizaciji priručne memorije postoje dva glavna načina obnavljanja sadržaja glavne memorije:

**Write-through i Write/copy-back**

166. Zaokružiti ispravan redoslijed memorijske hijerarhije.

**c) registri, cache, RAM, disk**

167. Za realizaciju 3-bitnog posmačnog sklopa koji izravno podržava 5 vrsta posmaka i prijenos podatka potrebno je:

**b) 3 multipleksora 8/1**

168. Koja od sljedećih tehnika ne vodi poboljšanju iskorištenja superskalarnih resursa?

**c) pretjerano povećavanje radne frekvencije**

169. Translacijski spremnik ne sadrži:

**c) kopiju bloka podataka iz RAM-a**

170. Zadana je PM s 8 linija po 16B. Koliko komparatora oznake adrese je potrebno kod potpuno asocijativnog preslikavanja?

**c) 8**

171. Što omogućavamo preimenovanjem registara?

***b) otklanjanje hazarda WAR***

172. Koji od sljedećih nije algoritam zamjene stranica?

**c) bimodalna tablica odluke**

173. Koja od sljedećih logičkih operacija nije izravno podržana u modelu ALU koji je opisan na predavanjima:

***b) NI***

174. Zašto je odnos |LAP|>|FAP| poželjniji od odnosa |LAP|=|FAP|?

**b) zbog mogućnosti proširenja**

175. Flynnova klasifikacija arhitekture temelji se na:

**d) višestrukosti instrukcijskog toka i toka podataka**

176. Značajka load/store arhitekture specificira:  
 **c) RISC arh**

177. Tijekom dekodiranja instrukcije u RISC procesoru :

**a) istodobno se i dohvaćaju operandi**

178. Ganttov dijagram sluzi za:

**d) prikaz instrukcija u protočnoj strukturi**

179. Jedno od zlatnih pravila : „ žrtvuj sve kako bi smanjio vremenski ciklus podataka“ vrijedi prvenstveno za:

**d) procesore RISC**

180. Harvardska arhitektura računala uspješno rješava :

**a) sukobljavanje oko sredstava(resursa)**

181. Općenito postoje tri vrste podatkovnih hazarda: RAW, WAR i WAW. Za RISC procesore od gornjih hazarda kritičan je:

**d) RAW.**

182. Instrukcija NOP u protočnoj strukturi RISC procesora:

**b) "ne radi ništa", no služi i za rješavanje hazarda i tumači se kao umetanje "protočnog mjehurica"**

183. Tipični skalarni RISC procesor ima:

**d) troadresne aritmetičke instrukcije bez memorijskih operanda**

184. Većina instrukcija arhitekture x86 podržava:

**a) 1 memorijski operand (by Stripy)**

185. U protočnom računalu sa zajedničkom jednoadresnom priručnom memorijom podataka i instrukcija naročito možemo očekivati:

**b) strukturne hazarde**

186. Koncept protočnosti je koristan jer omogućava:

**b) iskorištavanje instrukcijskog paralelizma**

187. Sistolička polja se svrstavaju u:

**b) MISD**

188. Koncept upravljanja tokom podataka koristi se u:

**b) superskalarnim računalima**

189. Zašto se kaže da Amdahlov zakon koci razvoj paralelnih sustava?

**c) jer se povećanjem broja procesora u praksi cesto postižu sublinearna ubrzanja**

190. Tipični skalarni CISC procesor ima:

**a) malo registara, više formata instrukcija**

191. Koliko bitova ima usputna konstanta u tipičnoj 32-bitnoj troadresnoj RISC instrukciji:

**d) oko 16**

192. Koliko registarskih operanada ima tipična aritmetička RISC instrukcija:

**a) 3**

***193. Zakašnjele instrukcije grananja u arhitekturi RISC procesora posljedica su:***

***c) upravljačkog hazarda (po službenim rješenjima)***

194. Jedinična kružnica u Kiviat grafu siječe os „Prosječan broj perioda po instrukciji“ u točki:

1. **koja ima vrijednost 1**

195. Resetiranjem procesora MC68000 procesor postavlja zastavice:

1. **S = 1, T = 0,**

196. Izbaciti uljeza (koji nije vrsta podatkovnog hazarda):

1. **RAR**

197. Ako je broj straničnih priključaka u primarnoj memoriji BP = 128 i ako je indeks stranice u sekundarnoj memoriji 428, onda se ta stranica, ako virtualni memorijski sustav rabi izravno preslikavanje, može priključiti u stranični priključak s indeksom:

1. **44 (428 mod 128 = ostatak 44)**

198. Lokalnost programa izražava se radnim skupom WS pri tom WS je:

1. **WS (t, h), gdje je h veličina „okna“**

199. Izravnim preslikavanjem u virtualnom memorijskom sustavu određuje se stranični priključak:

1. **j=i (modulo BP) gdje je BP ukupan broj straničnih priključaka, BS ukupan broj stranica sekundarne memorije, i broj stranice te j broj straničnog priključaka**.

200. Za organizaciju priručne memorije vrijedi:

1. **glavna memorija je podijeljena na slijedne blokove, a priručna memorija na bločne priključke**

201. Omjer pogodaka je:

1. ***H = N1/(N1 + N2)*gdje je N1 broj pozivanja primarne memorije, a N2 broj pozivanja sekundarne memorije**.

***202. Adresna značka se u organizacije priručne memorije pridružuje:***

1. ***bloku u priručnoj memoriji* (adresna značka se pridružuje svakom bloku u priručnoj memoriji)**

203. Vektorski broj za 16-bitni procesor MC68000 je:

1. **8-bitni**

204. Modulo za brojilo sekvenci u realizaciji sklopovske upravljačke jedinice izravno zavisi od:

1. **procijenjenom vremenu trajanja najdulje instrukcije (izraženo brojem perioda)**

205. Logička jednadžba kojom se opisuje upravljački signali sklopovski realizirane upravljačke jedinice ima sljedeće elemente:

1. **izlaze iz brojila sekvenci, izlaze iz instrukcijskog dekodera**

206. U modelu mikroprogramirane upravljačke jedinice faza P(1) signala vremenskog vođenja odgovara:

1. **prijenosu adrese u mikroprogramski adresni registar H**

207. Označite pojam koji je uljez u odnosu na preostala tri (u kontekstu dodjeljivanja upravljačkih bitova):

1. **nanoformati**

208. Mikroprocesor MC68000 signalizira periferiji prihvaćanje zahtjeva za prekid:

1. **postavljenjem FC0 = 1, FC1= 0 i FC2 = 1**

209. Zadana je PM s 8 linija po 16B i dvoelementnom asocijativnošću. Koja od sljedećih preslikavanja nije izvediva?

**b) šesnaest-elementno asocijativno preslikavanje**

210. Zadana je PM s 8 linija po 16B i izravnim preslikavanjem. Podatak na adresi 0xcc smještamo u liniju s indeksom:

**c) 4**

211. Najveći nedostatak modernih memorija DRAM je:

**c) velika latencija**

212. Koja od sljedećih tehnika ne vodi povećanju propusnosti modula DRAM?

**b) asinkroni upravljački protokol**

213. Elementi memorijskog sklopa DRAM obično su organizirani u:

**b) kvadratnom 2D polju**

214. Što ne sadrži linija priručne memorije?

**d) bitove za prava pristupa**

215. Što od navedenog ne spada u iskorišteni instrukcijski paralelizam ?

**d) podatkovni paralelizam**

216. Koji od navedenih pojmova **ne predstavlja** jednu od šest (6) glavnih vrsta vektorskih instrukcija ?

**b) instrukcije kontrakcije**

217. Kako vektoriziranje algoritma tipično utječe na učestalost hazarda ?

**b) povećava broj hazarda vrste RAW**

218. Za vektorske instrukcije raspršivanja vrijedi da:

**a) spremaju više skalara na memorijske lokacije koje ne moraju biti uzastopne  
 (Pomoću nje se U memoriju pohranjuje rijetko popunjeni vektor)**

219. Za vektorske instrukcije redukcije vrijedi da:

**b) iz dva vektorska operanda proizvode skalarni operand**

220. Performansa procesora veća je ako je:

**c) manji prosječan broj perioda po instrukciji CPI**

221. Za vektorske instrukcije maskiranja vrijedi da:

**a) iz dva vektorska operanda proizvode vektorski operand**

222. Disipacija snage procesora ovisi:

**c) linearno o frekvenciji signala vremenskog vođenja**

223. Paralelizam na razini dretvi i procesa isključivo se koristi:

**b) na razini kombinacije arhitekture i operacijskog sustava**

224. Faktor ubrzavanja za istodobno izdavanje najviše 15 instrukcija iznosi:

**c) oko 3**

225. Jedan od nedostataka straničenja je: **c) unutarnja fragmentacija**

226. Iscrpne analize ispitivanja programa pokazuju da se najčešće mogu usporedno izvršavati:  
 **b) 3 instrukcije**

227. Koji od ponuđenih odgovora ne spada u zadatke virtualne memorije?  
 **a) omogućiti brzinu pristupa koja bi pratila brzinu procesora**

228. Zrnatost zaštite pristupa kod straničenja je:  
 **b) na razini stranice**

229. Koji od slijedećih scenarija pokazuje najveću p\_\_\_\_ lok. p\_\_\_\_, dok \_\_\_\_\_\_ ne postoji?  
 **d) inicijalizacija polja nulom**

230. Koliko ciklusa traje faza izvrši instrukcije add $a0a0 \_\_\_\_\_\_\_ \_\_\_\_\_\_\_ \_\_\_\_\_  
 **b) 2**

231. Širina mikroprog. adr.prostora određena je:  
 **d) kapacitetom mikroprogramske memorije**

232. Neka se 10% postupka A nemože izvoditi s ostalim dijelovima postupka. Koliko će biti ubrzanje postupka A na računalu s 10 procesora?  
 **d) oko 5 puta - AMDAHLOV ZAKON p=1/(1-x)+(x/s)**

233. Za arhitekturu tipa VLIW je specifično da se usporedno izvođenje slijednog programa pospješuje prvenstveno:  
 **b) statičkim raspoređivanjem instrukcija u sklopovlju procesora**

234. Dinamičko raspoređivanje se koristi jer statička analiza ne može:  
 **c) razotkriti dinamičke memorijske i upravljačke hazarde**

235. U Denningovom memorijskom modelu s namjerno ugrađenom logičkom pogreškom broj elemenata u tablici preslikavanja jednak je:

**b) broju memorijskih lokacija sekundarne memorije**

236. Bačvasti posmačni sklop (Barrel Shifter) je:

**b) kombinacijski sklop**

237. Zastavice I0, I1 i I2 (MC 68000) nalaze se u:

**a) nadglednom bajtu statusnog registra SR,**

238. U sabirničkom ciklusu potvrde prekida MC 68000 postavlja kod razine prihvaćenog prekida na:

**a) sabirnicu podataka,**

239. Prekidni sustav mikroprocesora MC 68000 dopušta:

**c) 256 sklopovska prekida,**

240. Superskalarni CISC procesor ima:

**b) skalarno RISC jezgro**

241. Superskalarnost se ostvaruje:

**d) većim brojem zavisnih funkcijskih jedinica**

242. Čitanj registarskih operanada u tipičnoj RISC arhitekturi odvija se:

**c) usporedno s dekodiranjem instrukcije**

243. Kolika propusnost je potrebna za prijenos slike od 500 kByte na frekvenciji od 25 Hz?

a**) oko 10 MByte/s**

244. Struktura stoga podržava:

**d) Rekurzivno pozivanje (pot)programa i njihovo gniježđenje te gniježđenje prekidnih programa.**

245. Programsko brojilo se inkrementira (povećava za 1), u pravilu:

**b) Tijekom faze PRIBAVI;**

246. Najniža razina hijerarhijskog modela arhitekture računala je:

c**) Sklopovska oprema;**

247. Instrukcije uvjetnog i bezuvjetnog skoka koriste se za:

**b) Prijenos upravljanja u jednoj programskoj strukturi;**

248. Kakvo prosljedivanje se tipicno koristi za smanjenje latencije instrukcije grananja ($i$ oznaCava redni broj instrukcije)?

**a) ID[i] $\rightarrow$ IF[i+2] (na slajdovim pise ID[i] $\rightarrow$ IF[i+1]!!!)**

249. RISC arhitektura procesora dopušta:

**c) da operandi za aritmetičko-logičke operacije budu u registrima.**

250. Za vektorske i skalarne instrukcije tipično vrijedi:  
 **c) da se izvode u različitim sklop. jed. i koriste različite registre**

251. Koje se komponente izravno spajaju na periferni sklop (southbridge)?

**c) vanjske sabirnice, PCI, IDE, USB, Firewire, ISA, Ethernet ...**

252. Osnovna značajka Von Neumannovog računala je:

**c) program se opisuje slijedom instrukcija i pohranjuje u zajedničkoj memoriji**

253. Koliki adresni prostor ima računalo s 11-bitno adresnom sabirnicom?

**d) 2048 memorijskih lokacija**

254. Kakvi podatci se stavljaju na upravljački stog računala?

**b) parametri potprograma i lokalne varijable**

255. Koje podatke procesor MC68000 sprema prilikom obrade iznimke?

**c) samo programsko brojilo i registar stanja**

256. Adresna sabirnica računala je:

**d) jednosmjerna, izvire iz procesora te ponire u memoriji**

257. Koliko memorijskih operanada ima tipična aritmetička RISC instrukcija:

**a) 0**

258. Koji od ponuđenih odgovora ne predstavlja jednu od glavnih vrsta promašaja?

**b) promašaji zbog nedovoljne asocijativnosti**

259. Koji od sljedećih scenarija pokazuje najveću prostornu lokalnost pristupa podacima kada vremenska lokalnost ne postoji?

**c) inicijalizacija polja nulom**

260. Potrebna memorijska propusnost na suvremenom procesoru je oko

**d) 10 GB/s**

261. Zadana je PM s 8 linija po 16B i 2-elementnom asocijativnošću. Koja od sljedećih preslikavanja nije izvediva?

**b) 16 (šesnaest)-elementno asocijativno preslikavanje**

262. Zadana je PM s 8 linija po 16B i izravnim preslikavanjem. Podatak na adresi 0xcc smještamo u liniju s indeksom:

**c) 4**

263. Najveći nedostatak modernih memorija DRAM je:

**c) velika latencija**

264. Koja od sljedećih tehnika ne vodi povećanju propusnosti modula DRAM?

**b) asinkroni upravljački protokol**

265. Svojstvo viših razina memorijske hijerarhije u odnosu na niže razine je:

**d) manji kapacitet, manja latencija, veća cijena po bitu**

266. Odnos latencije i takta procesora. (paziti na formu pitanja jer je već bilo „podvala“ na teoriji/blitz)

**a) 1:100 *(Tj. MEM ima veći Latenciju nego takt procesora, tj memorija je sporija i „koči“ obradu a iz drugih izvora se taj omjer uzima i 1:300 )***

267. Nedostaci LRU algoritma zamjene blokova?

**a) skupa implementacija za vise od dvostruke asocijativnosti**

268. Što ne sadrži linija priručne memorije?

**d) bitove za prava pristupa**

269. Mikroprogramski procesor s predavanja omogućava

**a) uvjetno mikrogrananje s obzirom na predznak podatka na glavnoj sabirnici**

270. Koja je prednost tablice odredišta grananja nat tablicom povijesti grananja

**a) veća latencija spekuliranog ishoda grananja**

271. Zašto su u skalarnoj protočnoj strukturi s više procesnih jedinica funkcijske jedinice slabo iskorištene

**a) jer se izdaje samo jedna instrukcija po ciklusu**

272. Translacijski spremnik sadrži:

**c) kopije straničnih opisnika (*dakle to sadrži !!, pazi)***

273. Najčešći odnos TLB-a i PM je:

**c) TLB prethodi PM**

274. Koja od sljedećih tehnika nije namijenjena za statičko predviđanje grananja?

**b) predviđanje s obzirom na smjer**

275. Kod straničenja adresno preslikavanje se izvodi pomoću sljedećih operacija:  
 **b) zbrajanje**

276. Koji od navedenih pojmova nije povezan s imenskom ovisnošću ?

**b) podatkovna ovisnost**

277. Paralelizam na razini programskih petlji je klasificiran kao:

a**) srednje zrnati**

278. Kao glavni učinak na izvođenje programa možemo očekivati nakon vektoriziranja algoritama:

a**) smanjivanje broja izvedenih instrukcija**

279. Višetračna vektorska obrada podrazumijeva::

a**) višestruke funkcijske jedinice**

280. Sklop za predviđanje bita operand Bi na izlazu može generirati slijedeće vrijednosti:

**a) 0,Bi, Bi i 1**

281. Izbacite uljeza (koji nije vrsta podatkovnog hazarda):

a**) RAR (ostali WAW, RAW, WAR su podatkovni hazardi)**

282. Iznimkom RESET prekidne zastavice u SR registru procesora MC68000 :

1. **postavljaju se sve u 1**

**283.** Teško rješivi hazardi tipa RAW tipično nastaju nakon :  
 **a) instrukcije load**

**285.** Utjecaj podatkovnih hazarda RAW na performansu računala ne može se ublažiti:  
 **c) internim prosljeđivanjem rezultata**

**286.** Kakvo prosljeđivanje može pomoći kod zakašnjele instrukcije čitanja (i označava redni broj instrukcije)?  
  **c) ID[i] ⭢ IF[i+2]**

**287.** Pojavu koja uzrokuje zastoj protočne arhitekture nazivamo:  
 **b)** **hazardom**

**288.** Objektni modul programskog jezika C na arhitekturi x86 tipično predviđaju relociranje sljedećih elemenata programske sekcije :  
 **a) svih instrukcija grananja na potprograme izvan modula**

**289.** Kada 8 instrukcijski procesor sadržaj registra MDR prosljeđuje u akumulator? **d) u fazi izvrši instrukcije ld**

**290.** Elementarna sklopovska operacija naziva se : **b) mikrooperacija**

**291.** Koji od ponuđenih odgovara nije memorijska instrukcija arhitekture RISC  
 **d) brl r2,r3**

**292.** Memorijski adresni registar je : **d) izvor podataka na adresnoj sabirnici**

**293.** Jedna od glavnioh prednosti višerazinske stranične tablice : **d) manja cijena nekorištenih dijelova LAP-a**

**294.** Što od navedenog ne spada u iskorišteni funkcijski paralelizam ?

**d) podatkovni paralelizam**

**295.** IA-64 je porodica Intelovih procesora sa arhitekturom

**b) EPIC**

**296.** Za vektorske instrukcije okupljanja vrijedi da:

**a) učitavanja vektorskih operanda iz memorijskih lokacije koje ne moraju bit uzastopne  
 (IZ memorije dohvaća i oblikuju rijetko popunjeni vektor)**

**297.** Koncept EPIC odnosi se na : **b) explicitno izražen paralelizam na razini instrukcija  
 (Intel IA-64 Itanium, Merced Itanium)**

**298. 6 glavnih vektorskih instrukcija (nije pitanje ali jedna od tvrdnji se obično pojavi…)  
 1. Instrukcije vektor <-> vektor  
 2. Instrukcije vektor <-> skalar  
 3. Instrukcije vektor <-> memorija   
 4. Instrukcija redukcije (pretvara vektor u skalar)  
 5. Instrukcije okupljanja (učitavanje iz MEM) i raspršivanja (pohranjivanje u MEM)  
 6. Instrukcije maskiranja (sažima ili proširuje izvorni vektor)**

**Napomena 1. By Supermen (1-224):**

*Skupljena su sva do sada raspoloživa pitanja sa FER2 foruma i materijala, što uključuje međuispite, bliceve, završne i ponovljene. Bilo bi dobro da se neka dobra duša nađe i svake godine nadopuni novim pitanjima tutorial. Neka pitanja se ponavljaju, ali je namjerno tako ostavljeno (lakše se savlada gradivo - Biliv it or not. A i teško je micat dupliće :).*

**Napomena 2. by Stripy (225-298) :**

*Ovaj Brain-Dump je nastao kao potreba zaštite okoliša i manje upotrebe papira ☺. A uz to puno lakše i brže se prolazi kroz pitanja kada se ima samo točan odgovor, jer iz vlastitog iskustva mi se znalo dogoditi da se smotam i krivo „naučim“ pa eto ko voli nek izvoli… Za izvornik se zahvaljujem kolegi* ***SUPERMEN*** *a ovo je samo optimizirana verzija sa samo točnim odgovorima. Također napravljene gramatičke ispravke radi lakše čitljivosti, odgovoreno na neka neodgovorena pitanja*

*Dodana pitanja 225. – 282., sva pitanja su prepisana ili CP sa postojećih materijala. Treba pripaziti na veliku sličnost pitanja gdje jedna riječ mijenja kompletno smisao pitanja i naravno odgovor ☺*

*Odgovori označeni žuto nisam/nismo sigurni*

*Pitanja 112, 130, 150, 159 potvrdio* ***mymlemim***

***Također hvala svim kolega prije koji su sve to godinama skupljali i omogućili ovaj BrainDump ☺***

*03.02.2013 - Dodana pitanja 283. – 298. ništa posebno ali od viška glava ne boli, te na nekim pitanjima dodana pojašnjenja*