1. Za superskalarne RISC arhitekture je specifično da se paralelno izvođenje slijednog programa pospješuje:

a) predviđanjem grananja

b) malom, ali brzom priručnom memorijom

c) adresnom translacijom

**d) dinamičkom analizom međuovisnosti instrukcija u sklopovskom procesoru**

2. Kakvi podaci se stavljaju na upravljački stog računala

a) s pomičnim zarezom, ali ne i cjelobrojni

b) cjelobrojni, ali ne i s pomičnim zarezom

**c) parametri potprograma i lokalne varijable**

d) operacijski kodovi instrukcija

3. Performansa računala u kontekstu izvođenja slijednih programa u posljednjih nekoliko godina

a) stagnira

**b) raste, uz usporenje porasta**

c) raste, uz ubrzanje porasta

d) opada

4. Na koje sve načine procesor MC68000 prelazi iz korisničkog u nadgledni način rada?

a) između ostalog i instrukcijom RTE

**b) isključivo obradom iznimke**

c) između ostalog i postavljanjem zastavice T u registru stanja

d) između ostalog i postavljanjem zastavice X u registru stanja

7. Koji je od sljededih kriterija ocjene računalne performanse najobjektivniji?

a) MHz

b) MFLOPS

c) MIPS

**d) SPECmark**

9. Primjer SIMD računala je:

a) von Neumanov model računala

b) redundantna računala u kojem više izvršnih jedinica obrađuje iste podatke

c) računala temeljena na višejezgrenom procesoru

**d) vektorski procesor na grafičkoj kartici**

11. Trend povedanja broja jezgri u procesorima uzrokovan je prvenstveno

a) potrebnom za vedom propusnošdu sabirnice

b) nužnošdu konkurentnog izvođenja u modernim operacijskim sustavima

**c) iscrpljenom mogudnošdu za ubrzanje slijednih programa sofisticiranim arhitekturama**

d) potrebom za povedanjem performanse izvođenja tipičnih programa

13. Zašto se kaže da Amdahlov zakon koči razvoj paralelnih sustava?

a) zbog akumulatorske arhitekture

b) zbog pre\_\_\_\_\_ \_\_\_\_\_\_\_\_\_

**c) jer se povedanjem broja procesora u praksi često postižu sublinearna ubrzanja**

d) jer se ne mogu proizvesti sklopovi s potrebnim brojem tranzistora

14. Čitanje registarskog operanda u tipičnoj RISC arhitekturi odvija se:

a) nakon dekodiranja operacijskog koda

b) prije pribavljanja instrukcije

**c) usporedno s dekodiranjem instrukcije**

d) za vrijeme pribavljanja instrukcije

(hint: kod mips protočne arh. se druga faza zove ID+OF, instruction decode & operator fetch)

15. Koja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju:

a) pristup memoriji

b) upis pročitanog podatka u odredišni registar

**c) određivanje efektivne adrese**

d) zbrajanje dvaju registara

16. Računanje odredišta relativnog grananja u arhitekturi MIPS odvija se:

a) prije pribavljanja instrukcije

b) usporedno s pristupom podatkovnoj memoriji

c) za vrijeme pribavljanja instrukcije

**d) usporedno s dekodiranjem instrukcije**

17. Resursni konflikt instrukcije load u jednostavnoj protočnoj arhitekturi tipa RISC može nastati oko sljedećeg resursa:

**a) memorija**

b) registarski skup

c) zbrajala

d) sklopovi za grananje

18. Adresa sljedede mikroinstrukcije ne može se dobiti:

a) prijenosom adresnog polja u mikroriječ

**b) prijenosom usputne konstante makroinstrukcije**

c) povedanjem mikroprogramskog brojila za 1

d) prijenosom operacijskog koda makroinstrukcije

19. Instrukcije osaminstrukcijskog procesora:

a) mogu imati sve operande u memoriji

b) nemaju memorijske operande

c) uvijek imaju sve operande u registrima

**d) mogu imati najviše jedan memorijski operand**

20. Koncept protočnosti je koristan jer omogudava:

a) CISC arhitekturama da se po performansi izjednače s RISC-om

b) istu performansu uz manji broj tranzistora

**c) iskorištavanje instrukcijskog paralelizma**

d) smanjivanje potrebnog broja registara

21. Slijed instrukcija load r5, 20(r1); add r2, r1, r5 može rezultirati:

a) hazardom tipa WAR

**b) hazardom tipa RAW**

c) hazardom tipa RAR

d) hazardom tipa WAW

22. Arhitektura MIPS u svakom ciklusu signala takta izvrši:

a) uvijek točno dva memorijska pristupa

b) najviše jedan memorijski pristup

c) uvijek točno jedan memorijski pristup

**d) najviše dva memorijska pristupa**

23. Ako je registar R s odvojenim izvodima za čitanje i pisanje spojen na dijeljenu sabirnicu, sklopovi s tri stanja su:

a) nepotrebni, ali ne ometaju normalan rad

**b) potrebni samo kod čitanja registra R**

c) potrebni kod bilo kojeg prijenosa podataka u ili iz registra R

d) nepotrebni i ometaju normalan rad

24. U kakvom su odnosu MHz (radni takt procesora) i SPECint2000 (rezultat na SPEC-ovom testiranju):

a) vrijednost SPECmarka ne ovisi o vrijednosti MHz

b) MHz je relevantniji pokazatelj performanse

c) SPECmark je čimbenik performanse, a MHz pokazatelj

**d) MHz je čimbenik performanse, a SPECmark pokazatelj**

25. Za upravljačku jedinicu osaminstrukcijskog procesora vrijedi:

a) da podržava instrukcijski skup RISC

b) da se ne može izvesti mikroprogramiranjem

**c) da se može izvesti poljem PLA**

d) da je izvedena mikroprogramiranjem

26. Koji nedostatak Von Neumannove memorijske organizacije je izbjegnut u Harvardskoj memorijskoj organizaciji:

**a) jedinstvena sabirnica za podatke i instrukcije**

b) dugačko vrijeme pristupa

c) bajtna zrnatost

d) loša propusnost

27. Koja komponenta modernog računala nije bila prisutna u originalnoj Von Neumannovoj arhitekturi:

a) aritmetička jedinica

**b) priručna memorija podataka**

c) interna sabirnica

d) radna memorija

28. Svih 5 segmenata osnovne arhitekture MIPS koriste se samo prilikom izvođenja:

a) instrukcija uvjetnog grananja

b) instrukcija pisanja u memoriju

**c) instrukcija čitanja iz memorije**

d) instrukcija bezuvjetnog grananja

29. Tipično, mikroprogram koji implementira fazu izvrši makroinstrukcijski završava

a) upisom nove vrijednosti u programsko brojilo

**b) pozivom mikroprograma za fazu pribavi**

c) prozivanjem nanoprogramske memorije

d) upisom rezultata u radnu memoriju

30. Neka w(R) označava broj bitova registara. Tada za osaminstrukcijski procesor vrijedi:

a) w(MAR) > w(MDR)

b) w(AC) = w(PC)

c) w(MDR) – w(PC) = w(MAR)

**d) w(IR) + w(PC) = w(MDR)**

31. Koja od navedenih komponenti nije element puta podataka

a) interna sabirnica

b) aritmetičko-logička jedinica

c) priručna memorija podataka

**d) radna memorija**

32. Za tipične horizontalne mikroinstrukcije vrijedi:

**a) mogu nezavisno upravljati sklopovljem**

b) instrukcijska riječ im je krada od 16 bitova

c) pobuđuju po 1 mikroopreraciju

d) imaju sporiji odziv od alternativnih pristupa

33. Zadana je PM s 8 linija po 16B i izravnim preslikavanjem. Svako promašeno čitanje bajta inicira prijenos podataka iz DRAM-a od:

a) 128 B

b) 4 B

c) 64 B

**d) 16 B**

34. Translacijski spremnik ne sadrži

a) informacijske bitove (P, D)

**b) kopiju bloka podataka iz RAM-a**

c) virtualnu stranicu

d) fizičku stranicu

35. Za realizaciju 3-bitnog posmačnog sklopa koji izravno podržava 5 vrsta posmaka i prijenos podataka potrebno je

a) 5 mux 8/1

b) 4 mux 5/1

c) 5 mux 3/1

**d) 3 mux 8/1**

36. Elementi memorijskog sklopa DRAM obično su organizirani u:

a) pravokutnom 2D polju s više redaka nego stupaca

b) 1D polju

c) pravokutnom 2D polju s više stupaca nego redaka

**d) kvadratnom 2D polju**

37. Koji od slijededih nije algoritam zamjene stranica:

a) FIFO

b) optimalni izbor

**c) bimodalna tablica odluke**

d) slučajni izbor

38. Ako 32-bit zbrajalo bez sklopa za predviđanje bita prijenosa ima latenciju T, kolika bi latencija bila kod 64-bit zbrajala iste tehnologije:

a) T

b) T/32

**c) 2T**

d) T/64

39. Koji problem se može pojaviti kad promijenjene podatke cachea ne upisujemo trenutno u glavnu memoriju:

a) prevelik pritisak na propusnost glavne memorije

b) povedanje latencije PM

c) povedanje disipacije PM

**d) gubitak koherencije u višeprocesorskom sustavu**

40. Koja od sljededih logičkih operacija nije izravno podržana u ALU koji je opisan na predavanjima?

a) isključivo ILI

**b) NILI**

c) NE

d) ILI

41. Što omogudavamo preimenovanjem registra:

a) jednostavniju izvedbu upravljačke jedinice

**b) otklanjanje hazarda WAR**

c) bolju performansu cachea

d) bolje predviđanje grananja

42. Postotak uspješnosti dinamičkog predviđanja grananja tipično je u intervalu:

a) [60% - 70%]

**b) [90% - 100%]**

c) [70% - 80%]

d) [50% - 60%]

43. Zašto je uvjetni registar posebno problematičan na superskalarnim računalima:

a) onemogudava preimenovanje registara

**b) postaje implicitni izvor podatkovnog hazarda**

c) onemogudava predviđanje grananja

d) nepovoljno se odražava na ortogonalnost instrukcijskog skupa

44. Jednostavna superskalarna organizacija se od skalarne protočne organizacije s više procesnih jedinica razlikuje jer ima:

a) izvršavanje izvan redoslijeda

b) vedi registarski skup

c) efikasniju primarnu memoriju

**d) mogudnost istovremenog prihvadanja i dekodiranja više instrukcija**

45. Zadana je PM s 8 linija po 16B. Koliko komparatora oznaka adrese je potrebno kod potpuno asocijativnog preslikavanja?

a) 16

b) 1

c) 4

**d) 8**

46. Zaokružiti ispravan redoslijed memorijske hijerarhije:

a) cache, registar, RAM, disk

b) cache, registar, disk, RAM

**c) registar, cache, RAM, disk**

d) cache, RAM, disk, registar

47. Neka je zadano računalo sa stranicama od 4kB. Koliko de fizičkog RAM-a zauzeti proces koji koristi ukupno 4097 bajtova memorije:

a) 4096 B

b) 4100 B

**c) 8192 B**

d) 4097 B

48. Koji je glavni nedostatak algoritma LRU za zamjenu blokova priručne memorije:

a) slabo korištenje prostorne lokalnosti

**b) složena implementacija za više od dvoelementne asocijativnosti**

c) gubitak koherencije u višeprocesorskom sustavu

d) slabo korištenje vremenske lokalnosti

49. Koja od slijededih tehnika ne vodi poboljšanju iskoristivnosti superskalarnih resursa:

**a) pretjerano povedanje radne frekvencije**

b) preimenovanje registara

c) izvođenje izvan redoslijeda

d) ortogonalnost skupa instrukcija

50. Zašto je odnos |LAP|>|FAP| poželjnije od odnosa|LAP| = |FAP|?

**a) zbog mogudnosti proširenja**

b) zbog boljeg iskorištenja CPU-a

c) zbog bolje iskorištenja RAM-a

d) zbog boljeg iskorištenja sabirnice

51. Potpuno zbrajalo se:

a) ne može realizirati pomodu poluzbrajala

b) može realizirati pomodu jednog poluzbrajala i dodatnog sklopa ILI

**c) može realizirati pomodu 2 poluzbrajala i dodatnog sklopa ILI**

d) može realizirati pomodu jednog poluzbrajala, bez korištenja dodatnih

logičkih sklopova

52. Za nacin preslikavanja pri smjestanju blokova u prirucnu memoriju koji se naziva potpuno asocijativno preslikavanje vrijedi:

**a) blok iz glavne memorije moze se smjestiti na bilo koji slobodni blocni prikljucak**

b) blok iz glavne memorije moze se smjestiti samo na definirani podskup blocnih prikljucak

c) blok iz glavne memorije moze se smjestiti samo na blocni prikljucak koji je odredjen sa j = i(modulo Bp)

d) blok iz glavne memorije moze se smjestiti samo na blocni prikljucak koji je odredjen sa j = 2^i/Bp.

**53. Navedite nacine dijeljenja logickog i fizickog adresnog prostora na temelju promjenljivosti velicine bloka:**

**a) virtualni memorijski sustav sa stranicenjem - ako se logicki i fizicki adresni prostor podijele na jednake blokove stalne velicine;**

**b) virtualni memorijski sutav sa segmentacijom - ako se u mehanizmu adresnog preslikavanja upotrebljavaju blokovi promjenjive velicine;**

**c) virtualni memorijski sutav sa stranicenim segmentima ili segmentacija sa stranicenjem - kombinacija stranicenja i segmentacije na nacin da su segmenti podijeljeni na stranice (Paged segmentation, Segmentation with paging).**

54. Tijekom oblikovanja logicke sekcije za nasu ALU jedinicu uveli smo dodatnu (pomocnu) varijablu Ki koja je koristena za:

a) izvedbu logicke operacije NE

b) izvedbu logicke funkcije ekvivalencije

c) izvedbu logicke operacije ILI

**d) izvedbu logicke operacije I.**

55. Tijekom izvodjenja bilo koje od logickih operacija, bit Ci svakog stupnja treba biti:

a) u logickoj 1

**b) u logickoj 0**

c) u stanju X - (don't care)

d) ulaz Ci mora biti u stanju visoke impedancije

56. Prilikom izvedbe sklopa za posmak u procesoru, radi vece brzine, prednost se daje:

a) dvosmjernim posmacnim registrima sa serijskim ulazom;

b) dvosmjernim posmacnim registrima s paralelnim ulazom i serijskim izlazima;

c) kombinaciji ozicenja i sekvencijalnih sklopova;

**d) kombinacijskim sklopovima.**

57. Potpuno asocijativna prirucna memorija ima jednu bitnu i prepoznatljivu znacajku i to:

**blok velicine b iz glavne memorije moze se smjestiti na bilo koji slobodni blocni prikljucak prirucne memorije.**

58. Algoritam zamjene blokova OPT ima sljedecu osnovnu znacajku:

a) sve dobre izvedbe prirucne memorije koriste OPT

**b) daje dobru osnovu za usporedbu s drugim algoritmima ali se, medjutim, ne moze realizirati**

c) rabi se samo za potpuno asocijativne prirucne memorije

d) rabi se samo u izravnoj prirucnoj memoriji

59. Omjer pogotka izrazava se kao vjerojatnost da se naslovljavani podatak nalazi u prirucnoj memoriji i aproksimiran je s:

**h= broj naslovljavanja u kojima je postignut pogodak / broj ukupnih referencijranja**

60. Ako glavna memorija, kapaciteta 2^M, ima BM = 2^M /b blokova, gdje je velicina bloka b=2^W rijeci, tada se prirucna memorija sastoji od:

a) BP = BM blokova cija je velicina b = 2^(M/W) rijeci;

b) BP = BM/W blokova, cija je velicina b = 2^W;

c) **BP blokova (izravno nezavisno od BM), pri cemu je velicina bloka b = 2^W;**

d) BP = BM/b, pri cemu je velicina bloka b = 2^W.

61. Blocni prikljucak u prirucnoj memoriji oblikuju:

**a) blok i adresna znacka**

b) blok

c) blok, adresna znacka i oznaka zauzetosti prikljucka

d) adresna znacka

62. Funkcija adresnog preslikavanja u virtualnom memorijskom sustavu je:

a) f : LA → FA

**b) f : LA → FA ∪ ∅, gdje je ∅ oznaka praznog skupa**

c) bijektivna funkcija f : LA → FA

d) f : LA × FA → FA, gdje je × oznaka kartezijevog produkta

63. Da bismo dobili kruzni posmak za 6 mjesta uporabom bacvastog posmacnog sklopa treba:

a) na ulaz A dovesti 32-bitni operand, a na ulaz B 32 nule, a ulaz S treba imati vrijednost 6;

b) na ulaz A dovesti 32 nule, na ulaz B 32-bitni operand, a na ulaz S vrijednost 6;

c) na ulaz A 32-bitni operand, na ulaz B isto taj 32-bitni operand, a na ulaz S vrijednost 6;

d) na ulaz A 32-bitni operand, na ulaz B isto taj 32-bitni operand, a na ulaz S vrijednost 5.

64. U suvremenim arhitekturama računala odnos između logičkog (LA) i fizičkog (FA) adresnog prostora je:

**a) LA > FA**

b) LA = FA

c) LA < FA

d) LA ≤ FA

65. Kad se logički i fizički adresni prostor podijele na jednake blokove stalne veličine, tada je riječ o:

a) virtualnom memorijskom sustavu sa segmentacijom

b) virtualnom memorijskom sustavu sa straničenim segmentima

**c) virtualnom memorijskom prostoru sa straničenjem**

d) bločnom virtualnom memorijskom sustavu

66. U Denningovom modelu adresnog preslikavanja ( s namjerno ugrađenom pogreškom), kapacitet tablice preslikavanja jednak je:

a) kapacitetu primarne memorije, odnosno FA

**b) kapacitetu sekundarne memorije, odnosno LA**

c) kapacitetu priručne memorije

d) sumi FA + LA

67. Bačvasti posmačni sklop je:

a) komponenta koja samo definira stanje procesora

**b) jedna od glavnih komponenti puta podataka**

c) izuzet iz puta podataka jer se obično smješta na izlazu ALU

d) jedna od manje važnih komponenti puta podataka

68. Ako se logički i fizički adresni prostor podijele na jednake stalne veličine govorimo o virtualnom memorijskom sustavu sa:

a) segmentima fiksne duljine

b) segmentacijom

c) straničenim segmentima

**d) straničenjem**

69. Logička adresa a pohranjuje se u

**a) registru virtualne adrese**

b) registru fizičke adrese

c) u tablici preslikavanja

d) u sekundarnoj memoriji

70. Adresna značka određena je s:

a) k najmanje značajnih bitova koji predstavljaju adresu u stranici

**b) k najznačajnijih bitova koji predstavljaju bločni broj bloka u glavnoj memoriji**

c) fizičkom adresom u registru VA

d) w najmanje značjanih bitova koji označavaju jednu od b riječi

71. Potpuno asocijativno preslikavanje kod priručne memorije dopušta:

**a) priključivanje bilo kojeg bloka memorije u bilo koji bločni priključak**

b) priključivanje bloka s bločnim brojem 2/N u jedan bločni priključak

c) priključivanje po modulu k, gdje je k broj bločnih priključaka

d) priključivanje po grupama

72. Poluzbrajalo kao "crna kutija" predočava se s:

a) dva ulaza i jednim izlazom

**b) dva ulaza i dva izlaza**

c) tri ulaza i dva izlaza

d) dva ulaza i tri izlaza

73. Sklop za predviđanje bita prijenosa je:

a) jednorazinski kombinacijski sklop

**b) dvorazinski kombinacijski sklop**

c) trorazinski kombinacijski sklop

d) sekvencijalni logički sklop

74. U računalnom sustavu koji koristi virtualnu memoriju, adresa koju generira procesor je:

a) fizička adresa

b) mikroprogramska adresa

c) priručna adresa

**d) logička adresa**

75. Koji se od sljededih algoritama zamjene blokova ne može realizirati:

**a) OPT**

b) FIFO

c) LRU

d) MISD

76. Brojilo sekvenci po modulu *k* je:

a) dvorazinski kombinacijski sklop

b) trorazinski kombinacijski sklop

c) *k*-razinski kombinacijski sklop

**d) sekvencijalni sklop**

77. Ako je početni sadržaj 8-bitovnog registra jednak –7210, aritmetičkim se posmakom u desno (uz pretpostavku zapisa negativnih brojeva u notaciji dvojnog komplementa) dobiva vrijednost:

a) +9210

**b) -3610**

c) +22010

d) -1610

78. Uobičajenim postupkom oblikovanja ALU, logička operacija "isključivo ILI" dobiva se:

a) tako da se Ci svakog stupnja postavi u logičko "1"

b) tako da se izabere kombinacija upravljačkih signala S1S2S3 = 101

**c) tako da se Ci postavi u logičko "0" invertiranjem upravljačkog signala S2**

d) tako da se jedinici ALU pridoda sklopovlje za izvođenje operacije "isključivo ILI"

79. Navedite dva načina izvedbe brojila sekvenci po modulu *k*:

**prstenasto brojilo**

**binarno brojilo + dekoder**

80. Osnovna značajka organizacije izravne priručne memorije je:

a) direktno adresiranje

b) da se svaki blok iz glavne memorije može izravno smjestiti na bilo koji bločni priključak

**c) da se svaki blok iz glavne memorije može smjestiti samo na određeni bločni priključak**

d) bločni priključak priručne memorije je j=(modulo BM), gdje je BM broj

blokova glavne memorije

81. Bačvasti posmačni sklop podržava:

a) samo logički posmak, ali ne i kružni posmak

b) logički i kružni posmak u oba smjera ali samo za 1 mjesto

c) logički i kružni posmak samo u lijevo za proizvoljan broj mjesta

**d) logički i kružni posmak u oba smjera za proizvoljan broj mjesta**

82. Postavljanje bita Ci u logičku 0 za svaki stupanj ALU karakterizira:

a) sve aritmetičke operacije

**b) logičke operacije**

c) operacije cjelobrojnog zbrajanja

d) operacije posmaka udesno

83. Sklop za predviđanje bita prijenosa je:

**a) dvorazinski kombinacijski sklop**

b) trorazinski kombinacijski sklop

c) jednorazinski kombinacijski sklop

d) sekvencijalni sklop

84. Označite ispravnu tvrdnju koja vrijedi za organizaciju priručne memorije:

a) adresna značka se pridružuje svakom bloku u glavnoj memoriji.

**b) adresna značka se pridružuje svakom bloku u priručnoj memoriji.**

c) adresna značka se pridružuje samo aktivnom bloku u priručnoj memoriji.

d) adresne značke se pridružuju svakom bloku u priručnoj memoriji i

svakom bloku u glavnoj memoriji.

85. Navedite barem tri osnovna algoritma zamjene blokova za tipične organizacije priručne memorije:

**OPT**

**FIFO**

**LRU**

**Random**

86. Za virtualni memorijski sustav koji je organiziran straničenjem vrijedi:

**a) stranični okvir se odnosi na fizički adresni prostor**

b) stranični okvir se odnosi na logički adresni prostor podijeljen na stranice

c) stranični okvir se rabi jedino u kontekstu priručne memorije

d) stranični okvir se odnosi na oba prostora: i logički i fizički

87. Navedite tri glavne organizacije priručne memorije i to prema načinu smještaja blokova iz glavne memorije u priručnu memoriju:

**potpuno asocijativna**

**izravna**

**skupno asocijativna**

88. Izmedu predloženih mjera za ocjenu performanse procesora, najobjektivnija je:

a) MIPS

b) MOPS

c) MFLOPS

**d) SPEC marks**

e) MIPS / MOPS

89. Flynnova klasifikacija arhitekture temelji se na:

a) višestrukosti instrukcijskog toka;

b) broju sabirnickih struktura;

c) višestrukosti toka podataka;

**d) višestrukosti instrukcijskog toka i toka podataka**

90. Tipican broj cjelobrojnih registara za RISC procesor je:

a) od 8 do 16;

b) do 32;

c) manji od 16;

**d) 32 ili više registara**

91. Troadresni format instrukcije je karakteristican za:

a) CISC procesore;

**b) RISC procesore;**

c) CISC procesore koji imaju RISC jezgru;

d) CISC i RISC procesore

92. Znacajka load/store arhitekture specificira:

a) CISC arhitekturu

b) Kombinaciju pristupa CISC/RISC

**c) RISC arhitekturu**

d) VLIW arhitekturu

93. Protocnost kao iznimno vazan koncept znacajan je za:

a) samo za RISC

b) samo za CISC

**c) RISC i CISC**

d) samo za izvedbu upravljacke jedinice

94. U protocnoj strukturi faktor ubrzanja (za idealan „glatki“ tok) jest:

a) N-gdje je N broj instrukcija

**b) M – broj protocnih segmenata**

c) t smax/ t smin , gdje su t smax i tsmni maksimalna odnosno minimalna vremena obrade u

protocnim segmentima

d) ts – gdje je ts maksimalno vrijeme obrade u jednnom protocnom segmentu

95. Jedna od osnovnih znacajki *dataflow* arhitekture jest:

a) sljedece instrukcija za izvodenje odreduje se na temelju PC-a

b) postoji poseban upravljacki tok kojim se izabire sljedeca instrukcija

**c) raspolozivi podaci odreduju skup izvodljivih instrukcija**

d) temelji se na LIFO prograskoj strukturi

96. VLIW arhitektura temelji se na :

a) RISC konceptima

b) CISC konceptima

**c) horizontalnom mikroprogramiranju**

d) dataflow arhitekturi

97. Tijekom dekodiranja instrukcije u RISC procesoru :

**a) istodobno se i dohvacaju operandi**

b) operandi se ne mogu dohvacati jer nije jos poznata operacija

c) istodobno se racuna adresa odredista

d) istodobno se racuna efektivna adresa operanda

98. Ganttov dijagram sluzi za:

a) procjenu performanse procesora

b) prikaz Flynnove klasifikacije

c) izravnu detekciju hazarda

**d) prikaz instukcija u protocnoj strukturi**

99. Jedno od zlatnih pravila : „ zrtvuj sve kako bi smanjio vremenski ciklus podataka“ vrijedi

prvenstveno za:

a) dataflow procesore

b) procesore CISC

c) proc VLIW

**d) procesore RISC**

100. Harvardska arhitektura racunala uspjseno rjesava :

**a) sukobljavanje oko sredstava(resursa)**

b)podatkovni hazard

c) WAW

d) upravljacki hazard

101. Opcenito postoje tri vrste podatkovnih hazarda: RAW, WAR i WAW. Za RISC procesore od

gornjih hazarda kritican je:

a) WAR

b) WAW

c) kombinacija WAR i WAW

**d) RAW**

102. U idealiziranom protocnom modelu, faktor ubrzanja jednak je:

**a) dubini protocne strukture**

b) omjeru ts, gdje je T perioda clock-a, a ts vrijeme obrade u protocnom segmentu

c) vremenu ts

d) faktoru N, gdje je N broj identicnih zadataka

103. Instrukcija NOP u protocnoj strukturi RISC procesora:

a) služi samo za ostvarivanje operacije "ne radi ništa" i samo troši vrijeme

**b) "ne radi ništa", no služi i za rješavanje hazarda i tumaci se kao umetanje "protocnog**

**mjehurica"**

c) se ne pojavljuje jer je nepotrebna

d) služi za sinkronizaciju dretvi

104. Izvodenje instrukcije lar ra,C1 imat ce za posljedicu:

a) R[ra] = adresa operanda odredena s C1 tako da se primijeni širenje bita predznaka

b) R[ra] = operand s adrese C1

**c) R[ra] = PC + C1**

d) R[ra] = R[rb + C1]

105. SRISC procesor ima:

**a) trosabirnicku strukturu**

b) dvosabirnicku strukturu

c) jednosabirnicku strukturu

d) dvosabirnicku strukturu i poseban bacvasti posmacni sklop

106. Primjer SISD racunala je:

a) racunalo temeljeno na visejezgrenom procesoru

**b) Von Neumannovo racunalo**

c) vektorski procesor na grafickoj kartici

d) redundantno racunalo u kojem vise izvrsnih jedinica obraduje iste podatke

e) paralelno zbrajalo

107. Tipicni skalarni RISC procesor ima:

a) jednoadresne aritmeticke instrukcije

b) aritmeticke instrukcije s memorijskim operandima

c) akumulatorsku arhitekturu

**d) troadresne aritmeticke instrukcije bez memorijskih operanda**

e) tablicu meduovisnosti (scoreboard)

108. Koncept upravljanja tokom podataka koristi se u:

a) originalnom Von Neumannovom modelu

b) protocnim racunalima

c) CISC raCunalima

**d) superskalarnim racunalima**

e) visejezgrenim racunalima

109. Za superskalarne RISC arhitekture je specificno da se usporedno izvodenje slijednog programa pospjesuje prvenstveno:

a) dubokom protocnom strukturom

**b) dinamickim rasporedivanjem instrukcija u sklopovlju procesora**

c) malom ali brzom prirucnom memorijom

d) adresnim preslikavanjem

e) statickim rasporedivanjem instrukcija tijekom prevodenja

110. Moderni superskalarni procesori tipicno postizu:

a) CPI > 3 GHz

b) CPI > 100 MHz

c) CPI > 100

d) CPI $\in [2,10]$

e) CPI < 1

111. Procesori 8086 i Core i7 920 imaju:

**a) srodnu instrukcijsku arhitekturu, ali razlicitu organizaciju**

b) srodnu organizaciju, ali razlicitu instrukcijsku arhitekturu

c) srodnu instrukcijsku arhitekturu i srodnu organizaciju

d) isti broj vanjskih izvoda (pinova)

e) kompatibilnu adresnu sabirnicu

112. Vecina instrukcija arhitekture x86 podrzava:

a) 0 memorijskih operanada

**b) 1 memorijski operand**

c) 2 memorijska operanda

d) 3 memorijska operanda

e) 4 memorijska operanda

113. Protocna arhitektura MIPS u svakom ciklusu signala takta izvrsi:

a) barem dva memorijska pristupa

**b) najvise dva memorijska pristupa**

c) tocno dva memorijska pristupa

d) najvise jedan memorijski pristup

e) tocno jedan memorijski pristup

114. U protocnom racunalu sa zajednickom jednoadresnom prirucnom memorijom podataka i instrukcija

narocito mozemo ocekivati:

a) podatkovne hazarde

**b) strukturne hazarde**

c) upravljacke hazarde

d) otezano izvodenje samomodificirajuceg koda

e) ubrzanje od 20\%

115. Koncept protocnosti je koristan jer omogucava:

a) istu performansu uz manji broj tranzistora

**b) iskoristavanje instrukcijskog paralelizma**

c) CISC arhitekturama da se po performansi izjednace s RISC-om

d) smanjivanje potrebnog broja registara

e) ublazavanje resursnih konflikata

116. Koja od navedenih komponenata nije element puta podataka:

a) aritmeticko-logicka jedinica

b) radna memorija

c) skup registara

d) interna sabirnica

117. Sistolicka polja se svrstavaju u:

a) SIMD

**b) MISD**

c) MIMD

d) SISD

118. Koncept upravljanja tokom podataka koristi se u:

a) originalnom Von Neumannovom modelu

**b) superskalarnim racunalima**

c) CISC racunalima

d) višejezgrenim racunalima

119. Zašto se kaže da Amdahlov zakon koci razvoj paralelnih sustava?

a) jer se porast uniprocesorske performanse usporava

b) zbog akumulatorske arhitekture

**c) jer se povecanjem broja procesora u praksi cesto postižu sublinearna ubrzanja**

d) jer se nemože proizvesti sklop s potrebnim brojem tranzistora

120. Za superskalarne RISC arhitekture je specificno da se paralelno izvodenje slijednog programa pospješuje:

a) adresnom translacijom

b) malom ali brzom prirucnom memorijom

c) predvidanjem grananja

**d) dinamickom analizom meduovisnosti instrukcija u sklopovlju procesora (scoreboard)**

121. Tipicni skalarni CISC procesor ima:

**a) malo registara, više formata instrukcija**

b) veliku prirucnu memoriju ( cache ), protocnu strukturu

c) puno registara ( >30 ), fiksni format instrukcija

d) malo registara, fiksni format instrukcija

122. Tipicni skalarni RISC procesor ima:

**a) troadresne aritmeticke instrukcije bez memorijskih operanada**

b) jednoadresne aritmeticke instrukcije

c) tablicu meduovisnosti instrukcija

d) aritmeticke instrukcije s memorijskim operandima

123. Moderne implementacije arhitekture x86 imaju:

a) pretežno mikroprogramirano upravljanje

b) instrukcijsku arhitekturu tipa RISC, te organizaciju tipa CISC

c) instrukcijsku arhitekturu tipa RISC, te organizaciju tipa CISC

**d) instrukcijsku arhitekturu tipa CISC, te organizaciju tipa RISC**

124. Koliko bitova ima usputna konstanta u tipicnoj 32-bitnoj troadresnoj RISC instrukciji:

a) oko 24

b) 32

c) oko 8

**d) oko 16**

125. Koji od ponudenih odgovora nije tipicna grupa instrukcija arhitekture RISC:

a) instrukcije grananja

**b) trigonometrijske instrukcije**

c) logicke funkcije

d) aritmeticke instrukcije

126. Koliko bajtova ima tipicna instrukcija RISC procesora:

**a) 4**

b) 1

c) 2

d) 8

127. Tip instrukcijske arhitekture Intelovog procesora Pentium III:

a) VLIW

b) superskalarna

**c) CISC**

d) troadresna

128. Koliko registarskih operanada ima tipicna aritmeticka RISC instrukcija:

**a) 3**

b) oko 8

c) 0

d) 2

129. Zakasnjele instrukcije grananja u arhitekturi RISC procesora posljedica su:

a) strukturnog hazarda

b) podatkovnog hazarda

**c) upravljackog hazarda**

d) kombinacije strukturnog i podatkovnog hazarda

130. Ganttov dijagram ima naneseno:

a) na apcisi vrijeme, a na ordinati instrukcije iz protocne strukture

b) na apcisi instrukcije iz protocne strukture a na ordinati protocne segmente

**c) na apcisi vrijeme, a na ordinati protocne segmente (može i A)**

d) na apcisi protocne segmente (prazne) a na ordinati protocne segmente (pune)

131. Pretpostavimo da racunalo s dobro popunjenom 5-segmentnom protocnom strukturom

preinacimo tako da dvostruko ubrzamo samo jedan segment. Efekt na performansu biti ce:

a) dvostruko ubrzanje

**b) nikakav**

c) ubrzanje od 20%

d) ubrzanje od 10%

132. Zašto su arhitekture CISC manje pogodne za izvedbu protocnosti od arhitektura RISC?

a) zbog malog broja registara

**b) zbog resursnih konflikata koje je teško zaobici**

c) zbog mikroprogramiranog upravljanja

d) zato što imaju zakašnjelo grananje

133. Koja operacija se izvodi u segmentu EX arhitekture MIPS kod instrukcija upisa u memoriju?

a) pristup memoriji

**b) odredivanje efektivne adrese**

c) zbrajanje dvaju registara

d) upis procitanog podatka u odredišni registar

134. Svih pet segmenata osnovne arhitekture MIPS koriste se samo prilikom izvodenja:

**a) instrukcija citanja iz memorije**

b) instrukcija pisanja u memoriju

c) instrukcija bezuvjetnog grananja

d) instrukcija uvjetnog grananja

135. **Tipični skalarni RISC procesor ima:**

**a) troadresne aritmetičke instrukcije bez memorijskih operanada**

b) jednoadresne aritmetičke instrukcije

c) tablicu međuovisnosti instrukcija

d) aritmetičke instrukcije s memorijskim operandima

136. **Tipični skalarni CISC procesor ima:**

**a) malo registara, više formata instrukcija**

b) veliku priručnu memoriju ( cache ), protočnu strukturu

c) puno registara ( >30 ), fiksni format instrukcija

d) malo registara, fiksni format instrukcija

137. **Većina instrukcija arhitekture x86 podržava:**

a) 0 memorijski operanada

b) 4 memorijska operanda

**c) 2 memorijska operanda**

d) 3 memorijska operanda

138. Hazard koji nije imenski povezan: (?! ne sjedam se dobro pitanja)

a) WAR

b) WAW

**c) podatkovna ovisnost**

d) antiovisnost

139. Primjer SIMD računala je:

a) redundantno računalo u kojem više izvršnih jedinica obrađuje iste podatke

b) serijsko zbrajalo

c) Von Neumannovo računalo

**d) vektorski procesor na grafičkoj kartici**

140. Kako vektoriziranje algoritma utječe na učestalost hazarda:

a) nema značajnog utjecaja

b) smanjuje broj hazarda RAW

**c) povećava broj hazarda RAW**

d) korištenjem servisnih bitova

141. Kako se kod straničenja rješava problem brzine pristupa elementima stranične tablice:

**a) cacheiranjem straničnih opisnika**

b) povedanjem brzine radne memorije

c) korištenjem servisnih bitova

d) spremanje cijele stranične tablice

142. Za superskalarnost RISC arhitekuture je specifično da se usporedno prevođenje slijednog programa pospješuje prvenstveno:

a) dubokim prosječnim strukturama

b) adresnim preslikavanjem

c) statičkim raspoređivanjem instrukcija tijekom prevođenja

**d) dinamičkim raspoređivanjem instrukcija u sklopovlju računala**

143. Jedan od značajnih razloga prirasta broja instrukcija arhitekture x86 su:

a) nove instrukcije tipa MISD

**b) nove instrukcije tipa SIMD**

c) nove memorijske instrukcije

d) nove instrukcije granjanja

144. Koja svojstva instrukcije arhitekture MIPS omoguduju relativnog odredišta u okviru protočnog ID?

**a) fiksni i jednostavni instrukcijski format**

b) superskalarnost

c) veliki broj registara opde namjene

d) zakašnjele instrukcije

145. Koliko bitova je potrebno za kodiranje reg. operanda u tipičnom RISC procesoru?

a) 3

**b) 5**

c) 1

d) 2

146. Ukoliko želimo oblikovati superskalarni procesor koji bi u prosjeku izvodio 2 instrukcije po ciklusu, broj procesnih jedinica mora biti:

a) proizvoljan

b) jednak dva

**c) znatno vedi od dva**

d) manji od dva

147. Jednostavna superskalarna organizacija se od skalarne prototočne organizacije s više procesnih jedinica razlikuje jer ima:

a) izvršavanje izvan redosljeda

**b) mogudnost istovremenog pribavljanja i dekodiranja više instrukcija**

c) vedi registarski skup

d) efikasnu priručnu memoriju

148. Zadano je 32-bitno računalo s 1GB memorije RAM, 1MB PML2, te 16kB L1. Koliki je LAP?

a. 220 B

**b. 232 B**

c. 214 B

d. 264 B

149. Ubrzanje arhitekture MIPS usljed protočnosti je:

a) najmanje 5 puta

b) točno 5 puta

c) najviše 4 puta

**d) najviše 5 puta**

150) U odnosu na period takta modernog procesora, latencija DRAM-a je u opdenitom slučaju:

a) 10 puta manja

b) 10 puta veda

c) 1000 puta veda

**d) 1000 puta manja**

151. Skupna asocijativna priručna memorija omogućuje smještanje blokova iz glavne memorije:

**a) u bilo koji slobodni bločni priključak**

b) u bločni priključak koji je određen formulom *j =i(modulo Bp)*

c) u bilo koju skupinu bločnih priključaka

d) u bilo koji slobodni priključak skupine *j,* gdje je *j=i(modulo Bs)*

152. U Denningovom memorijskom modelu s namjerno ugrađenom logičkom pogreškom broj elemenata u tablici preslikavanja jednak je:

a) broju memorijskih lokacija primarne memorije

**b) broju memorijskih lokacija sekundarne memorije**

c) ukupnom broju memorijskih lokacija primane i sekundarne memorije

d) *nP*\* broj lokacija primarne memorije, pri čemu je *nP* veličina stranice

153. Adresno preslikavanje u virtualnom memorijskom sustavu može se opisati funkcijom *f* koja ima sljedeći oblik:

a) *f*: L -> F

b) *f*: F -> L U F

**c) *f*: L -> F U F**

d) *f*: F -> L U F U H

gdje je L = {0, 1, 2, ..., N-1} skup logičkih adresa, F= {0, 1, 2, ..., M-1} skup fizičkih adresa, H skup adresa koje su

izazvale promašaj i F prazan skup.

154. Mikroinstrukcija je:

a) kodirano predstavljena (nizom bitova) jedna ili više mikrooperacija

b) skup mikrooperacija

c) podskup mikroopeacija

d) komponenta makroinstrukcije

155. Zastavice I0, I1 i I2 (MC 68000) nalaze se u:

**a) nadglednom bajtu statusnog registra SR**,

b) korisničkom bajtu statusnog registra SR,

c) u posebnom registru koji nije komponenta programskog modela,

d) u statusnom registru SR ali tako da im se može programski pristupiti nadglednom i korisničkom načinu rada.

156. U sabirničkom ciklusu potvrde prekida MC 68000 postavlja kod razine prihvaćenog prekida na:

**a) sabirnicu podataka,**

b) upravljačku sabirnicu,

c) adresnu sabirnicu,

d) posebnu sabirnicu vektorskog prekida.

157. U nultoj stranici memorije računala na bazi MC 68000 nalazi se obično:

a) pohranjeni vektorski brojevi,

b) pohranjeni vektori iznimaka,

c) nadgledni i korisnički stogovi,

d) inicijalne vrijednosti registara D0-D7 i A0 - A7.

158. Prekidni sustav mikroprocesora MC 68000 dopušta:

a) 64 sklopovska prekida,

b) 128 sklopovska prekida,

**c) 256 sklopovska prekida,**

d) 192 sklopovska prekida.

159. Sabirnička jedinica (engl. Bus Unit) može se predočiti kao stroj stanja sa:

a) dva stanja

**b) tri stanja**

c) četiri stanja

d) pet stanja

160. U idealiziranom protočnom modelu faktor ubrzanja jednak je:

**a) dubini protočne strukture**

b) omjeru ts/T

c) vremenu ts

d) N, gdje je N broj identičnih zadataka

161. Iz korisničkog načina rada mikroprocesor MC 68000 prelazi u nadgledni način rada:

a) samo instrukcijom RTE

b) samo obnavljanjem sadržaja SR-a

**c) samo iznimkom**

d) isključivo samo RESETOM

162. SRISC model procesora ima sljedeću značajku:

a) koristi Little\_Endian Byte Ordering,

**b) koristi Big-Endian Byte Ordering,**

c) nema definiran sljed uređenja bajtova,

d) ima čvrsti 32-bitni format podataka zahvaljujući 4-bajtnoj adresnoj zrnatosti.

163. SRISC procesor ima:

**a) trosabirničku strukturu,**

b) dvosabirničku strukturu,

c) jednosabirničku strukturu

d) dvosabirničku strukturu s posebnim bačvastim posmičnim sklopom.

164. Vrste podatkovnog hazarda su:

**RAW, WAR i WAW**

165. U organizaciji priručne memorije postoje dva glavna načina obnavljanja sadržaja glavne memorije:

**Write-through i copy-back**

166. Zaokružiti ispravan redosljed memorijske hijerarhije.

a) registri, RAM, disk, cache

b) cache, registri, disk, RAM,

**c) registri, cache, RAM, disk**

d) cache, RAM, disk, registri

167. Za realizaciju 3-bitnog posmaˇcnog sklopa koji izravno podržava 5 vrsta posmaka i prijenos podatka potrebno je:

a) 5 multipleksora 8/1

**b) 3 multipleksora 8/1**

c) 4 multipleksora 5/1

d) 3 multipleksora 4/1

168. Koja od sljedećih tehnika ne vodi poboljšanju iskorištenja superskalarnih resursa?

a) ortogonalizacija skupa instrukcija

b) izvođenje izvan redoslijeda

**c) pretjerano povećavanje radne frekvencije**

d) predviđanje grananja

169. Translacijski spremnik ne sadrži:

a) bitove zaštite pristupa (npr,W, S)

b) virtualnu stranicu

**c) kopiju bloka podataka iz RAM-a**

d) fizičku stranicu

170. Zadana je PM s 8 linija po 16B. Koliko komparatora oznake adrese je potrebno kod potpuno asocijativnog preslikavanja?

a) 4

b) 2

**c) 8**

d) 16

171. Što omogu´cavamo preimenovanjem registara?

a) bolju performansu cachea

b) otklanjanje hazardaWAR

c) jednostavniju izvedbu upravljačke jedinice

d) bolje predviđanje grananja

172. Koji od sljede´cih nije algoritam zamjene stranica?

a) LRU

b) FIFO

**c) bimodalna tablica odluke**

d) slučajni izbor

173. Koja od sljedećih logičkih operacija nije izravno podržana u modelu ALU koji je opisan na predavanjima:

a) I

b) NI

c) ILI

d) ISKLJUˇCIVO ILI

174. Zašto je odnos |LAP|>|FAP| poželjniji od odnosa |LAP|=|FAP|?

a) zbog manje disipacije

**b) zbog mogućnosti proširenja**

c) zbog boljeg iskorištenja CPU

d) zbog boljeg iskorištenja memorije RAM

175. Flynnova klasifikacija arhitekture temelji se na:

a) višestrukosti instrukcijskog toka;

b) broju sabirničkih struktura;

c) višestrukosti toka podataka;

**d) višestrukosti instrukcijskog toka i toka podataka**

176. Znacajka load/store arhitekture specificira:  
 a) CISC arh  
 b) Kombinaciju pristupa CISC/RISC  
 **c) RISC arh**  
 d) VLIW arh

177. Tijekom dekodiranja instrukcije u RISC procesoru :

**a) istodobno se i dohvacaju operandi**

b) operandi se ne mogu dohvacati jer nije jos poznata operacija

c) istodobno se racuna adresa odredista

d) istodobno se racuna efektivna adresa operanda

178. Ganttov dijagram sluzi za:

a) procjen performanse procesora

b) prikaz Flynnove klasifikacije

c) izravnu detekciju hazarda

**d) prikaz instukcija u protocnoj strukturi**

179. Jedno od zlatnih pravila : „ zrtvuj sve kako bi smanjio vremenski ciklus podataka“ vrijedi prvenstveno za:

a) dataflow procesore

b) procesore CISC

c) proc VLIW

**d) procesore RISC**

180. Harvardska arhitektura racunala uspjseno rjesava :

**a) sukobljavanje oko sredstava(resursa)**

b)podatkovni hazard

c) WAW

d) upravljacki hazard

181. Općenito postoje tri vrste podatkovnih hazarda: RAW, WAR i WAW. Za RISC procesore od gornjih hazarda kritičan je:

a) WAR;

b) WAW;

c) kombinacija WAR i WAW;

**d) RAW.**

182. Instrukcija NOP u protocnoj strukturi RISC procesora:

a) služi samo za ostvarivanje operacije "ne radi ništa" i samo troši vrijeme

**b) "ne radi ništa", no služi i za rješavanje hazarda i tumaci se kao umetanje "protocnog mjehurica"**

c) se ne pojavljuje jer je nepotrebna

d) služi za sinkronizaciju dretvi

183. Tipicni skalarni RISC procesor ima:

a) jednoadresne aritmeticke instrukcije

b) aritmeticke instrukcije s memorijskim operandima

c) akumulatorsku arhitekturu

**d) troadresne aritmeticke instrukcije bez memorijskih operanda**

e) tablicu meduovisnosti (scoreboard)

184. Vecina instrukcija arhitekture x86 podrzava:

a) 0 memorijskih operanada

**b) 1 memorijski operand**

c) 2 memorijska operanda

d) 3 memorijska operanda

e) 4 memorijska operanda

185. U protocnom racunalu sa zajednickom jednoadresnom prirucnom memorijom podataka i instrukcija narocito mozemo ocekivati:

a) podatkovne hazarde

**b) strukturne hazarde**

c) upravljacke hazarde

d) otezano izvodenje samomodificirajuceg koda

e) ubrzanje od 20%

186. Koncept protocnosti je koristan jer omogucava:

a) istu performansu uz manji broj tranzistora

**b) iskoristavanje instrukcijskog paralelizma**

c) CISC arhitekturama da se po performansi izjednace s RISC-om

d) smanjivanje potrebnog broja registara

e) ublazavanje resursnih konflikata

187. Sistolička polja se svrstavaju u:

a) SIMD

**b) MISD**

c) MIMD

d) SISD

188. Koncept upravljanja tokom podataka koristi se u:

a) originalnom Von Neumannovom modelu

**b) superskalarnim racunalima**

c) CISC racunalima

d) višejezgrenim racunalima

189. Zašto se kaže da Amdahlov zakon koci razvoj paralelnih sustava?

a) jer se porast uniprocesorske performanse usporava

b) zbog akumulatorske arhitekture

**c) jer se povecanjem broja procesora u praksi cesto postižu sublinearna ubrzanja**

d) jer se nemože proizvesti sklop s potrebnim brojem tranzistora

190. Tipični skalarni CISC procesor ima:

**a) malo registara, više formata instrukcija**

b) veliku priručnu memoriju ( cache ), protočnu strukturu

c) puno registara ( >30 ), fiksni format instrukcija

d) malo registara, fiksni format instrukcija

191. Koliko bitova ima usputna konstanta u tipičnoj 32-bitnoj troadresnoj RISC instrukciji:

a) oko 24

b) 32

c) oko 8

**d) oko 16**

192. Koliko registarskih operanada ima tipična aritmetička RISC instrukcija:

**a) 3**

b) oko 8

c) 0

d) 2

193. Zakasnjele instrukcije grananja u arhitekturi RISC procesora posljedica su:

a) strukturnog hazarda;

b) podatkovnog hazarda;

c) upravljačkog hazarda;

d) kombinacije strukturnog i podatkovnog hazarda.

194. Jedinična kružnica u Kiviat grafu siječe os „Prosječan broj perioda po instrukciji“ u točki:

1. koja ima vrijednost „1 do 4“
2. **koja ima vrijednost 1**
3. koja ima vrijednost 1/2
4. koja ima vrijednost 1/M gdje je M broj paralelnih protočnih struktura

195. Resetiranjem procesora MC68000 procesor postavlja zastavice:

1. **S = 1, T = 0,**
2. S = 0, T = 0,
3. S = 1,T = 1,
4. S = 0, T = 1.

196. Izbaciti uljeza (koji nije vrsta podatkovnog hazarda):

1. RAW
2. WAW
3. WAR
4. **RAR**

197. Ako je broj straničnih priključaka u primarnoj memoriji BP = 128 i ako je indeks stranice u sekundarnoj memoriji 428, onda se ta stranica, ako virtualni memorijski sustav rabi izravno preslikavanje, može priključiti u stranični priključak s indeksom:

1. 128
2. 24
3. **44**
4. 28

198. Lokalnost programa izražava se radnim skupom WS pri tom WS je:

1. WS (h)
2. WS (p), gdje je p broj stranica
3. WS (t), gdje je t diskretni vremenski trenutak
4. **WS (t, h), gdje je h veličina „okna“**

199. Izravnim preslikavanjem u virtualnom memorijskom sustavu određuje se stranični priključak:

1. **j=i (modulo BP)**
2. j = i (modulo BS)
3. i = j (moduloBS/BP)
4. i = j (modulo BP)

gdje je BP ukupan broj straničnih priključaka, BS ukupan broj stranica sekundarne memorije, i broj stranice te j broj straničnog priključaka.

200. Za organizaciju priručne memorije vrijedi:

1. **glavna memorija je podijeljena na slijedne blokove, a priručna memorija na bločne priključke**
2. glavna memorija je podijeljena na bločne priključke, a priručna memorija na blokove
3. glavna memorija i priručna memorija podijeljene su na bločne priključke
4. glavna memorija je podijeljena na slijedne blokove, a priručna na značke

201. Omjer pogodaka je:

1. H = N2/(N1 + N2)
2. H = N1/(N1 + N2)
3. H = N2/N1
4. H = N1/N2

gdje je N1 broj pozivanja primarne memorije, a N2 broj pozivanja sekundarne memorije.

202. Adresna značajka se u organizacije priručne memorije pridružuje:

1. bloku u priručnoj memoriji
2. bloku u primarnoj memoriji
3. samo bloku koji je uzrok promašaja
4. bloku u priručnoj i bloku u primarnoj memoriji

203. Vektorski broj za 16-bitni procesor MC68000 je:

1. **8-bitni**
2. 16-bitni
3. 32-bitni
4. 192-bitni

204. Modulo za brojilo sekvenci u realizaciji sklopovske upravljačke jedinice izravno zavisi od:

1. broja instrukcija u sklopu instrukcija
2. **procijenjenom vremenu trajanja najdulje instrukcije (izraženo brojem perioda)**
3. broju mikrooperacija
4. broju upravljačkih signala

205. Logička jednadžba kojom se opisuje upravljački signali sklopovski realizirane upravljačke jedinice ima sljedeće elemente:

1. operacijski kod instrukcije, izlaze iz brojila sekvenci
2. **izlaze iz brojila sekvenci, izlaze iz instrukcijskog dekodera**
3. izlaz iz instrukcijskog dekodera i taktne impulse clock-a
4. operacijski kod instrukcije, izlaze iz instrukcijskog dekodera

206. U modelu mikroprogramirane upravljačke jedinice faza P(1) signala vremenskog vođenja odgovara:

1. aktivnostima faze „mIkroIZVRŠI“
2. aktivnostima faze „mikroPRIBAVI“
3. **prijenosu adrese u mikroprogramski adresni registar H**
4. aktivnostima faze „odgodi PRIBAVI“

207. Označite pojam koji je uljez u odnosu na preostala tri (u kontekstu dodjeljivanja upravljačkih bitova):

1. izravno upravljanje
2. grupiranje bitova
3. **nanoformati**
4. višestruki formati

208. Mikroprocesor MC68000 signalizira periferiji prihvaćanje zahtjeva za prekid:

1. postavljanjem FC0 = 0, FC1 = 1 i FC2 = 0
2. postavljanjemFC0 = 0, FC1 = 0 i FC2 = 0
3. **postavljenjem FC0 = 1, FC1= 0 i FC2 = 1**
4. posebnom signalnom linijom IACK

209. Zadana je PM s 8 linija po 16B i dvoelementnom asocijativnošdu. Koja od sljededih preslikavanja nije izvediva?

a) izravno preslikavanje

**b) šesnaest-elementno asocijativno preslikavanje**

c) dvoelementno asocijativno preslikavanje

d) četveroelementno asocijativno preslikavanje

210. Zadana je PM s 8 linija po 16B i izravnim preslikavanjem. Podatak na adresi 0xcc smještamo u liniju s indeksom:

a) 3

b) 2

**c) 4**

d) 1

211. Najvedi nedostatak modernih memorija DRAM je:

a) visoka cijena

b) nedovoljan kapacitet

**c) velika latencija**

d) malena propusnost

212. Koja od sljededih tehnika ne vodi povedanju propusnosti modula DRAM?

a) usporedan pristup vedem broju sklopova uz preplitanje podataka

**b) asinkroni upravljački protokol**

c) protočnost

d) širenje podatkovne sabirnice

213. Elementi memorijskog sklopa DRAM obično su organizirani u:

a) pravokutnom 2D polju s više redaka nego stupaca

**b) kvadratnom 2D polju**

c) 1D polju

d) pravokutnom 2D polju s više stupaca nego redaka

214. Što ne sadrži linija priručne memorije?

a) podatke

b) bit valjanosti V

c) D bit

**d) bitove za prava pristupa**

215. Što od navedenog ne spada u iskorišteni instukcijski paralelizam ?

a) paralelizam na korisničkoj razini

b) paralelizam na razini instukcije

c) paralelizam na razini procesa

**d) podatkovni paralelizam**

216. Koji od navedenih pojmova ne predstavlja jednu od šest glavnih vrsta vektorskih instrukcija ?

a) instrukcije redukcije

**b) instrukcije kontrakcije**

c) instrukcije vektor – vektor

d) instrukcije vektor – skalar

217. Kako vektoriziranje algoritma tipično utječe na učestalost hazarda ?

a) smanjuje broj hazarda vrste WAR

**b) povećava broj hazarda vrste RAW**

c) nema značajnijeg utjecaja

d) povećava broj hazarda vrste WAR

218. Za vektorske instrukcije raspršivanja vrijedi da:

**a) spremaju više skalara na memorijske lokacije koje ne moraju biti uzastopne**

b) pribavljaju vektorski operand iz memorije

c) spremaju više skalara na uzastopne memorijske lokacije

d) ne pristupaju memoriji

219. Za vektorske instrukcije redukcije vrijedi da:

a) iz vektorskog i skalarnog operanda proizvode vektorski operand

**b) iz dva vektorska operanda proizvode vektorski operand**

c) iz vektorskog operanda proizvode vektorski operand

d) iz vektorskog operanda proizvode skalarni operand

220. Performansa procesora veća je ako je:

a) veći minimalni broj perioda po instrukciji CPI

b) niti jedan od ponuđenih odgovora nije točan

**c) manji prosječan broj perioda po instrukciji CPI**

d) vrijeme trajanja perioda signala vremenskog vođenja dulje

221. Za vektorske instrukcije maskiranja vrijedi da:

**a) iz dva vektorska operanda proizvode vektorski operand**

b) iz vektorskog i skalarnog operanda proizvode skalarni operand

c) iz vektorskog operanda proizvode vektorski operand

d) iz vektorskog i skalarnog operanda proizvode vektorski operand

222. Disipacija snage procesora ovisi:

a) niti jedan od ponuđenih odgovora nije točan

b) ne ovisi o frekvenciji signala vremenskog vođenja

**c) linearno o frekvenciji signala vremenskog vođenja**

d) o kvadratu frekvencije signala vremenskog vođenja

223. Paralelizam na razini dretvi i procesa isključivo se koristi:

a) na razini prevodioca

**b) na razini kombinacije arhitekture i operacijskog sustava**

c) na razini organizacije procesora

d) na razini arhitekture procesora

224. Faktor ubrzavanja za istodobno izdavanje najviše 15 instrukcija iznosi:

a) oko 15/2

b) oko 1/15

**c) oko 3**

d) oko 15/3

**Napomena:**

Skupljena su sva do sada raspoloživa pitanja sa FER2 foruma i materijala, što uključuje međuispite, bliceve, završne i ponovljene. Bilo bi dobro da se neka dobra duša nađe i svake godine nadopuni novim pitanjima tutorial. Neka pitanja se ponavljaju, ali je namjerno tako ostavljeno (lakše se savlada gradivo - Biliv it or not. A i teško je micat dupliće :).