

Alati za razvoj digitalnih sustava

Prva domaća zadaća

Zadatak 1 (3 boda)

U VHDL programskom okruženju potrebno je deklarirati:

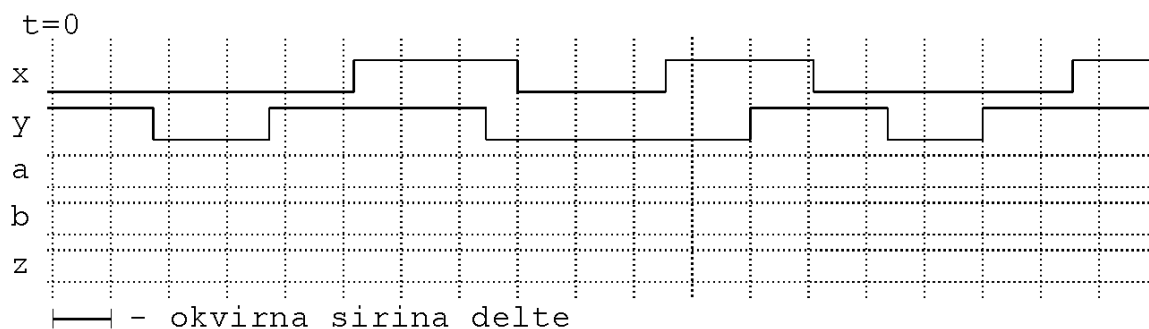
- tip `T1` koji sadrži prirodne brojeve u padajućem intervalu od 100 do 10.
- enumeracijski tip `T2` koji sadrži sljedeće vrijednosti: `'X'`, `'0'`, `'1'`, `'Z'`.
- polje `P1` koje sadrži elemente tipa `T2`, a čije indeksiranje koristi vrijednosti tipa `T1` u rasponu od prve veće vrijednosti elementa na 86. poziciji do prve manje vrijednosti od najveće vrijednosti tipa `T1`. Ako deklariramo signal tipa `P1` i ako mu nije dodijeljena predefinirana vrijednost, koju će vrijednost imati elementi na početku simulacije?

Zadatak 2 (2 boda)

Zadan je VHDL model sklopa. Potrebno je skicirati tražene valne oblike ako su signali `x` i `y` zadani slikom.

```
entity Sklop is
    port (x : in bit;
          y : in bit;
          z : out bit);
end Sklop;

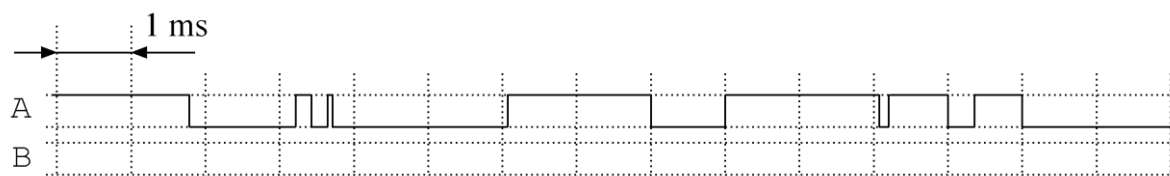
architecture BEH of Sklop is
    signal a : bit;
begin
    process (x) is
        variable b: bit;
    begin
        b := not x;
        a <= y and b;
    end process;
    z <= not a;
end BEH;
```



Zadatak 3 (1 bod)

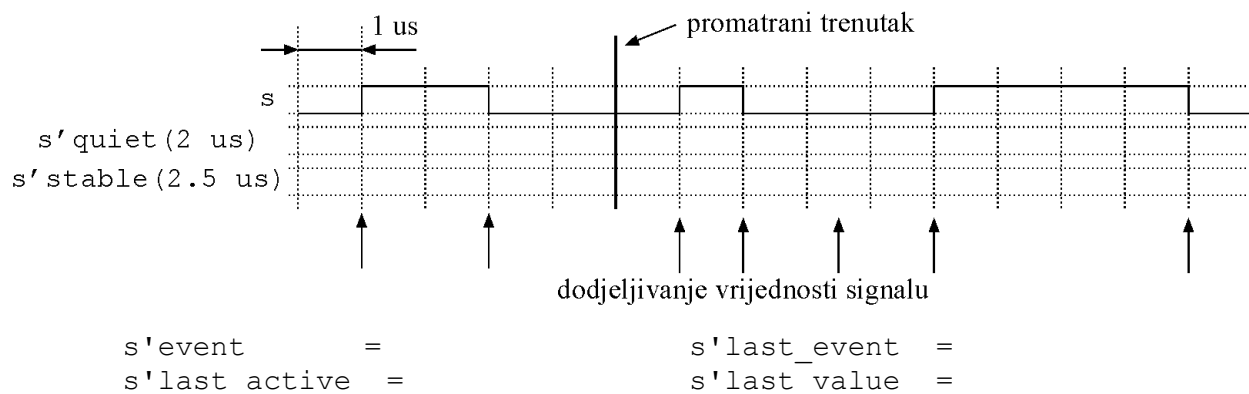
Nacrtati pripadni valni oblik signala `B` opisanog izrazom

```
-- A i B su signali tipa bit
B <= reject 1 ms inertial A after 2 ms;
```



Zadatak 4 (3 boda)

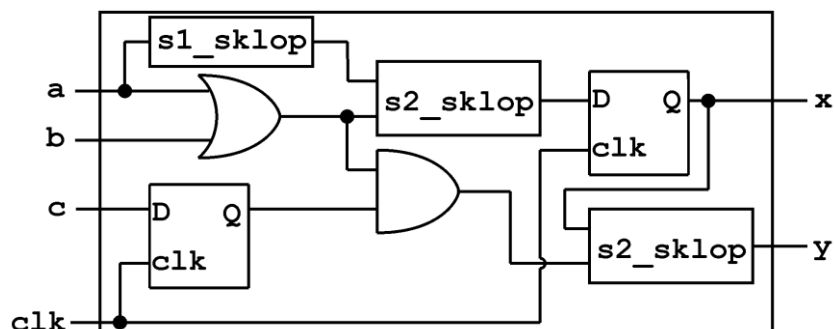
Za signal s prikazan slikom nacrtati s' quiet(2 us) i s' stable(2.5 us), te upisati vrijednosti atributa s' event, s' last_event, s' last_active i s' last_value u promatranom trenutku.

**Zadatak 5 (8 boda)**

Napisati VHDL model sklopa prikazanog slikom. Pritom je za sklopove $s1_sklop$ i $s2_sklop$ potrebno koristiti razvijene komponente čije su deklaracije entiteta oblika

```
entity s1_sklop is
    port(x : in bit;
          y : out bit);
end s1_sklop;

entity s2_sklop is
    port(x1 : in bit;
          x2 : in bit;
          y : out bit);
end s2_sklop;
```

**Zadatak 6 (4 boda)**

Za sklop sa slike iz zadatka 5 napisati ispitno okruženje. Generirati pobudne vektore za sve ulazne signale sklopa sa slike iz zadatka 5. U ispitnom okruženju provjeriti propagacije signala od ulaza a do izlaza x . Dozvoljene propagacije smiju iznositi najviše 100 ns. Period signala takta iznosi 30 ns.

Zadatak 7 (3 boda)

Napisati funkciju čiji su ulazni argumenti dvije konstante tipa `bit_vector` jednake duljine, a izlaz tipa `natural`. Funkcija uspoređuje dvije konstante, te ako su jednake vraća 0, a u suprotnom vraća broj različitih bitova.

Zadatak 8 (6 bodova)

Razviti automat stanja kojim se provjerava ispravnost unesene šifre, koja se sastoji od 3 BCD znamenke. Ulazi u sklop su signal START koja radi u pozitivnoj logici i 4-bitni signal BROJ koji predstavlja unesenu znamenku, a izlazi su signali TOCNO i KRIVO.

Aktivnim stanjem signala START trajanja jednog perioda signala takta, označava se početak unosa niza brojeva. Radi jednostavnosti pretpostaviti da na svaki rastući brid takta dolazi jedna znamenka. Nakon unesenog slijeda znamenki ovisno o točnosti unosa aktivira se signal TOCNO ili KRIVO. Pretpostaviti da je šifra 142.

Sklop radi sa signalom takta CLK frekvencije 50MHz. Sklop mora biti moguće sinkrono resetirati tipkom RESET.