

Alati za razvoj digitalnih sustava

Ispitni rok 14.2.2012. (75 bodova)

Zadatak 1. (6 bodova)

Napisati funkciju čiji je ulazni argument klase konstanta tipa **bit_vector**, a izlaz tipa **natural**. Izlaz funkcije je broj nula ili jedinica u ulaznom vektoru i to veći broj. Indeksi ulaznog vektora su padajući.

Zadatak 2. (10 bodova)

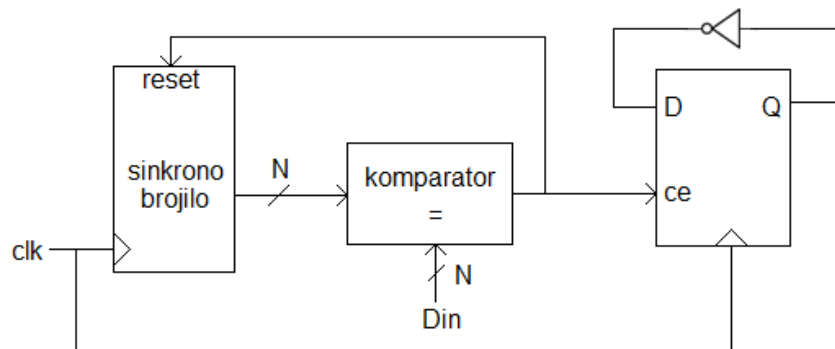
Napisati RTL model 12 bitnog posmačnog registra. Model registra nazvati **Shreg**. Ulazi u registar su takt **clk**, sinkroni reset **rst**, upravljački signali **load** i **shift**, te podatak **D**, a izlaz je sadržaj registra **Q**. Stanje registra mijenja se na rastući brid signala takta. Opis upravljačkih signala dan je tablicom.

rst	load	shift	Q
0	0	0	nema promjene
0	0	1	posmak u lijevo za jedno mjesto
0	1	0	D
0	1	1	predznačni posmak u desno za jedno mjesto
1	X	X	0

Ako je signal shift aktivan kroz nekoliko perioda takta, tada se posmak izvodi svakim rastućim bridom.

Zadatak 3. (10 bodova)

Potrebno je napisati RTL model sklopa prikazanog slikom. Pritom je širinu brojila (N) potrebno zadati kao generičku konstantu. Pretpostaviti da je reset brojila asinkron.

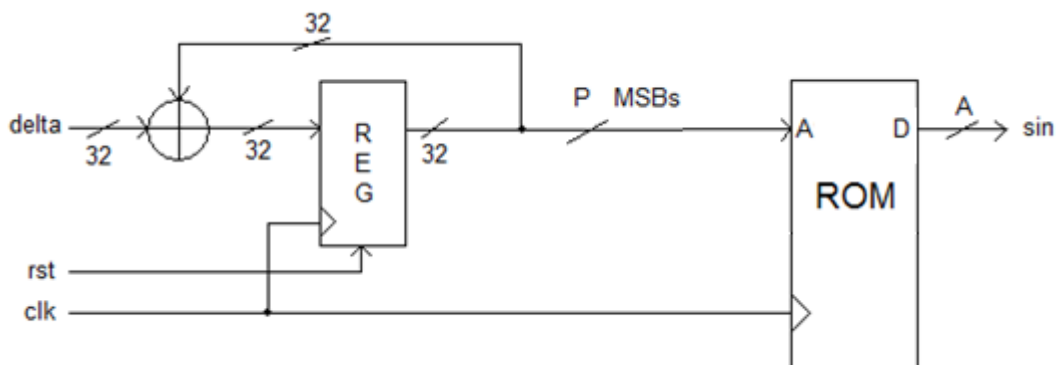


Zadatak 4. (10 bodova)

Napisati RTL model upravljačke jedinice za dizalo koristeći automat stanja. Model jedinice nazvati **lift**. U dizalu se nalaze dvije tipke **Level1** i **Level2**, te indikatori **LED1** i **LED2** koji prikazuju na kojoj se razini nalazi dizalo. Na svakoj od razina nalaze se tipke za poziv dizala **Call1** i **Call2**. Ovisno o stanjima tipki upravljačka jedinica mora aktivirati odgovarajući signal za pogon dizala **UP** ili **DOWN**, te uključiti pripadni indikator. Jedinica radi sa signalom takta **clk** i mora se moći resetirati sinkrono.

Zadatak 5. (10 bodova)

Napisati generički model oscilatora prikazanog slikom.



Model oscilatora nazvati oscilator. Oscilator se mora moći sinkrono resetirati signalom **rst**. Za realizaciju sinkrone ROM memorije koristiti blok RAM. Sadržaj memorije potrebno je zadati u datoteci s imenom perioda.txt. memorija mora imati generičku širinu adresne (P) i podatkovne riječi (A).

Zadatak 6. (10 bodova)

Zadan je RTL model sklopa čiji entitet ima oblik

entity interpolator is

```
port (clk : in std_logic
      rst : in std_logic
      Din : in std_logic_vector (11 downto 0);
      Dout: out std_logic_vector (11 downto 0);)
```

end interpolator

Potrebno je razviti ispitno okruženje sklopa koji generira takt frekvencije 50 MHz, te signal **rst** koji je aktivan prvih 300 ns simulacije. Nakon deaktivacije signala **rst**, ulazni podatak **Din** potrebno je postavljati svakih 128 rastućih bridova takta. Signal **Din** mora biti periodičan, trokutastog valnog oblika i pune dinamike. Napisati komandnu datoteku za pokretanje funkcijske simulacije. Pretpostaviti da su **Din** i **Dout** u formatu signed.

Zadatak 7. (10 bodova)

```
SRLC16_inst : SRLC16
generic map (
  INIT => X"0000")
port_map(
  Q => Q          SRL data output
  Q15 => Q15       carry out
  A0 => A0         select
  A1 => A1         input
  A2 => A2
  A3 => A3
  CLK => CLK
  D => D           SLR data input
);
```

Korištenjem komponente iz biblioteke, te dodatnog sklopovlja realizirati programabilnu liniju za kašnjenje. Ulazi u sklop su signal takta **clk**, 1-bitni podatak **din**, 5-bitni upravljački signal **delay**, te izlazni podatak **dout**. Izlazni signal potrebno je zakasniti u odnosu na ulazni za delay perioda takta.

Zadatak 8. (9 bodova)

- a) Objasni princip realizacije logičke funkcije pomoću memorije. Nacrtati blok shemu generatora funkcija koji se koristi u FPGA sklopovima
- b) Opisati distribuirani RAM. Koje resurse distribuirani RAM koristi unutar FPGA sklopa
- c) Opisati izvedbu množila u SPARTAN 3 FPGA sklopu. Na koji način se mogu modelirati. Kako sintetizator razlikuje da li se koriste množila s predznakom ili bez.