

Alati za razvoj digitalnih sustava

3. domaća zadaća

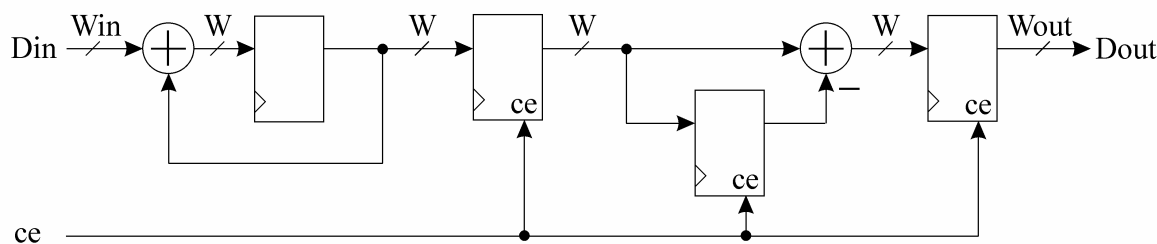
Zadatak 1 (2 boda)

Deklarirati slijedeće tipove objekata:

- tip s imenom `Tip1` koji sadrži cijele brojeve u intervalu od 1 do 10
- tip s imenom `Tip2` koji sadrži prirodne brojeve u intervalu od 1 do 12
- tip s imenom `Tjedan` koji sadrži elemente `PON`, `UTO`, `SRI`, `CET`, `PET`, `SUB`, `NED`
- podtip `Vikend` tipa `Tjedan` koji sadrži elemente `SUB`, `NED`
- tip s imenom `Tip3` koji sadrži prirodne brojeve u padajućem intervalu s krajnjim vrijednostima tipa `Tip2` (potrebno je koristiti atribut).

Zadatak 2 (9 bodova)

Potrebno je razviti generički RTL model sklopa prikazanog slikom.



Zadane su širina ulazne riječi (Win), širina izlazne riječi ($Wout$) i unutrašnja širina riječi (W). Sklop se mora moći sinkrono resetirati signalom `RESET`. Sklopovlje realizirati tako da radi s cjelobrojnom aritmetikom koja podržava cijele brojeve s predznakom (*signed*).

Zadatak 3 (7 bodova)

Zadan je sustav sa 6 svjetlećih dioda redom označenih `L1`, `L2`, ..., `L6`. Dioda se pale dovođenjem logičke jedinice na odgovarajući priključak FPGA sklopa. Razviti automat stanja koji pali diode po zadanom redoslijedu `L6`, `L1`, `L3`, `L5`, `L2`, `L4`, `L1`, `L6`. Pritom se kod svakog paljenja diode `L6` slijed zaustavlja. Slijed se nastavlja pritiskom tipke `START`.

Ulazi u sklop su signal tipke `START` koja radi u pozitivnoj logici, te signal `PRIJELAZ` koji upravlja prijelazom između stanja. Pretpostaviti da aktivno stanje signala `PRIJELAZ` traje jedan period signala takta.

Sklop radi sa signalom takta `CLK` frekvencije 50MHz. Sklop mora biti moguće sinkrono resetirati tipkom `RESET`.

Zadatak 4 (9 bodova)

Potrebno je razviti RTL model sinkrone ROM memorije korištenjem distribuirane RAM memorije. Sadržaj memorije potrebno je zadati u tekstualnoj datoteci s imenom `rom.txt`. Memorija mora imati generičku širinu adresne i podatkovne riječi.

Zadatak 5 (7 bodova)

Zadan je RTL model sklopa čiji entitet ima oblik

```
entity filter is
    port( clk      : in  std_logic;
          reset    : in  std_logic;  -- synchronous reset
          en       : in  std_logic;  -- enable
          Din      : in  std_logic_vector(11 downto 0);
          Dout     : out std_logic_vector(13 downto 0) );
end filter;
```

Uz pretpostavku da je frekvencija takta 100 MHz, potrebno je razviti ispitno okruženje koje sadrži pobudne signale. Pretpostaviti da ulazni signal **Din** čini rastući niz vrijednosti koje su sinkrone s taktom. Signal **reset** mora biti aktivan barem prva 3 perioda takta. Signal **en** mora postati aktivan nakon deaktivacije signala **reset**. Napisati komandnu datoteku za pokretanje funkcijske simulacije. Pretpostaviti da su podaci **Din** i **Dout** u formatu **signed**.

Zadatak 6 (3 boda)

Objasniti princip realizacije logičke funkcije pomoću memorije. Nacrtati blok shemu generatora funkcija.

Zadatak 7 (3 boda)

Opisati izvedbu množila u Spartan3 FPGA sklopovima. Na koji način se mogu modelirati množila? Kako će sintetizator razlikovati množila s predznakom i bez predznaka?