

## Alati za razvoj digitalnih sustava Međuispit

### Zadatak 1 (1 bod)

Zadana je deklaracija fizikalnog tipa

```
type udaljenost is range 0 to 1000000
  units
    cm;
    dm = 10 cm;
    m = 10 dm;
    km = 1000 m;
  end units udaljenost;
```

Odrediti vrijednosti sljedećih atributa:

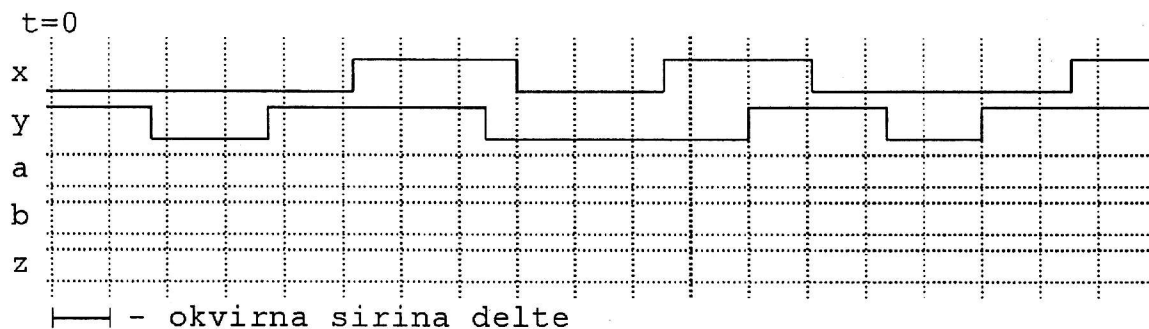
```
udaljenost'left
udaljenost'low
udaljenost'image(985 m)
udaljenost'ascending
```

### Zadatak 2 (3 boda)

Zadan je VHDL model sklopa. Potrebno je skicirati tražene valne oblike, ako su signali **x** i **y** zadani slikom. Na slici je označeno trajanje delta kašnjenja.

```
entity Sklop is
  port(x : in bit;
        y : in bit;
        z : out bit);
end Sklop;

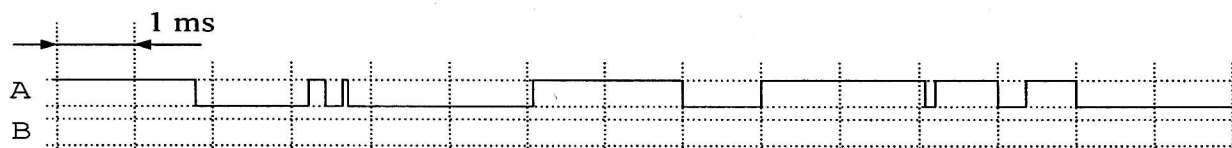
architecture BEH of Sklop is
  signal a : bit;
begin
  process (x) is
    variable b: bit;
  begin
    b := not x;
    a <= y and b;
  end process;
  z <= not a;
end BEH;
```



### Zadatak 3 (1 bod)

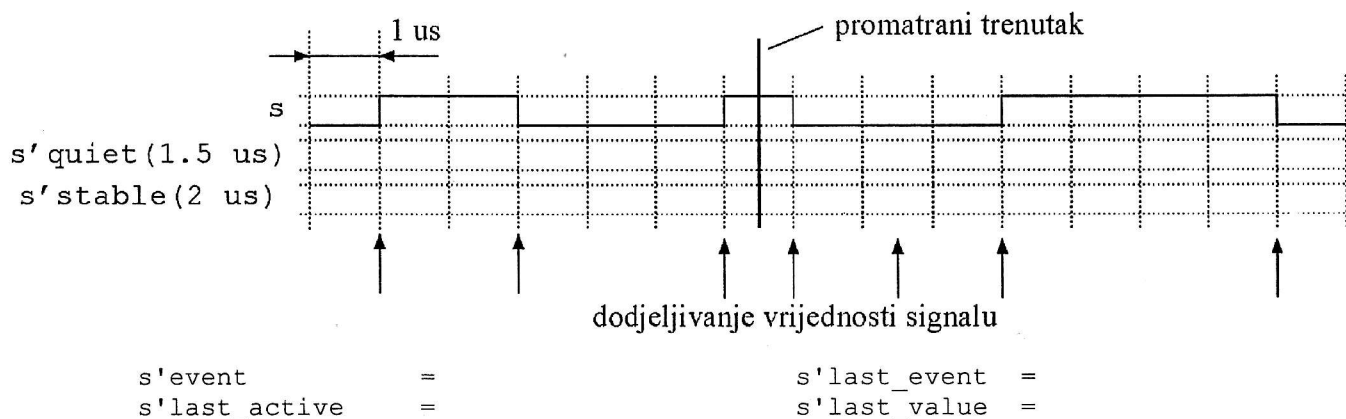
Nacrtati valni oblik signala **B** opisanog izrazom, ako je signal **A** zadan slikom.

```
-- A i B su signali tipa bit
B <= inertial A after 1.5 ms;
```

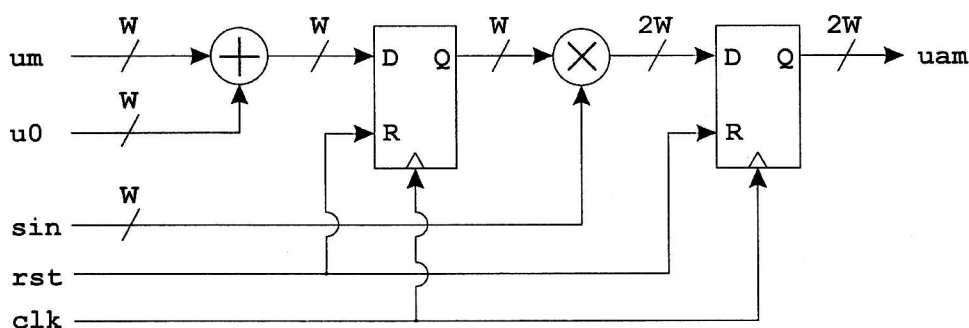


**Zadatak 4 (3 boda)**

Za signal **s** prikazan slikom nacrtati signale **s'quiet(1.5 us)** i **s'stable(2 us)**, te odrediti vrijednosti atributa **s'event**, **s'last\_event**, **s'last\_active** i **s'last\_value** u promatranom trenutku. Pretpostaviti da je signal **s** tipa **bit**, te da je prije prikazanog odsječka bio miran dulje od 2 us.

**Zadatak 5 (5 bodova)**

Napisati generički VHDL model sklopa prikazanog slikom. Ulazi u sklop su signali **um**, **u0**, **sin**, **clk** i sinkroni reset **rst**, a izlaz je signal **uam**. Generička širina modela iznosi **W** bitova. Za registre koristiti slijedni opis.

**Zadatak 6 (5 bodova)**

Napisati generički VHDL model sklopa iz zadatka 5 korištenjem isključivo strukturnog opisa. Pretpostaviti da su deklaracije komponenata i njihovi modeli dani u biblioteci **dsp** u paketu **comp**. Entiteti komponenata imaju oblik:

```
entity adder is
    generic(N : positive);
    port(a1 : in  std_logic_vector(N-1 downto 0);
          a2 : in  std_logic_vector(N-1 downto 0);
          y  : out std_logic_vector(N-1 downto 0));
end adder;

entity multiplier is
    generic(N : positive);
    port(m1 : in  std_logic_vector(N-1 downto 0);
          m2 : in  std_logic_vector(N-1 downto 0);
          y  : out std_logic_vector(2*N-1 downto 0));
end multiplier;

entity d_register is
    generic(N : positive);
    port(d   : in  std_logic_vector(N-1 downto 0);
          clk : in  std_logic;
          r   : in  std_logic;
          q   : out std_logic_vector(N-1 downto 0));
end d_register;
```

**Zadatak 7 (6 bodova)**

Za sklop iz zadatka 5 napisati ispitno okruženje. Pretpostaviti da generička širina **W** iznosi 12 bitova te da frekvencija takta iznosi 10 MHz. Signal **rst** treba biti aktivan prvih 1.5  $\mu$ s. Signal **um** je periodički signal pilastog valnog oblika koji poprima vrijednosti iz područja od -128 do 127. Signal **u0** je konstantnog iznosa 1024. Signal **sin** sastoji se od periodički ponavljane niza uzoraka {1024, 0, -1024, 0}. Signale **um**, **u0** i **sin** potrebno je neprekidno generirati na padajući brid takta.

**Zadatak 8 (5 bodova)**

Napisati funkciju **xatt** s ulaznim argumentom **x** tipa **std\_logic\_vector**. Funkcija računa broj jednakih vodećih bitova u argumentu **x**, a vraća rezultat tipa **positive**.

**Zadatak 9 (6 bodova)**

Za dani dijagram stanja, potrebno je napisati VHDL model automata s konačnim brojem stanja. Ulaz u automat su signali **x** i sinkroni reset **rst**, a izlazi iz automata su signali **y1** i **y2**. Resetu odgovara stanje **S1**.

