**四川大学期末考试试题（闭卷）**

**（2016——2017学年第 2 学期） A卷**

课程号：304036030 课序号： 课程名称：计算机组成原理 任课教师： 成绩：

适用专业年级： 学生人数： 印题份数： 学号： 姓名：

|  |
| --- |
| **考 生 承 诺**  我已认真阅读并知晓《四川大学考场规则》和《四川大学本科学生考试违纪作弊处分规定（修订）》，郑重承诺：  1、已按要求将考试禁止携带的文具用品或与考试有关的物品放置在指定地点；  2、不带手机进入考场；  3、考试期间遵守以上两项规定，若有违规行为，同意按照有关条款接受处理。  **考生签名：** |
| 一、填空题（本大题共15空，每空2分，共30分） **评阅教师**  **得分**   1. 为下面的描述选择最匹配的词，将其前面的编号填入空格。   A. 汇编器 B. DRAM C. 虚拟存储器 D. 编译器 E. SRAM  1）用于构建Cache的器件  2）将高级语言翻译成汇编语言的程序  3）将指令从符号码翻译成二进制码的程序  4）一种解决主存容量不足的方法  2. 请将X86汇编指令mov eax,0x12345678用两条MIPS指令实现：  结果是 , 。    3. 有时候软件优化会很大程度上提高计算机性能，假设一个CPU执行一条乘法指令要10ns,执行一条减法指令要1ns，那么运算d = a × b - a× c 花的时间是 ，软件优化后则是 ，性能和优化前相比的倍数是 。    4. 十进制数-2047在32位MIPS机器里的补码表示是 。  5. MIPS没有立即数减法指令，它可以通过 指令实现。 |

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 6. 下列时序逻辑部件有 组合逻辑部件有 。  A. 比较器 B. 寄存器 C. 存储器 D.加法器  7. 对于具有2GB主存，128KB高速缓存的32位MIPS机器，块大小为128B，当CPU访问内存地址为00100000 00010001 00001011 10000101时，如果高速缓存采用直接映像的话，此地址映射到Cache的行号是 。如果高速缓存采用4-Way(每行4块)组相联映像的话，此地址映射到Cache的行号是 。 二、简答题（本大题共4小题，每小题5分，共20分）提示：按照每小题的要求回答，若正确则给分，若完全错误则无分，若不准确或不全面，则酌情扣分。 **评阅教师**  **得分**  1.有三种不同的处理器P1，P2，P3执行相同的指令集，其时钟频率和CPI如下：   |  |  |  | | --- | --- | --- | | 处理器 | 时钟频率 | CPI | | P1 | 2GHz | 1.5 | | P2 | 1.5GHz | 1.0 | | P3 | 3GHz | 2.5 |   1) 解释CPI  2) 以每条指令执行所花的时间为标准，那个处理器性能最高？  3) 如果每个处理器执行程序都花了1秒时间，则各自执行的指令数是多少？   1. 关于奇偶校验，请回答以下问题并说明原因：   1）如果一个系统使用偶校验，磁盘读出0111，能否判定有1个单数据位的错误？  2）如果一个系统使用奇校验，处理器-内存总线上出现0101， 则可以怀疑出现了1位错误，我们能否找出错在哪一位？  3）如果一个系统使用偶校验，处理器-内存总线上出现0101，能否判定数据正确？  3. 请写出十进制数20的单精度浮点数。详细给出过程和说明。     1. 多路选择器MUX在CPU的设计中经常用于选择信号或者数据。请举例说明其在存储层次设计中的一个应用。  三、应用题（本大题共2小题，每小题10分，共20分） **评阅教师**  **得分**   1. 请设计一个最短的程序，求出二进制补码表示的整数的绝对值。也就是说用MIPS核心指令编程实现实现类似于abs $t2,$t3指令的功能：如果$t3的内容为正，则直接复制到$t2,如果$t3的内容为负，则将它的绝对值放入$t2。（个别特殊情况可忽略）。 2. 下面括号内是一个32位存储器地址访问列表，给出的是字地址：   （1，134，212，1，135）  如果Cache采用直接映射，有16块，每块1个字，对上面地址流的每一次访问，  请列出二进制地址、标志Tag，索引Index，每次访问是命中还是缺失（假设开始  Cache为空）。  四、数据通路分析与设计题（本大题共2小题，每小题15分，共30分）。提示：按照各小题要求做相应分析或设计，若分析或设计正确则给分，若分析或设计完全错误则无分，若分析或设计不准确或不全面，则酌情扣分。  **评阅教师**  **得分** |

|  |
| --- |
| 1. 下图是单周期CPU的数据通路和控制.   singlecycle  对于指令R type,LW,SW,BEQ，如果控制信号产生恒0错误（意思是不管它本来应该为多少，结果总是为0），分别考虑以下5种恒0错误：解释说明哪些指令不能正常工作？   1. RegWrite = 0， 2. ALUop1 = 0， 3. Branch = 0， 4. MemRead = 0， 5. MemWrite = 0。 |
| multicycle2.下图是多周期CPU的数据通路和控制.    (1) 比较多周期CPU和单周期CPU优缺点。（4分）  (2) 描述指令“sw $t0,4($t1)”，在译码和寄存器读（ID/REG Read）周期控制逻辑电路（Outputs Controls）发出的控制信号及其作用，不产生影响的无关信号可不管。(4分)   1. 如果要实现指令“lui $s1,20”，是否需要增加硬件和控制信号？（原则是能不加就不加），请说明原因。 并分析该指令需要几个周期及每个周期的工作。(7分) |