**四川大学期末考试试题（闭卷）**

**（2020——2021学年第 一 学期） A卷**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1. **选择题 （本大题共15空，每空2分，共30分）14：22开 正常做应该在一个小时左右 时间完全够用** 2. 计算机硬件能直接执行的只能是（ A ）   A. 机器语言 B. 符号语言  C. 汇编语言 D. 机器语言和汇编语言   1. 在定点二进制运算器中，减法运算一般通过（ D ）来实现   A. 原码运算的二进制减法器 B. 补码运算的二进制减法器  C. 补码运算的十进制加法器 D. 补码运算的二进制加法器   1. 在主存和CPU之间增加cache存储器的目的是（ D ）   A. 增加内存容量  B. 提高内存可靠性  C. 增加内存容量，同时加快存取速度  D. 解决CPU和主存之间的速度匹配问题   1. 若十进制数为 -49，则其对应的补码为（ C）   A. 11100011 B. 11111001  C. 11001111 D. 11001110   1. 浮点数的表示范围和精度取决于（ C ）   A. 阶码的位数和尾数的机器数形式  B. 阶码的机器数形式和尾数的位数  C. 阶码的位数和尾数的位数  D. 阶码的机器数形式和尾数的机器数形式   1. 某计算机的存储容量是1MB，字长是16位，按字编址，则它的寻址范围是（ A ）   A. 512K B. 1M  C. 512KB D. 1MB   1. 下列说法中错误的是（ C ）   A. 指令第一字节含操作码  B. 指令周期的第一个操作是取指令  C. 取指令操作是控制器自动进行的  D. 为了进行取指令操作，控制器需要得到相应的指令   1. 在下列寻址方式中，（ B ）寻址方式需要先计算，再访问主存   A. 立即寻址 B. 基址寻址  C. 寄存器寻址 D. 伪直接寻址   1. Cache的地址映射中，若主存中的任一块均可映射到Cache内的任一块位置上，称作（ A ）   A. 全相联映射 B. 组相联映射  C. 直接映射 D. 随机映射   1. 程序计数器PC用来（ B ）   A. 存放现行指令代码 B. 存放指令的存储地址  C. 存放高级语言的语句号 D. 记录已执行了多少条指令   1. 下列MIPS指令助记符中实现条件分支的指令是（ A ）   A. bne B. lw  C. jr D. ori   1. 下列说法中，不符合RISC指令系统的特点的是（ B ）   A. 指令长度固定，指令种类少  B. 寻址方式种类尽量减少，指令功能尽可能强  C. 增加寄存器的数目，以尽量减少访存次数  D. 选取使用频率最高的一些简单指令，以及很有用但不复杂的指令   1. 在MIPS中对堆栈进行访问和操作时，需要使用到的寄存器是（ C ）   A. $fp B. $gp  C. $sp D. $at   1. 下面描述中用于构建Cache的器件是（ C ）   A. 汇编器 B. DRAM  C. SRAM D. 编译器   1. 减法指令“sub R1,R2,R3”的功能为“(R1)-(R2) →R3”,该指令执行后将生成进位/借位标志CF和溢出标志OF。若(R1)= FFFF FFFFH，(R2)=FFFF FFF0H，则该减法指令执行后，CF与OF分别为（ A ）   A. CF=0,OF=0 B. CF=1,OF=0  C. CF=0,OF=1 D. CF=1,OF=1   1. **分析计算题（本大题共4小题，每小题5分，共20分）** 2. 假设一个程序中各类指令的使用频率如下所示：   LW 25%，SW 15%，R-Type50%，Branch 10%。  请计算运行该程序时多周期MIPS处理器的CPI。  解：已知这四种指令类型每一条指令的周期数分别为：  Lw : 5; sw 4; R 4; Branch 3  所以设总指令数为x 则总周期数为：  0.25x \* 5 + 0.15x \* 4 + 0.5x \* 4 + 0.1x \*3= 4.15x  所以 CPI = 4.15x / x = 4.15   1. 请写出十进制数-4.75的IEEE754单精度浮点数表达。（写出详细过程）   解：先将 -4.75转化为2进制数为 -100.11 = - 1.0011 x 2^2  由于其是负数，所以符号位为1  又指数为 2 所以 阶码为 127 + 2 = 129 转化成二进制为：1000 0001  尾数为 0011 0000 0000 0000 0000 000  故其单精度浮点数表达为:  1 1000 0001 001 1000 0000 0000 0000 0000   1. 请写出1110的汉明校验码。（每组采用偶校验，请写出分组和计算过程）   解：因为1110 为4位，2^3 > 4 + 3 故选取3位校验位设为 P1 P2 P3  设1110中 D0 = 1; D1 = 1; D2 = 1; D3 = 0 D0为最高有效位  则分组为：  第一组：P1：D0 D1 D3 = 110 故 P1 = 0  第二组：P2: D0 D2 D3 = 110 故 P2 = 0  第三组：P3: D1 D2 D3 = 110 故 P3 = 0  将校验位与源码按照 P1 P2 D0 P3 D1 D2 D3 可得 1110 的汉明校验码为：  0 0 1 0 1 1 0   1. 下图是优化后的6位乘法运算硬件实现框图，请给出基于该硬件实现的乘法算法流程图。给定被乘数和乘数分别为011011和010101，请在下表中给出使用该硬件实现进行乘法运算的各个操作步骤以及相应寄存器的值。      |  |  |  |  | | --- | --- | --- | --- | | Operation(Shift and/or Add) | Product | Multiplicand | Multiplier | | Initial Values | 000000000000 | 011011 | 010101 | | 检测到乘数最低位为1 乘积加上被乘数 | 011011 000000 | 011011 | 010101 | | 乘数和乘积寄存器右移动一位 | 001101 100000 | 011011 | 001010 | | 检测到最低位置为0不加 | 001101 100000 | 011011 | 001010 | | 右移动 | 000110 110000 | 011011 | 000101 | | 总共十二步 |  |  |  | |  |  |  |  |   **三、应用题（本大题共2小题，每小题10分，共20分）**   1. 请将下面的C语言程序翻译为MIPS汇编语言程序。   int Value(int a,int b)  {  int c = a + b + 4;  while (c > 3){  c–= a;  b++;}  return c;  }  ，其中a存放在$a0中，b存放在$a1中。   1. 假设某系统内存地址为16位，Cache的容量为128字节，每一个数据块的大小为4个字，Cache采用直接映射方式。 2. Cache有多少个数据块？索引Index位和标记Tag位各为多少位？   Cache 128Byte 一个数据块 16Byte 故 Cache 中有128 / 16 = 8个数据块 Index 就有 3 位 偏移量就有4位 Tag：16 – 4 - 3 = 9位   1. 假设初始化时Cache为空，并按下列内存块地址进行访问。   25, 20, 6, 7, 20, 17, 19。  0000 0000 0001 1001|| 0000 0000 0001 0100 || 0000 0000 0000 0110  0000 0000 0000 0111|| 0000 0000 0001 0100 || 0000 0000 0001 0001  0000 0000 0001 0011  请给出按上述顺序最后一次访问后Cache的状态，要求每个有效项以记录的形式<索引，标记，Mem[块地址]>表示。   1. **数据通路分析与设计（本大题共2小题，每小题15分，共30分）**   1、图1是单周期处理器的数据通路图（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。   1. 单周期处理器的时钟周期如何确定？为什么单周期处理器的性能差？   单周期处理器的时钟周期应根据所需时间最长的指令来确定  因为有些指令的实际执行时间明显小于时钟周期，造成了时间浪费   1. 请写出单周期数据通路中Beq指令的执行步骤。   第一步 更新PC: PC <= PC + 4  第二步 读取寄存器 $rs $rd  第三步 计算[$rs] - [$rd] 若为零则 PC = PC + 4 + (立即数符号位拓展)<<2   1. 请写出Beq指令所需要使用的功能部件，并将控制器产生的控制信号填入表1。  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 单周期处理器数据通路  图1：单周期数据通路图  表1：单周期数据通路控制信号   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | RegDst | ALUSrc | MemtoReg | RegWrite | MemRead | MemWrite | Branch | ALUOp | | X | 0 | X | 0 | 0 | 0 | 1 | 01 |  1. 假定单周期数据通路中对应的控制逻辑发生错误，使得在任何情况下控制信号RegWrite、RegDst、Branch、MemWrite总是为0。请分别分析上述控制信号发生错误时哪些指令不能正确执行？并说明理由。   R 型指令 不能执行 比如 add $t0, $t1, $t2 需要读写寄存器  Lw Sw Beq  2、图2是多周期处理器的数据通路（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。   1. 多周期数据通路的设计思想是什么？为什么在一个指令周期内某个元件可被重复使用？   设计思想是将所有指令中耗时较长的部分切分开，形成一个个小的部分，然后依次执行小的部分。因为  多周期处理器数据通路  图2：多周期数据通路图   1. 请写出多周期数据通路中LW指令在各周期的执行过程。五个部分 2. 请写出多周期数据通路中LW指令在访存周期所需要使用的功能部件，并将控制器产生的相应控制信号填入表2。   表2：多周期数据通路控制信号   |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | PCWrite | IorD | MemWrit | MemRead | IRWrite | MemtoReg | RegWrite | RegDst | ALUSrcA | ALUSrcB | PCSource | | 1 | 0 | 0 | 1 | 1 | X | 0 | X | 0 | 01 | 00 |  1. 假定多周期数据通路中对应的控制逻辑发生错误，使得在任何情况下控制信号PCWrite、IRWrite、PCSource、MemWrite、MemtoReg、PCWriteCond总是为0。请分别分析上述控制信号发生错误时哪些指令不能正确执行？并说明理由。 | |