**四川大学期末考试试题（闭卷）**

**（2020——2021学年第 一 学期） B卷**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1. **选择题 （本大题共15空，每空2分，共30分）16：27开始** 2. 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中，属于偏移寻址方式的是（ B ）   A. 寄存器寻址 B. 基址寻址  C. 立即数寻址 D. 伪直接寻址   1. 假设某计算机的存储系统由 Cache 和主存组成，某程序执行过程中访存 1000 次，其中访问 Cache 缺失（未命中）50 次，则 Cache 的命中率是（ D ）   A. 5% B. 9.5%  C. 50% D. 95%   1. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是（ D ）   A. 指令操作码的译码结果  B. 指令和数据的寻址方式  C. 指令周期的不同阶段  D. 指令和数据所在的存储单元   1. 补码加法运算是指（ B ）   A. 操作数用补码表示，符号位单独处理  B. 操作数用补码表示，连同符号位一起相加  C. 操作数用补码表示，将加数变补，然后相加  D. 操作数用补码表示，将被加数变补，然后相加   1. 下列寄存器中，汇编语言程序员可见的是（ B ）   A. 存储器地址寄存器（MAR）  B. 程序计数器（PC）  C. 存储器数据寄存器（MDR）  D. 指令寄存器（IR）   1. 下列说法中，不符合RISC指令系统的特点的是（ B ）   A. 指令长度固定，指令种类少  B. 寻址方式种类尽量减少。指令功能尽可能强  C. 增加寄存器的数目，以尽量减少访存次数  D. 选取使用频率最高的一些简单指令，以及很有用但不复杂的指令   1. 下面描述中将指令从符号码翻译成二进制码的是（ A ）   A. 汇编器 B. DRAM  C. SRAM D. 编译器   1. 在MIPS中进行静态数据访问时，需要使用到的寄存器是（ B ）   A. $fp B. $gp  C. $sp D. $at   1. Cache的地址映射中，若主存中的一块只能映射到Cache的一个确定块中，称作（ C ）   A. 全相联映射 B. 组相联映射  C. 直接映射 D. 随机映射   1. 补码10110110等于十进制负数（ D ）   A. -48 B. -54  C. -68 D. -74   1. 某计算机字长32位，其存储容量为4MB，若按半字编址，它的寻址范围是（ A ）   A. 2M B. 4M  C. 2MB D. 4MB   1. （ C ）可区分存储单元中放的是指令还是数据   A. 存储器 B. 运算器  C. 控制器 D. 用户   1. 计算机中有关ALU的描述正确的是（ D ）   A. 只做算术运算，不做逻辑运算  B. 只做加法  C. 能存放运算结果  D. 以上说法均不对   1. 直接寻址的无条件转移指令功能是将指令中的地址码送入（ A ）   A. PC B. 地址寄存器  C. 累加器 D. ALU   1. 浮点数的表示范围和精度取决于（ C ）   A. 阶码的位数和尾数的机器数形式  B. 阶码的机器数形式和尾数的位数  C. 阶码的位数和尾数的位数  D. 阶码的机器数形式和尾数的机器数形式  **二、分析计算题（本大题共4小题，每小题5分，共20分）**   1. 假设一个程序中各类指令的使用频率如下所示：   5 4 4 3 3  LW 25%，SW 15%，R-Type40%，Beq 10%，J 10%。  请计算运行该程序时多周期MIPS处理器的CPI。3.05   1. 请写出十进制数-2.5的IEEE754单精度浮点数表达。（写出详细过程）   1 1000 0000 010 0000 0000 0000 0000 0000   1. 请写出0011的汉明校验码（每组采用奇校验，写出分组和计算过程）   0101011   1. 下图是优化后的6位乘法运算硬件实现框图，请给出基于该硬件实现的乘法算法流程图。给定被乘数和乘数分别为011011和101010，请在下表中给出使用该硬件实现进行乘法运算的各个操作步骤以及相应寄存器的值（5分）      |  |  |  |  | | --- | --- | --- | --- | | Operation(Shift and/or Add) | Product | Multiplicand | Multiplier | | Initial Values | 000000000000 | 011011 | 101010 | | Shift | 000000 000000 | 011011 | 010101 | | Add/shift | 001101 100000 | 011011 | 001010 | | Shift | 000110 110000 | 011011 | 000101 | | Add/shift | 000101 111000 | 011011 | 000010 | | Shift | 000010 111100 | 011011 | 000001 | | Add/shift | 000011 111110 | 011011 | 000000 |   **三、应用题（本大题共2小题，每小题10分，共20分）**   1. 请将下面的C语言程序翻译为MIPS汇编语言程序。   if (x < 15)  x = x + m;  else  x = x – m;  x++;  ，其中x存放在$s0中，m存放在$s1中，只使用分支指令beq和bne，不能使用跳转指令jump）   1. 假设某系统内存地址为32位，Cache的容量为256字节，每一个数据块的大小为8个字，Cache采用直接映射方式。 2. Cache有多少个数据块？索引Index位和标记Tag位各为多少位？   8个数据块 Index 3位 Tag 24位   1. 假设初始化时Cache为空，并按下列内存块地址进行访问。   6,20,17,9,17,19,21。  0000 0110|| 01 0100|| 01 0001|| 0 1001 || 01 0001 || 01 0011  01 0101  请给出按上述顺序最后一次访问后Cache的状态，要求每个有效项以记录的形式<索引，标记，Mem[块地址]>表示。   1. **数据通路分析与设计（本大题共2小题，每小题15分，共30分）**   1、图1是单周期处理器的数据通路（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。   1. 单周期数据通路的时钟周期如何确定？为什么单周期数据通路的性能差？ 2. 请写出单周期数据通路中SW指令的执行步骤。  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 单周期处理器数据通路  图1：单周期数据通路   1. 请写出单周期数据通路中SW指令所需要使用的功能部件，并将控制器产生的控制信号填入表1。   表1：单周期数据通路控制信号   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | RegDst | ALUSrc | MemtoReg | RegWrite | MemRead | MemWrite | Branch | ALUOp | | X | 1 | X | 0 | 0 | 1 | 0 | 00 |  1. 假定单周期数据通路中对应的控制逻辑发生错误，使得在任何情况下控制信号RegWrite、RegDst、Branch、MemWrite总是为1，请分别分析上述控制信号发生错误时哪些指令不能正确执行？并说明理由。   2、图2是多周期处理器的数据通路（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。  多周期处理器数据通路  图2：多周期数据通路   1. 多周期数据通路的设计思想是什么？为什么在一个指令周期内某个功能部件可被重复使用？ 2. 请写出多周期数据通路中Beq指令在各周期的执行过程。 3. 请写出多周期数据通路中Beq指令在执行周期所需要使用的功能部件，并将控制器产生的相应控制信号填入表2。   表2：多周期数据通路控制信号   |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | PCWrite | IorD | MemWrit | MemRead | IRWrite | MemtoReg | RegWrite | RegDst | ALUSrcA | ALUSrcB | PCSource | | 1 | X | 0 | 0 | 0 | X | 0 | X | 1 | 00 | 01 |  1. 假定多周期数据通路中对应的控制逻辑发生错误，使得在任何情况下控制信号PCWrite、IRWrite、PCSource、MemWrite、MemtoReg、PCWriteCond总是为1。请分别分析上述控制信号发生错误时哪些指令不能正确执行？ | |