

Оглавление

Введение.....	1
ЧАСТЬ I. ТРАНЗИСТОРНАЯ СХЕМОТЕХНИКА. БАЗОВЫЕ СХЕМЫ СЕРИЙ ЭЛЕМЕНТОВ ЦИФРОВОЙ ТЕХНИКИ.....	3
Глава 1. Основные понятия и методы анализа устройств транзисторной схемотехники	5
1.1. Стрелки в схемах электронных цепей	5
1.2. Анализ цепи на основе системных и элементных законов.....	6
1.2.1. Системные законы или законы Кирхгофа (операциональная формулировка), границы применимости	6
1.2.2. Элементные законы — графические, математические модели компонентов цепи и модели в виде их схем замещения	7
1.2.3. Усилители	11
1.2.4. Анализ схем инвертора и усилительного каскада (УК).....	12
Упражнения	16
Упражнение 1.1. Понятия и теоремы для анализа (расчета) транзисторных схем.....	16
Определение идеальных элементов схем замещения	16
Теоремы эквивалентных преобразований.....	19
Задание	20
Упражнение 1.2. Анализ транзисторных схем в квазистатике	20
О коэффициентах усиления транзисторных схем по току, по напряжению, по мощности (K_I , K_U , K_P)	20
Формулы зависимостей между токами базы (I_b), коллектора (I_k) и эмиттера (I_e)	21
Задание	25
Глава 2. Простейшие схемы аналоговой техники, элементы цифровой техники	26
2.1. Схемы аналоговой техники (УПТ и УПерТ)	26
2.2. Схемы элементов цифровой техники (ЦТ)	28
2.2.1. Квазистатический и динамический режимы работы.....	28
2.2.2. Классификация элементов цифровой техники (ЦТ)	31
2.2.3. Языки описания логических элементов	33

Лабораторная работа. Исследование инвертора, усилителей постоянного и переменного токов на биполярном транзисторе. Работа с системой Design Center	34
Работа с системой Design Center.....	36
Программа работы	38
Глава 3. Логики серий микросхем. Транзисторно-транзисторная логика (ТТЛ)	43
3.1. Логики серий микросхем.....	43
3.2. Транзисторно-транзисторная логика.....	44
3.2.1. Двухступенчатая логика ЛЭ ТТЛ	47
3.2.2. Третье состояние ЛЭ ТТЛ.....	47
3.2.3. ЛЭ ТТЛ с открытым коллектором.....	48
Лабораторная работа. Исследование базовой схемы логического элемента ТТЛ	49
Программа работы	50
Глава 4. Эмиттерно-связанная логика (ЭСЛ)	51
4.1. Базовая схема серий ЭСЛ.....	51
Лабораторная работа. Исследование базовой схемы логического элемента ЭСЛ.....	55
Программа работы	56
Глава 5. Логические элементы на МДП-транзисторах	59
5.1. МДП-транзисторы.....	59
5.1.1. Условное графическое изображение МДП-транзисторов	60
5.2. Комплементарные ЛЭ на МДП-транзисторах	61
5.2.1. О нагрузочной способности ЛЭ на КМДП-схемах	62
5.2.2. Базовые схемы серий логики на КМДП-схемах	63
Лабораторная работа. Исследование базовой схемы логического элемента на КМДП-транзисторах	64
Программа работы	64
ЧАСТЬ II. КОМБИНАЦИОННЫЕ И ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА, ИХ ОПИСАНИЕ НА ЯЗЫКЕ VHDL. СРЕДСТВО ПРОЕКТИРОВАНИЯ ФИРМЫ ALTERA — MAX+PLUS II	67
Глава 6. Комбинационные и последовательностные логические устройства.....	69
6.1. Проектирование КЛУ на примере разработки логической схемы комбинационного полусумматора	69
6.1.1. Проектирование логической схемы комбинационного одноразрядного двоичного сумматора (См)	72
6.2. Вентили. Вентильное проектирование	74
6.3. Минимизация переключательных функций логических устройств.....	75

Лабораторная работа. Система автоматизированного проектирования фирмы Альтера Max+Plus II. Схемы одноразрядных двоичных полусумматора и сумматора.....	76
Цель работы.....	77
Программа работы	77
Глава 7. Переходные процессы в комбинационных логических устройствах.....	82
7.1. Статические и динамические риски	82
7.2. Формирователи длительности импульсов	83
7.3. Генераторы симметричных и несимметричных импульсов	85
Лабораторная работа. Исследование появления рисков.	
Генераторы и формирователи импульсов	86
Цель работы	86
Программа работы	86
Глава 8. Запоминающие элементы логических устройств.....	89
8.1. Описание функционирования ЗЭ ЛУ (спецификация простейшего ЗЭ ЛУ)	89
8.2. Внутренняя структура ЗЭ	90
8.2.1. RS-триггер на "ИЛИ-НЕ"	91
8.2.2. RS-триггер на "И-НЕ"	93
8.3. D-триггеры	93
8.3.1. DV-триггер	95
8.3.2. Двухтактный (двуухфазный) D-триггер	95
8.4. Начальные сведения об описании ЛУ на языке VHDL	96
8.4.1. Синтезируемость кода на языке VHDL.....	97
Лабораторная работа. Программирование на VHDL в среде Max+Plus II RS- и D-триггеров.....	100
Цель работы	100
Программа работы	100
Глава 9. О необходимости тактирования схем ЦУ.	
Последовательные и параллельные регистры	104
9.1. Переключение RS-триггера на "ИЛИ-НЕ" во времени.....	104
9.2. Системы синхронизации на примере работы регистров сдвига (последовательных регистров)	105
9.2.1. Схема однотактного последовательного регистра	105
9.2.2. Схема двухтактного последовательного регистра	107
9.3. Параллельные регистры (регистры памяти)	109
9.4. Универсальные (параллельные, последовательные и реверсивные) регистры	109
Лабораторная работа. Исследование схем сдвигающего регистра, регистра памяти и универсального регистра.....	110
Цель работы	110
Программа работы	110

Глава 10. Счетные элементы (СЭ) или элементы счетчиков	118
10.1. Описание функционирования двоичного СЭ (спецификация простейшего СЭ)	118
10.2. Внутренняя структура СЭ	119
10.2.1. Т-триггер с задержкой	120
10.2.2. JK-триггер с задержкой	120
10.2.3. Двухтактный Т-триггер	121
10.3. RST-триггер	124
10.4. Современные JK-триггеры	124
10.5. Двоичные счетчики (делители).....	125
10.5.1. Схема выделения считаемых импульсов	126
Лабораторная работа. Исследование схем Т- и JK-триггеров и схемы счетчика	126
Цель работы.....	126
Программа работы	127
ЧАСТЬ III. ФУНКЦИОНАЛЬНЫЕ УСТРОЙСТВА ЦП СРЕДНЕЙ ИНТЕГРАЦИИ, ИХ ОПИСАНИЕ НА ЯЗЫКЕ VHDL.....	131
Глава 11. Дешифраторы (DC), особенности языка VHDL	133
11.1. Описание функционирования DC (спецификация простейшего DC).....	133
11.2. Проектирование DC	134
11.3. Увеличение разрядности DC	135
11.4. Получение произвольных логических функций (ЛФ) в СДНФ с использованием DC и ЛЭ "ИЛИ".....	136
11.5. Особенности языка VHDL	137
Лабораторная работа. Исследование функционирования схем дешифраторов.....	139
Цель работы.....	139
Программа работы	139
Глава 12. Шифраторы.....	142
12.1. Описание функционирования приоритетного шифратора (HPRI)	142
12.2. Проектирование HPRI	143
12.3. Увеличение разрядности HPRI	145
12.4. Указатель наиболее приоритетного входа из всех тех, на которые пришли входные сигналы	145
Лабораторная работа. Исследование функционирования схем шифраторов и указателей	146
Цель работы.....	146
Программа работы	146
Глава 13. Мультиплексоры	148
13.1. Мультиплексоры (MULTipleXer — MUX).....	148
13.1.1. Описание функционирования мультиплексора (спецификация простейшего MUX)	148

13.1.2. Проектирование MUX	149
13.1.3. Увеличение разрядности MUX	150
13.2. Демультиплексоры (DMX)	151
13.2.1. Проектирование DMX	152
13.3. Получение произвольных логических функций (ЛФ) с помощью MUX	152
13.3.1. Первый вариант реализации произвольных ЛФ на MUX	153
13.3.2. Второй вариант реализации произвольных ЛФ на MUX	154
Лабораторная работа. Исследование функционирования схем мультиплексоров и демультиплексоров	156
Цель работы	156
Программа работы	156
Глава 14. Компараторы (CMP)	158
14.1. Описание функционирования компаратора (CMP) (спецификация простейшего CMP)	158
14.2. Проектирование CMP	159
14.2.1. Реализация отношения "равенство"	159
14.2.2. Реализация отношения "больше"	160
Лабораторная работа. Исследование функционирования логической схемы компаратора для сравнения двухбитных слов	162
Цель работы	162
Программа работы	162
Глава 15. Устройства недопущения, обнаружения и исправления ошибок	163
15.1. Схемы контроля по модулю 2 (схемы свертки по модулю 2)	163
15.1.1. Проектирование схем контроля по модулю 2	164
15.1.2. ИС КР1533ИП5 — схема контроля по модулю 2	165
15.2. Схемы контроля, использующие мажоритарные элементы или элементы "голосования" (спецификация простейшего мажоритарного элемента)	166
15.2.1. Проектирование мажоритарного элемента	167
Лабораторная работа. Исследование функционирования схем контроля по модулю 2 и схемы мажоритарного элемента	167
Цель работы	167
Программа работы	168
Глава 16. Кодер и декодер Хемминга	170
16.1. Код Хемминга	170
16.1.1. Пример четырехразрядного кодирования Хемминга	171
16.1.2. Пример четырехразрядного декодирования Хемминга	172
16.2. Техническая реализация кодера и декодера Хемминга	172

Лабораторная работа. Исследование функционирования логической схемы кодера и декодера Хемминга	173
Цель работы	173
Программа работы	173
Глава 17. Многоразрядные сумматоры, арифметико-логические устройства (АЛУ) и умножители	175
17.1. Многоразрядные сумматоры.....	175
17.1.1. Комбинационный сумматор параллельного действия	175
17.1.2. Комбинационный сумматор последовательного действия	176
17.1.3. Накапливающий сумматор параллельного действия	176
17.1.4. Накапливающий сумматор последовательного действия	177
17.1.5. Схемные методы ускорения распространения переноса в многоразрядных параллельных сумматорах.....	178
17.2. Арифметико-логические устройства и блоки ускоренного переноса.....	180
17.3. Умножители параллельного действия (матричные умножители).....	182
17.3.1. Увеличение разрядности матричных умножителей	184
Лабораторная работа. Исследование работы сумматоров, арифметико-логических устройств и умножителей	185
Цель работы	185
Программа работы	185
Глава 18. Схемы памяти.....	187
18.1. Иерархия ЗУ	187
18.2. Функциональная классификация ЗУ	188
18.3. Способы создания ЗУ	190
18.3.1. Простейший вариант структуры ЗУ с адресацией или с ПВ (статических ОЗУ (SRAM), ROM ЗУ)	191
18.3.2. Запоминающие элементы (ЗЭ) статической памяти (SRAM)	192
18.3.3. Запоминающие элементы динамической памяти (DRAM)	194
Лабораторная работа. Исследование функционирования схем памяти	195
Цель работы	195
Программа работы	195
Глава 19. Структуры построения специальных схем памяти, RAM и ROM.....	199
19.1. Структура кэшированной (САЧЕ) памяти	199
19.1.1. Структура полностью ассоциативной кэш-памяти	200
19.2. Структура схем памяти с последовательной выборкой.....	201
19.2.1. Структура циклических схем памяти (видеопамять)	201
19.2.2. Структура схем памяти, аналогичных регистрам сдвига (буферы FIFO и LIFO)	203
19.3. Структура схемы ROM на примере схемы ПЗУ	205
19.3.1. Проектирование с помощью схем ПЗУ.....	206

Лабораторная работа. Исследование функционирования схемы видеопамяти.....	207
Цель работы.....	207
Программа работы	208
Глава 20. Классификация и этапы разработки специализированных БИС	209
20.1 Базовые кристаллы (БК)	210
20.1.1. Конструкции БК	210
20.1.2. Терминология БК	211
20.2. Программируемые логические интегральные схемы (ПЛИС).....	212
20.2.1. Устройства на программируемых логических матрицах (ПЛМ).....	213
20.2.2. Устройства на программируемой матричной логике (ПМЛ).....	215
20.3. Классификация ПЛСБИС	215
Лабораторная работа. Исследование функционирования схем регистров FIFO, LIFO и кэш-памяти	216
Цель работы.....	216
Программа работы	217
ЧАСТЬ IV. ПОВЕДЕНЧЕСКИЕ И СТРУКТУРНЫЕ VHDL-МОДЕЛИ СЛОЖНЫХ ЦИФРОВЫХ УСТРОЙСТВ НА ПРИМЕРЕ VHDL-МОДЕЛЕЙ ПРОЦЕССОРА DP-32, ИХ ТЕСТИРОВАНИЕ	219
Глава 21. Типы и уровни проектирования сложных цифровых устройств, концепции языка VHDL	221
21.1. Традиционные методы описания проектов	221
21.2. Типы и уровни описания сложных проектов	221
21.2.1. Области применения методов проектирования	223
21.3. Основные концепции языка VHDL	223
21.3.1. Тестирование	224
21.3.2. Анализ	226
21.3.3. Детализация	226
21.3.4. Симуляция	226
21.3.5. Синтез	228
Лабораторная работа. Приобретение навыков работы с системой Active-CAD и знакомство с программой VHDL Test Bench на примере VHDL-проекта АЛУ	229
Цель работы	229
Задачи.....	229
Программа работы	230
Active VHDL.....	230
АЛУ	230
Создание проекта	230
Симуляция с использованием механизма стимуляторов (stimulator)	239
Отслеживание версий	241
Генерация программы Test Bench.....	241

Глава 22. Поведенческая VHDL-модель процессора DP32. Ко-симуляция	244
22.1. Описание команд процессора DP32	244
22.1.1. Арифметические и логические команды DP32	245
22.1.2. Команды "чтение из памяти" и "запись в память" DP32	246
22.1.3. Команды "ветвления" DP32	247
22.1.4. Описание пакетов VHDL-модели процессора DP32, коды команд	248
22.2. Ко-симуляция и тестирование процессора DP32	250
22.2.1. VHDL-модель теста	251
22.2.2. Описание выполнения ко-симуляции на поведенческой модели DP32	252
22.2.3. Конфигурация для VHDL-модели теста поведенческой модели DP32	254
22.2.4. VHDL-модель генератора.....	255
22.2.5. VHDL-модель памяти	256
22.2.6. Описание тестовой программы процессора DP32	257
22.2.7. Описание DP32 поведенческой моделью.....	259
Лабораторная работа. Исследование с помощью системы Active-CAD поведенческой VHDL-модели процессора DP32. Ко-симуляция. Тестирование	269
Цель работы	269
Задачи.....	269
Программа работы	269
Глава 23. Архитектура и структурная VHDL-модель процессора DP32. Ко-симуляция	271
23.1. Архитектура процессора DP32	271
23.2. Описание выполнения ко-симуляции на структурной модели DP32	273
23.3. Конфигурация для VHDL-модели теста структурной модели DP32	275
23.4. Структурная VHDL-модель процессора DP32	277
23.4.1. Мультиплексор (MUX)	291
23.4.2. Защелка (Transparent Latch).....	292
23.4.3. Буфер (Buffer).....	293
23.4.4. Защелкивающий буфер (Latching Buffer)	293
23.4.5. Регистр PC (Счетчик команд)	295
23.4.6. Регистры общего назначения (Register File — массив регистров).....	296
23.4.7. Компаратор (Condition Code Comparator)	298
23.4.8. Защелка (<i>Immed_signext</i>)	298
23.4.9. АЛУ	299
Лабораторная работа. Исследование с помощью системы Active-CAD структурной VHDL-модели процессора DP32. Ко-симуляция. Тестирование.....	300
Цель работы	300
Задачи.....	300
Программа работы	300

Глава 24. Обнаружение и исправление ошибок VHDL-моделей цифровых устройств. VHDL-модели современных процессоров	303
24.1. Обнаружение и пути исправления ошибок VHDL-моделей процессора DP32	303
24.1.1. Обнаружение и пути исправления ошибок в поведенческой VHDL-модели процессора DP32	303
24.1.2. Обнаружение и пути исправления ошибок в структурной VHDL-модели процессора DP32	304
24.1.3. Обнаружение и пути исправления ошибок в VHDL-модели памяти.....	305
24.2. VHDL-модели современных процессоров	306
24.2.1. Реализация проекта конвейера команд на основе поведенческой модели процессора DP32.....	307
24.2.2. Реализация защищенного режима	308
Лабораторная работа. Усовершенствование (развитие) VHDL-модели процессора DP32. Ко-симуляция. Тестирование.....	316
Цель работы	316
Программа работы	317
ЧАСТЬ V. ЯЗЫК ПРОЕКТИРОВАНИЯ VERILOG HDL. ПРИМЕРЫ, ИНСТРУМЕНТАРИЙ	319
Глава 25. Язык проектирования Verilog HDL.....	321
25.1. Структурное описание	321
25.1.1. Модули (Modules)	321
25.1.2. Макромодули (Macromodules)	322
25.1.3. Объявление портов (Port Definition).....	323
25.1.4. Структура модуля.....	324
25.2. Функциональное описание	329
25.2.1. Последовательные операторы.....	329
25.2.2. Объявление функций	329
25.2.3. Описание функций и операторы языка Verilog HDL	332
25.2.4. Использование оператора задачи <i>task</i>	339
25.2.5. Оператор <i>always</i>	340
Лабораторная работа. Исследование Verilog HDL-проектов импульсного фильтра, параллельного регистра и АЛУ с помощью системы VeriLogger Pro/ TestBench Pro.....	342
Цель работы	342
Описание работы с системой (пакетом) VeriLogger Pro / Testbencher Pro.....	342
Установка пакета.....	342
О пакете VeriLogger Pro / Testbencher Pro	342
Программа работы	346

Глава 26. Verilog HDL-проекты импульсного фильтра и параллельного регистра	347
26.1. Импульсный фильтр (спецификация проекта)	347
Текст Verilog HDL-проекта импульсного фильтра	349
26.2. Параллельный регистр (спецификация проекта)	351
Текст Verilog HDL-проекта параллельного регистра.....	352
Лабораторная работа. Исследование Verilog-проектов импульсного фильтра, параллельного регистра и АЛУ с помощью системы QUARTUS II	355
Цель работы	355
Описание работы с системой (пакетом) QUARTUS II	356
Установка пакета.....	356
О пакете QUARTUS II	356
Программа работы	359
Глава 27. Verilog HDL-проект арифметико-логического устройства (спецификация проекта).....	361
27.1. Текст Verilog HDL-проекта АЛУ	363
Лабораторная работа. Исследование с помощью систем VeriLogger Pro/ TestBench Pro и QUARTUS II Verilog-проекта, написанного по индивидуальному заданию	371
Цель работы	371
Примерные варианты индивидуальных заданий	371
Программа работы	372
ЧАСТЬ VI. СРЕДСТВА ПРОЕКТИРОВАНИЯ ФИРМЫ MENTOR GRAPHICS.....	373
Глава 28. Редакторы системного и архитектурного уровней (HDL Designer).	
Примеры использования	375
28.1. Оболочка Design Browser	376
28.2. Редактор Block Diagram.....	376
28.3. Редактор State Diagram	377
28.4. Редактор Flow Chart	378
28.5. Редактор Truth Table	379
Лабораторная работа. Знакомство с HDL-дизайнером на примере проекта "Таймер"	379
Цель работы	379
Спецификация проекта "Таймер"	379
Программа работы	384

Глава 29. Симулятор (Model Sim). Пример использования.....	396
29.1. Графический интерфейс пользователя Model Sim	396
29.1.1. Окно <i>Main window</i>	397
29.1.2. Окно <i>Dataflow</i>	398
Лабораторная работа. Симуляция проекта "Таймер" и устройств ЦТ с помощью Model Sim.....	398
Цель работы	398
Программа работы	398
Создание Test Bench	398
Вызов симулятора Model Sim	403
Глава 30. Синтез логических схем. Получение файлов для конфигурирования ПЛИС	405
30.1. Интерфейс системы Leonardo Spectrum. Элемент управления FlowTabs.....	406
30.1.1. Загрузка библиотеки технологий (вкладка <i>Technology</i>).....	406
30.1.2. Чтение проекта (вкладка <i>Input</i>)	406
30.1.3. Установки синхронизации (вкладка <i>Constraints</i>)	407
30.1.4. Оптимизация проекта (вкладка <i>Optimize</i>)	408
30.1.5. Сохранение полученных результатов.....	408
30.2. Средство анализа схемы проекта Leonardo Insight.....	409
Лабораторная работа. Синтез проектов "Таймер" и устройств ЦТ.....	410
Цель работы	410
Программа работы	410
ЧАСТЬ VII. СРЕДСТВА ПРОЕКТИРОВАНИЯ ФИРМЫ ACTEL.....	413
Глава 31. Libero IDE. Возможные методы проектирования.....	415
31.1. Инструменты Libero.....	415
31.2. Управление проектом в Libero	417
Лабораторная работа. Знакомство на примерах со средством проектирования Libero IDE фирмы Actel	419
Цель работы	419
Программа работы	419
Шаг 1 — создание нового проекта	420
Шаг 2 — выполнение симуляции перед синтезом	420
Шаг 3 — синтез проекта в <i>Synplify</i>	422
Шаг 4 — размещение и трассировка	423
Шаг 5 — временная симуляция	424

Глава 32. Стартовый комплект для начала работы с ПЛИС Actel.....	425
32.1. Макетная плата ProASIC ^{PLUS} Evaluation Board	425
32.1.1. Источник питания	426
32.1.2. Контакты программатора	427
32.1.3. Схема синхронизации	427
32.1.4. Подключение светодиодов	427
32.1.5. Подключение кнопок	428
Лабораторная работа. Пример проекта для ProASIC^{PLUS} Evaluation Board.....	428
Цель работы	428
Спецификация представленного проекта	428
Описание проекта блок-схемой	429
Задания для самостоятельной работы	440
Программа работы	441
Глава 33. Описание программируемых логических ИС (ПЛИС) фирмы Actel	442
33.1. Семейство ProASIC ^{PLUS}	442
33.1.1. Характеристики микросхем серии ProASIC ^{PLUS}	442
33.2. Архитектура ProASIC ^{PLUS}	444
33.2.1. Ресурсы маршрутизации	445
33.2.2. Ресурсы синхронизации	448
33.2.3. Блоки ввода/вывода	449
33.2.4. Управление таймером и его характеристики	450
33.2.5. Защита проекта пользователя	451
33.2.6. Встроенная память	451
33.4. Семейство FPGA eX	451
33.4.1. Технология Antifuse	452
33.4.2. Описание семейства FPGA eX	453
Лабораторная работа. Программирование проектов в ПЛИС фирмы Actel	456
Цель работы	456
Программа работы	456
Описание программирования проектов в ПЛИС фирмы Actel	456
ЧАСТЬ VIII. СРЕДСТВА ПРОЕКТИРОВАНИЯ ФИРМЫ ALTERA ДЛЯ ЦИФРОВЫХ УСТРОЙСТВ СРЕДНЕЙ ИНТЕГРАЦИИ	459
Глава 34. Стартовый комплект для работы с ПЛИС Altera.....	461
34.1. Макетная плата UP2 Education Board	461
34.1.1. Состав платы	462

Лабораторная работа. Программирование и конфигурирование ПЛБИС в системе MAX+PLUS II фирмы Altera	467
Цель работы	467
Методические указания	467
Программа работы	469
Глава 35. Примеры проектирования и программирования в ПЛИС фирмы Altera	470
35.1. Пример реализации на ПЛИС фирмы Altera работы VGA-монитора	470
35.1.1. VGA-синхронизация	470
35.1.2. Использование ПЛИС для генерации видеосигнала VGA	472
35.1.3. Работа VGA в текстовом режиме	475
35.2. Пример реализации на ПЛИС фирмы Altera работы клавиатуры PS/2	477
35.2.1. Протокол последовательной передачи данных PS/2.....	477
35.3. Пример реализации на ПЛИС фирмы Altera работы мыши PS/2	482
35.3.1. Модуль <i>Mouse</i> библиотеки <i>UPcore</i>	482
Лабораторная работа. Конфигурирование предложенных проектов в ПЛБИС фирмы Altera.....	483
Цель работы	483
Программа работы	483
Работа с монитором	483
Работа с клавиатурой	484
Работа с манипулятором "мышь"	484
Задания на следующую лабораторную работу (самостоятельное выполнение индивидуального проекта)	484
Глава 36. Описание ПЛИС FLEX 10K фирмы Altera	485
36.1. Общая характеристика семейства FLEX 10K	486
36.1.1. Основные компоненты структуры FLEX 10K	487
36.2. Конфигурирование и реконфигурирование ПЛИС семейства FLEX 10K	493
Лабораторная работа. Программирование (конфигурирование) индивидуального проекта в ПЛБИС фирмы Altera	494
Цель работы	494
Программа работы	494
ЧАСТЬ IX. СРЕДСТВА ПРОЕКТИРОВАНИЯ ФИРМЫ ALTERA ДЛЯ ЦИФРОВЫХ УСТРОЙСТВ БОЛЬШОЙ ИНТЕГРАЦИИ.....	495
Глава 37. Описание программируемых логических больших ИС (ПЛБИС) APEX фирмы Altera.....	497
37.1. Архитектура ПЛБИС семейства APEX20K	498

Лабораторная работа. Создание модели процессора Nios в среде QUARTUS	500
Цель работы	500
Программа работы	500
Глава 38. Excalibur — набор разработчика фирмы Altera.....	504
38.1. Описание отладочной платы	504
38.1.1. Цепь JTAG	505
38.1.2. Контроллер конфигурации	506
38.1.3. Перемычка JP2	507
38.1.4. Кнопка SW2: Reset	507
38.1.5. Кнопка SW3: Clear	507
38.1.6. Источник питания	507
Лабораторная работа. Конфигурирование на ПЛСБИС APEX проекта, содержащего процессор Nios, и программирование процессора.....	508
Цель работы	508
Программа работы	508
Конфигурирование проекта.....	508
Выполнение пользовательских программ.....	508
Пример запуска пользовательской программы	509
Глава 39. Встраиваемый процессор Nios.....	510
39.1. Архитектура процессора Nios	510
39.1.1. Регистровый файл	512
39.1.2. Арифметико-логическое устройство	512
39.1.3. Контроллеры.....	513
39.1.4. Память и организация ввода/вывода	513
39.1.5. Шины данных и команд	514
39.1.6. Кэш-память	514
39.2. Шина Avalon	514
Лабораторная работа. Создание индивидуальных программ для процессора Nios. Тестирование их на макетной плате.....	515
Программа работы	515
ПРИЛОЖЕНИЯ	517
Приложение 1. Основные элементы языка VHDL.....	519
Алфавит языка	519
Комментарии	520
Числа	520
Символы	520
Строки	520

Типы данных	520
Простые типы	521
Сложные типы	521
Основные элементы VHDL	522
Синтаксис	522
Характеристика объектов VHDL	522
Атрибуты	523
Компоненты	524
Операторы и выражения	524
Описание на VHDL объектов проекта: интерфейс, тело объекта и конфигурация	526
Описание задержек сигналов	528
Описание пакета в VHDL	528
Приложение 2. Операции языка Verilog HDL и примеры их применения	531
Основные операции Verilog HDL	531
Примеры применения операций Verilog HDL	532
Арифметические операции	532
Операции отношений	532
Операции совпадения, равенства	533
Операция сравнения (Handling Comparisons to X or Z)	533
Логические операции	533
Поразрядные операции	534
Операции сведения вектора к элементу поразрядными операциями	534
Операции сдвига	534
Операции условия	534
Операция конкатенации	535
Литература	537
Предметный указатель	538