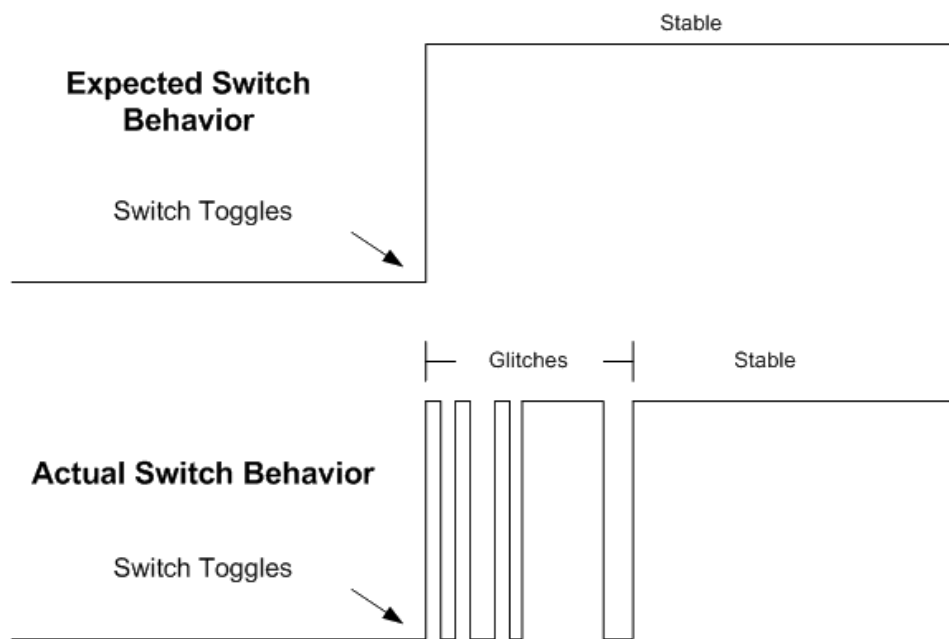


Marco Teorico

Debouncing

Bouncing:

Es un fenómeno que se produce a la hora de interactuar con un switch o botón mecánico. Durante un breve periodo de tiempo el estado del switch es inestable, y rebota entre los estados alto y bajo.



Debouncing en Verilog

Debouncing es una técnica mediante la cual se filtran estos rebotes para únicamente capturar los momentos donde el switch se encuentra estable. En Verilog se puede crear un modulo que se encargue de recibir la señal de entrada y mediante un contador y un registro, se determine en que momento el estado del switch es estable.

Seven Segment Display

Un display de 7 segmentos es un indicador visual utilizado normalmente para mostrar números, en este caso se quiere hacer uso de este para mostrar el conteo de los puntos obtenidos en el juego de PONG

Para poder controlarlo mediante Verilog se plantea el uso de un modulo que reciba una entrada binaria del valor que se quiere representar y devuelva los estados de cada segmento para representar el valor esperado.

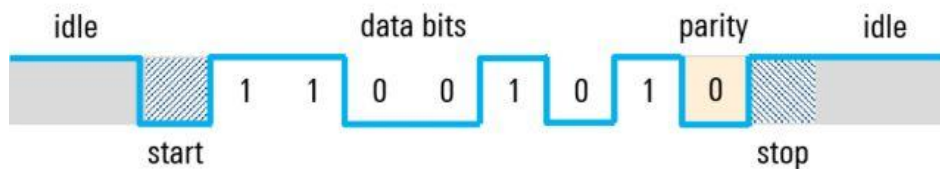
Para la elaboración del módulo respectivo se tomará de base la siguiente tabla de codificación hexadecimal.

Digit	gfedcba	abcdefg	a	b	c	d	e	f	g
0	0×3F	0×7E	on	on	on	on	on	on	off
1	0×06	0×30	off	on	on	off	off	off	off
2	0×5B	0×6D	on	on	off	on	on	off	on
3	0×4F	0×79	on	on	on	on	off	off	on
4	0×66	0×33	off	on	on	off	off	on	on
5	0×6D	0×5B	on	off	on	on	off	on	on
6	0×7D	0×5F	on	off	on	on	on	on	on
7	0×07	0×70	on	on	on	off	off	off	off
8	0×7F	0×7F	on	on	on	on	on	on	on
9	0×6F	0×7B	on	on	on	on	off	on	on
A	0×77	0×77	on	on	on	off	on	on	on
b	0×7C	0×1F	off	off	on	on	on	on	on
C	0×39	0×4E	on	off	off	on	on	on	off
d	0×5E	0×3D	off	on	on	on	on	off	on
E	0×79	0×4F	on	off	off	on	on	on	on
F	0×71	0×47	on	off	off	off	on	on	on

UART

UART (receptor/transmisor asíncrono universal) es un protocolo que establece normas para el intercambio de datos en serie entre dos dispositivos. UART utiliza únicamente dos hilos entre el transmisor y el receptor para transmitir y recibir datos en ambas direcciones. Ambos extremos tienen una conexión a masa. La comunicación en UART puede ser simplex (los datos se envían en una sola dirección), semidúplex (cada extremo se comunica, pero solo uno al mismo tiempo) o dúplex completo (ambos extremos pueden transmitir simultáneamente). En UART, los datos se transmiten en forma de tramas.

Las tramas de UART contienen bits de inicio y de parada, bits de datos, y un bit de paridad.



Como en la mayoría de los sistemas digitales, un nivel de tensión "alto" se utiliza para indicar un "1" lógico, mientras que un nivel de tensión "bajo" se emplea para representar un "0" lógico. Dado que el protocolo UART no especifica tensiones o rangos de tensión precisos para estos niveles, se suele denominar al nivel alto como "marca" y al bajo como "espacio". Cabe destacar que en el estado de reposo (cuando no

se están transmitiendo datos), la línea se mantiene en un estado alto. Esto facilita la detección de una línea o un transmisor defectuoso.

Bits de inicio y de parada

Debido a que UART es asíncrono, el transmisor necesita señalar que los bits de datos están siendo enviados. Esta señalización se realiza mediante el bit de inicio, una transición del estado de reposo alto a un estado bajo, seguido inmediatamente por los bits de carga útil (datos). Una vez finalizados los bits de datos, el bit de parada indica el fin de la carga útil. El bit de parada puede ser una transición de retorno al estado alto o de reposo, o bien la permanencia en el estado alto durante un tiempo adicional. Se puede configurar un segundo bit de parada (opcional) para dar al receptor tiempo para prepararse para la siguiente trama, aunque esta práctica no es muy común.



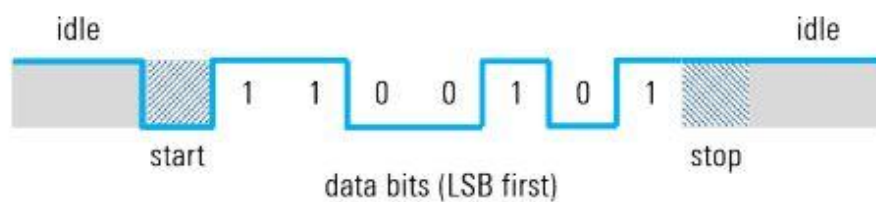
Bits de datos

Los bits de datos representan la carga útil o bits "útiles" y llegan inmediatamente después del bit de inicio. Puede haber entre 5 y 9 bits de carga útil, siendo más comunes 7 u 8 bits. Estos bits de datos suelen transmitirse con el bit menos significativo primero.

Por ejemplo, si se desea enviar la letra mayúscula "S" en ASCII de 7 bits, la secuencia de bits es 1010011. Primero se invierte el orden de los bits para colocarlos en el orden del bit menos significativo, es decir, 1100101, antes de enviarlos. Una vez enviados los últimos bits de datos, el bit de parada se utiliza para finalizar la trama y la línea regresa al estado de reposo.

"S" en ASCII con 7 bits (0x52) = 1010011

Orden del bit menos significativo = 1100101



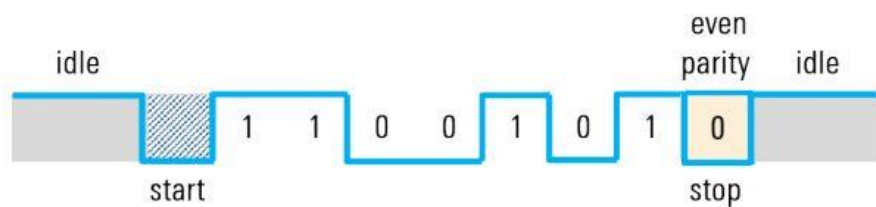
Bit de paridad

Una trama UART también puede incluir un bit de paridad opcional para la detección de errores. Este bit se inserta entre los bits de fin de datos y el bit de parada. El valor del bit de paridad depende del tipo de paridad utilizado (par o impar):

- En la **paridad par**, este bit se ajusta de tal forma que el número total de unos en la trama sea par.
- En la **paridad impar**, este bit se ajusta para que el número total de unos en la trama sea impar.

Por ejemplo, la letra "S" mayúscula (1010011) contiene tres ceros y cuatro unos. Si se utiliza la paridad par, el bit de paridad es cero, ya que el número de unos es par. Si se utiliza la paridad impar, el bit de paridad será uno para que la trama tenga un número impar de unos. El bit de paridad solo puede detectar un único bit invertido; si hay más de un bit invertido, no se detectará con fiabilidad utilizando un solo bit de paridad.

Ejemplo de bit de paridad



VGA

La tecnología VGA (Video Graphics Array) surgió originalmente como un estándar de hardware de visualización, introducido en 1987 por IBM® en su línea de computadoras PS/2. Con el tiempo, el término VGA se ha expandido para designar tanto los estándares de video analógico establecidos por VESA®, como el conector DE-15 (denominado comúnmente conector VGA) y, en muchos contextos, la resolución base de 640×480 píxeles.

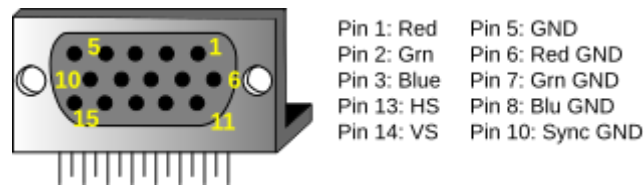
Dicho estándar de visualización analógica es desarrollado y administrado por la organización VESA (Video Electronics Standards Association). Para este proyecto, se utiliza como referencia la temporización correspondiente a una resolución VGA clásica de 640×480 píxeles.

Conector VGA

El conector DE-15 o VGA corresponde a un conector D-subminiatura de 15 pines distribuidos en tres filas, denominado así por su carcasa metálica en forma de letra “D”. Aunque este conector gestiona múltiples señales, en este trabajo se consideran principalmente cinco: Red, Green, Blue (señales analógicas que determinan el color de cada píxel), y HS (Horizontal Sync) y VS (Vertical Sync), que sirven como referencias posicionales para la correcta ubicación de la imagen en pantalla.

Controlar de manera adecuada estas señales permite representar cualquier imagen o información en pantalla, siempre que se cumplan las especificaciones de

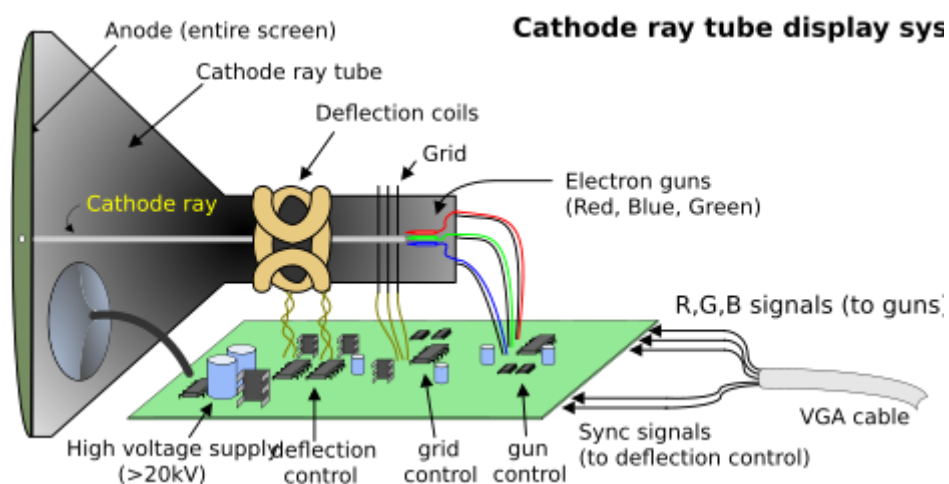
temporización establecidas para VGA. Comprender cómo generar dichas señales requiere analizar el principio de funcionamiento de los dispositivos de visualización.



Funcionamiento de los Monitores

Los monitores VGA basados en tubos CRT (Cathode Ray Tube), generan imágenes mediante haces de electrones modulados en amplitud que inciden sobre una superficie interna recubierta de fósforo, produciendo así la luminiscencia necesaria para formar la imagen visible. En contraste, los monitores LCD (Liquid Crystal Display) operan utilizando una matriz de diminutos elementos que, al someterse a variaciones de voltaje eléctrico, modifican sus propiedades ópticas, lo cual permite regular el paso de la luz y controlar de manera precisa la luminosidad de cada píxel.

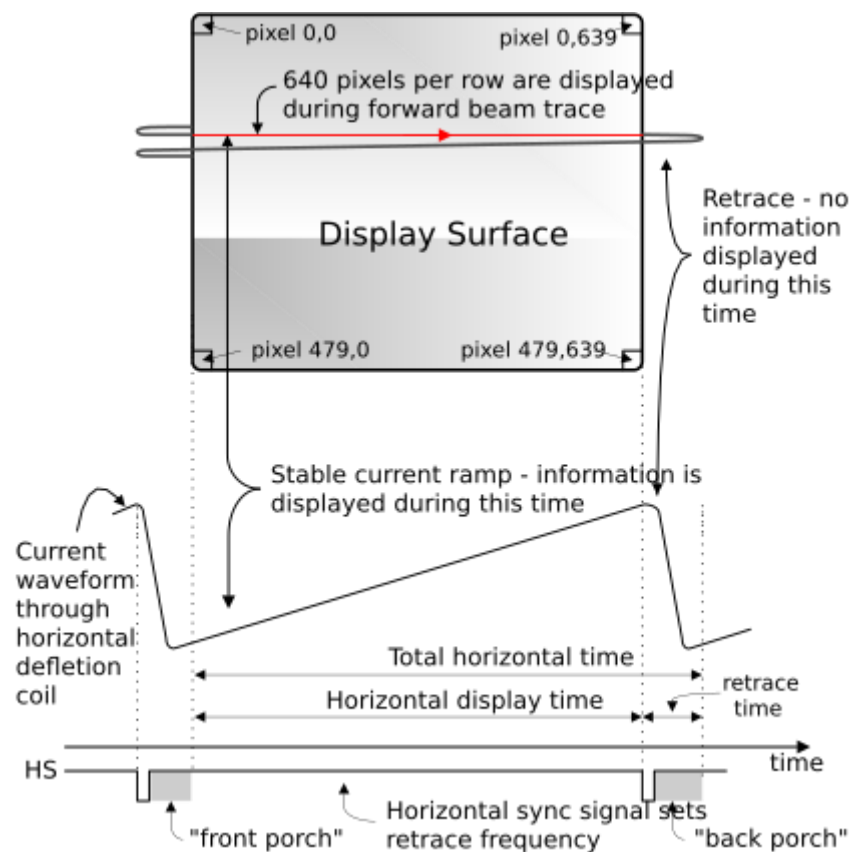
Aunque la siguiente descripción está centrada en pantallas CRT, los monitores LCD modernos han sido diseñados para operar utilizando los mismos esquemas de temporización, lo que permite compatibilidad en términos de señalización entre ambos tipos de tecnologías.



Los monitores CRT en color emplean tres haces de electrones, correspondientes a los colores rojo, verde y azul. Estos haces inciden sobre el recubrimiento de fósforo ubicado en la parte interna de la pantalla, provocando la emisión de luz y formando las imágenes. Los haces de electrones se generan en los denominados cañones de electrones, constituidos por cátodos calentados ubicados cerca de una rejilla cargada positivamente, la cual ejerce fuerza electrostática sobre los electrones, dirigiéndolos hacia la pantalla. La fuerza electrostática de la rejilla atrae electrones desde los cátodos, creando un haz cuya intensidad está determinada por la corriente suministrada al cañón. Tras pasar por la rejilla, los haces de electrones son acelerados por la elevada diferencia de potencial generada por la carga de la pantalla de fósforo (comúnmente de 20kV o más), permitiendo que impacten con la energía suficiente para iluminar el fósforo. Al atravesar la rejilla, los haces se concentran en un haz fino y finalmente impactan la superficie recubierta de fósforo. Este impacto genera luminiscencia, manteniéndose visible durante un breve lapso tras retirar el haz. La intensidad luminosa de cada punto en pantalla depende directamente de la corriente suministrada al cañón de electrones.

Entre la rejilla y la superficie del fósforo, el haz atraviesa el cuello del CRT, donde se encuentran dos bobinas encargadas de generar campos magnéticos que permiten la deflexión precisa del haz. Dado que el haz está compuesto de electrones, estos pueden ser desviados mediante campos magnéticos, posibilitando el barrido de la imagen sobre la superficie del monitor. Las bobinas generan campos magnéticos oscilantes que desvían el haz de electrones para cubrir toda la pantalla en un patrón de barrido horizontal y vertical (raster), permitiendo construir las imágenes línea por línea. Durante el recorrido del haz sobre la superficie, la variación en la corriente de los cañones de electrones modula la intensidad de cada punto, generando distintas tonalidades de color.

La visualización ocurre únicamente durante el movimiento activo del haz, mientras que en los periodos de retorno horizontal o vertical (blanking) no se representa información en pantalla, lo cual es necesario para reposicionar el haz de forma estable. En consecuencia, una fracción considerable del tiempo de operación se destina a estos intervalos de blanking, reduciendo el tiempo útil de visualización por cuadro. La resolución final de la imagen depende tanto del grosor de los haces de electrones como de la velocidad de barrido y de la capacidad de modulación de los cañones electrónicos.



Especificación de Temporización VGA

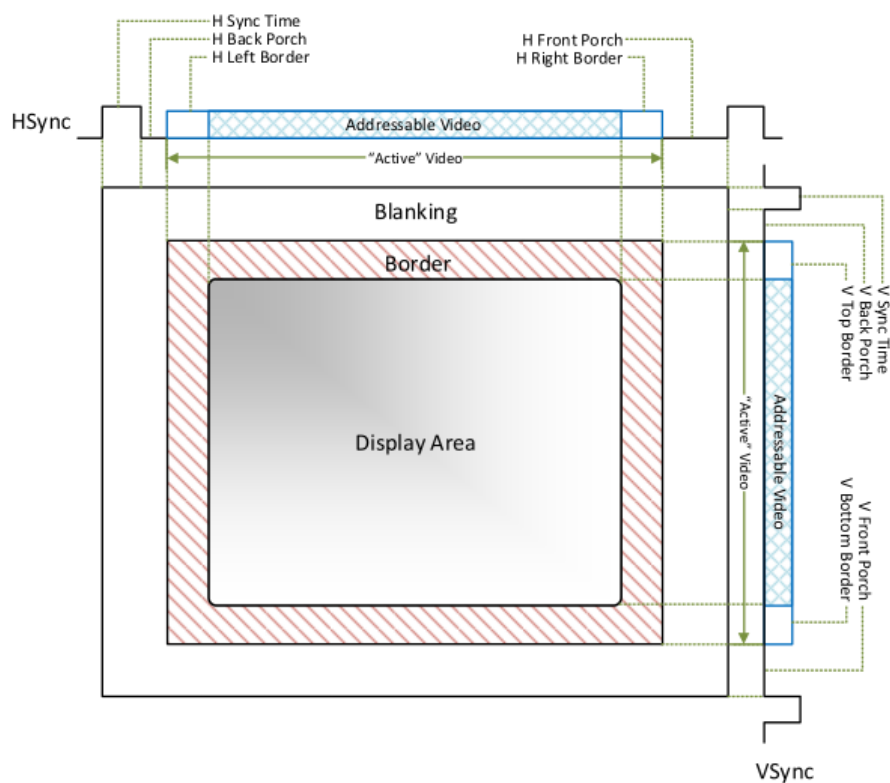
Los monitores VGA modernos admiten diversas resoluciones, cuya selección depende del diseño de un circuito controlador encargado de generar las señales de temporización. Este controlador produce impulsos de sincronización, típicamente de 3.3V o 5V, que determinan la frecuencia de barrido en las bobinas de deflexión, y

sincroniza la entrega de datos de video para garantizar que la imagen se proyecte en el momento preciso sobre la pantalla. Las pantallas de tipo raster organizan la imagen en filas y columnas, donde las filas representan las pasadas horizontales del haz y las columnas delimitan las zonas asignadas a cada píxel. Habitualmente, las resoluciones varían entre 240 y 1200 líneas verticales, y entre 320 y 1600 píxeles horizontales, siendo el tamaño del píxel resultado directo de estas dimensiones. Los datos de video generalmente provienen de una memoria de refresco, con uno o más bytes asignados a cada píxel (por ejemplo, la Nexys4 usa 12 bits por píxel, mientras que Nexys 2, Nexys 3 y Basys2 usan 8 bits). El controlador debe indexar esta memoria conforme el haz avanza por la pantalla, recuperando y aplicando los datos de video con precisión temporal sobre cada píxel.

Un controlador VGA tiene la función de producir las señales de sincronización horizontal (HS) y vertical (VS), y de coordinar la entrega de datos de video, siguiendo la cadencia impuesta por el reloj de píxel. Este reloj marca el tiempo disponible para representar cada punto de imagen, mientras que la señal VS determina la frecuencia con la que la pantalla se actualiza por completo, parámetro que depende tanto de las características del fósforo como de la intensidad del haz. En la práctica, las frecuencias de refresco oscilan entre 50Hz y 120Hz. La cantidad de líneas visualizadas a determinada frecuencia establece la frecuencia de retorno horizontal.

Especificación de Temporización para 640x480@60Hz

La siguiente imagen y tabla las especificaciones de temporización para el estándar VGA en resolución 640×480, operando a una frecuencia de refresco de 60Hz.



Description	Notation	Time	Width/Freq
Pixel Clock	tcclk	39.7 ns ($\pm 0.5\%$)	25.175MHz
Hor Sync Time	ths	3.813 μ s	96 Pixels
Hor Back Porch	thbp	1.907 μ s	48 Pixels
Hor Front Porch	thfp	0.636 μ s	16 Pixels
Hor Addr Video Time	thaddr	25.422 μ s	640 Pixels
Hor L/R Border	thbd	0 μ s	0 Pixels
V Sync Time	tvS	0.064 ms	2 Lines
V Back Porch	tvbp	1.048 ms	33 Lines
V Front Porch	tvfp	0.318 ms	10 Lines
V Addr Video Time	tvaddr	15.253 ms	480 Lines
V T/B Border	tvbd	0 ms	0 Lines

Implementación en FPGA

Primero, se requiere un divisor de frecuencia para generar el reloj de píxel, el cual actúa como referencia temporal para las señales HS y VS. Aunque la especificación indica una frecuencia de 25.175 MHz, un reloj de 25 MHz es aceptable (dentro del margen de $\pm 0.5\%$) y es fácil de generar en las tarjetas FPGA mediante divisores de reloj.

Segundo, se necesitan dos contadores: uno horizontal para contar píxeles por línea, y otro vertical para contar líneas por cuadro. El contador horizontal debe reiniciarse al llegar al final de la línea (799 en este caso), y al hacerlo debe generar una señal de Terminal Count que habilite al contador vertical para incrementar en uno, iniciando así una nueva línea. De igual manera, el contador vertical se reinicia al alcanzar el final del cuadro. Por tanto, se deben adaptar modificaciones a los contadores previamente implementados.

partir de los valores de los contadores, se pueden comparar con las constantes definidas para generar las señales HS y VS. Cabe destacar que las señales Red, Green y Blue deben mantenerse en GND fuera del área activa de visualización. La siguiente imagen muestra cómo generar las señales HS y VS según los valores de los contadores.

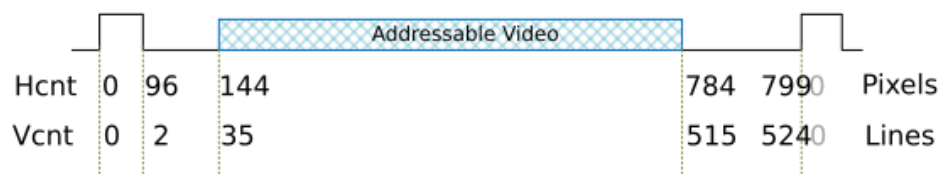


Diagrama de bloques

