

	<p align="center"><b>Алгоритмические и логические основы цифровой вычислительной техники</b> / Компьютерные системы и сети</p>
	<p align="center">БГТУ кафедра ПИ</p> <p align="center">доцент Самаль Дмитрий Иванович dmitry_samal@mail.ru, a.408-1</p> <p align="center">Лекция 3 «Основы схемотехники. Триггеры»</p> <p align="center">2020</p>

1

	<p align="center"><b>План лекции</b></p> <ol style="list-style-type: none"> <li>1. Временная диаграмма сигналов</li> <li>2. Переход от микроэлектроники к схемотехнике</li> <li>3. Понятие триггера. Классификация</li> <li>4. Цифровой логический уровень</li> <li>5. Трансляция vs Интерпретация</li> </ol> <p align="center">! - обязательный вопрос к зачёту</p>
--	--

2

	<p align="center"><b>Двоичный код сигналов</b></p> <p align="center"><b>Виды кодирования (и передачи) сигнала</b></p> <div style="display: flex; justify-content: space-around;"> <div> <p><b>Последовательное</b> за 1 момент времени (такт) передается только 1 бит информации. - медленнее</p> </div> <div> <p><b>Параллельное</b> за 1 момент времени (такт) передается одновременно несколько бит (по параллельным каналам). - рассинхронизация (на практике не более 30м)</p> </div> </div> <p align="center"><i>Не путать с параллельной/последовательной передачей пакетов!</i></p> <div style="text-align: center;"> <p>Кодовая комбинация</p> <table border="1" style="margin: auto;"> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td> </tr> </table> <p>Униполярный двоичный код</p> </div>	1	1	1	1	1	1	0	1	0	0	1	1
1	1	1	1	1	1	0	1	0	0	1	1		

3

	<p align="center"><b>Двоичный код сигналов</b></p> <p align="center"><b>Виды кодирования (и передачи) сигнала</b></p> <div style="display: flex; justify-content: space-around;"> <div> <p><b>Последовательное</b> за 1 момент времени (такт) передается только 1 бит информации. - медленнее</p> </div> <div> <p><b>Параллельное</b> за 1 момент времени (такт) передается одновременно несколько бит (по параллельным каналам). - рассинхронизация (на практике не более 30м)</p> </div> </div> <p align="center"><i>Не путать с параллельной/последовательной передачей пакетов!</i></p> <p align="center"><b>Рассинхронизация при параллельной передаче битов</b></p> <div style="display: flex; justify-content: space-around;"> <div> <p>отправитель</p> </div> <div> <p>получатель</p> </div> </div>
--	---

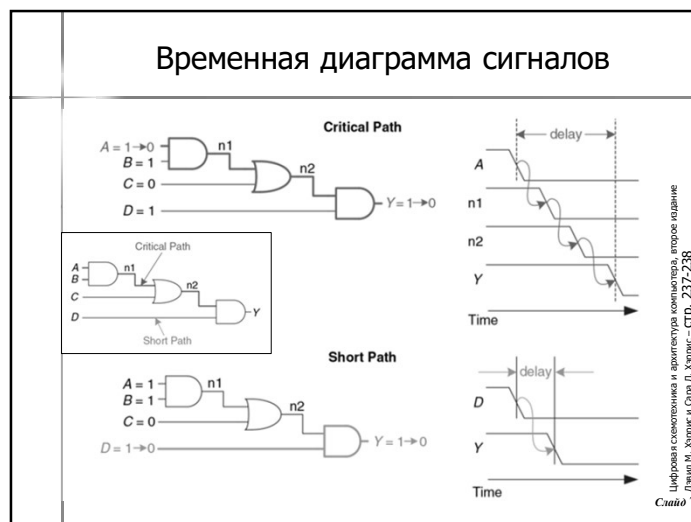
4



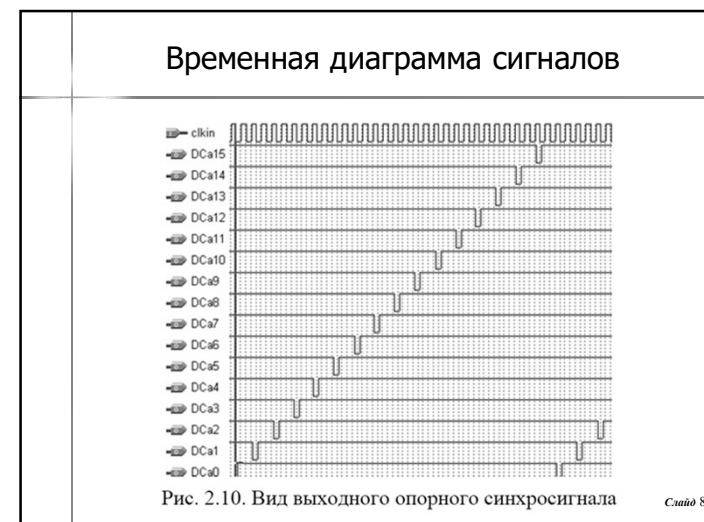
5



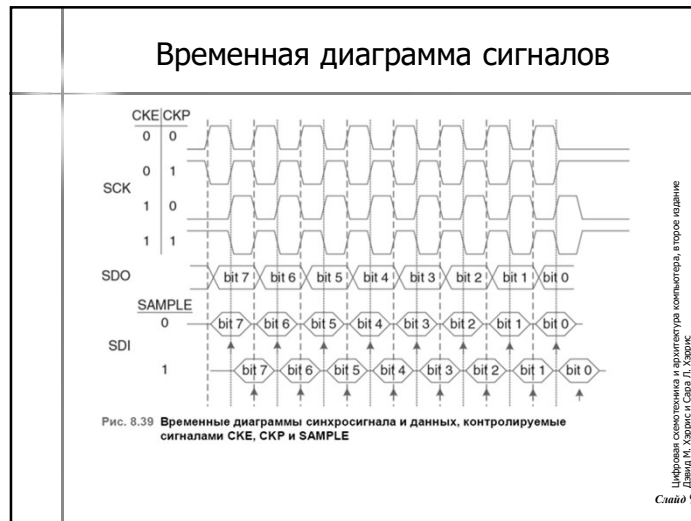
6



7



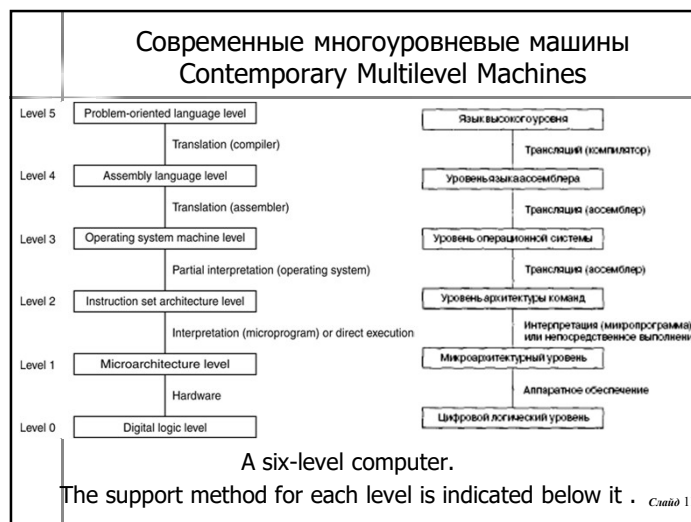
8



9



10



11

### Современные многоуровневые машины Contemporary Multilevel Machines

- -1 уровень (не показан) - **уровень физических устройств**. На нём находятся транзисторы, которые являются примитивами для разработчиков компьютеров. Объяснять, как работают транзисторы, — задача физики.
- 0 уровень - самый нижний - **цифровой логический уровень содержит** объекты, называемые **вентильми**. Вентиль вычисляет простые функции двоичных сигналов, такие как И или ИЛИ. Каждый вентиль формируется из нескольких транзисторов. Несколько вентилей формируют 1 бит памяти. Биты памяти, объединенные в группы, например, по 16, 32 или 64, формируют регистры.

Слайд 12

12

## Модель транзистора

PNP транзисторы открываются напряжением отрицательной полярности, NPN - положительной. В NPN транзисторах основные носители заряда - электроны, а в PNP - дырки, которые менее мобильны, соответственно NPN транзисторы быстрее переключаются.

13

13

## Логические элементы

(a) – НЕ, NOT, Инвертор  
 (b) – И-НЕ, NAND, Штрих Шеффера  
 (c) – ИЛИ-НЕ, NOR, Стрелка Пирса

14

14

## Триггер

**Триггер** (от англ. *trigger* — защёлка) – логический элемент, способный хранить один разряд двоичного числа.

**Михаил Александрович Бонч-Бруевич** (1888–1940) – русский и советский радиотехник, основатель отечественной радиоламповой промышленности. Работал в области радиовещания и дальней связи на коротких волнах. В 1918 году предложил схему переключающего устройства, имеющего два устойчивых рабочих состояния, под названием «катодное реле». Это устройство впоследствии было названо триггером.

15

15

## RS-триггер

Схема хранения разряда двоичного числа

Новое состояние триггера		
Q	R	Q
0	0	0
1	0	1

При R=0 и S=0, триггер сохраняет исходное состояние

Что происходит при значениях R=0 и S=1?

Что происходит при значениях R=1 и S=0?

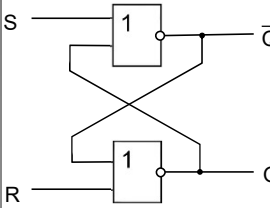
Устойчивое состояние невозможно

16

16

## Триггер

Режим работы триггера	Вход R (сброс)	Вход S (установка)	Состояние триггера Q
Хранение предыдущего состояния	0	0	Q
Установка триггера в 0	1	0	0
Установка триггера в 1	0	1	1
Запрещенное состояние	1	1	Недопустимо

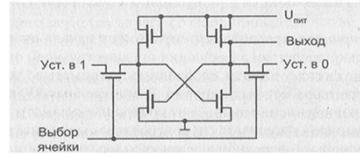


Триггер используется для хранения информации в оперативной памяти и внутренних регистрах компьютера. Память содержит миллионы триггеров.

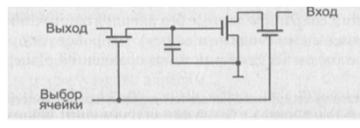
ЭЛЕМЕНТЫ АЛГЕБРЫ ЛОГИКИ, Изд-во Бинком

17

## Статическое и динамическое ОЗУ



SRAM, на 6 транзисторах (а по факту – это триггер) – быстрее, менее чувствительны к внешним излучениям



DRAM

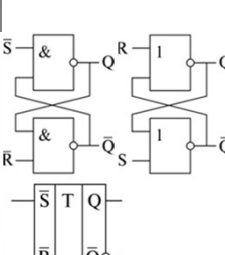
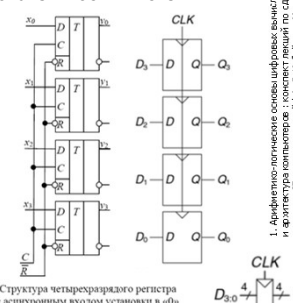
Простота схемы DRAM позволяет достичь высокой плотности размещения, в итоге, *снизить стоимость*. *Главный недостаток* - что *накапливаемый на конденсаторе заряд со временем теряется*. Среднее время утечки заряда DRAM составляет *сотни(десятки) миллисекунд*, поэтому, *заряд следует регенерировать*.

Слайд 18

18

## Триггера и регистры

Триггер – простейший элемент памяти (1 bit)  
 N-разрядный регистр – набор из N триггеров с общим тактовым сигналом. Таким образом, все биты регистра обновляются одновременно. Регистр является ключевым блоком при построении большинства последовательностных схем.

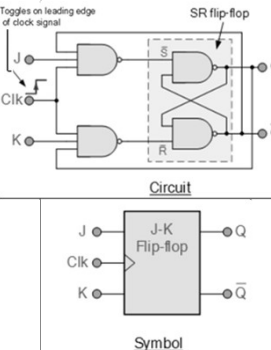



1. Базовые логические схемы цифровых вычислительных машин и аппаратуры компьютеров: конспект лекций по современной дисциплине для студентов ИТ-специальностей / А. С. Кобалько. – Минск: БГТУ, 2015. – 112 с.  
 2. Цифровая схемотехника и архитектура компьютера, второе издание  
 А. С. Кобалько, С. В. Кобалько

Рис. 1.31. Структура четырехразрядного регистра хранения с асинхронным входом установки в «0»

19

## JK-триггер



Trigger	Inputs	Output				Inference	
		Present State		Next State			
CLK	J	K	Q	Q'	Q	Q'	
	x	x	-	-	-	-	Latched Защёлкнут
	0	0	0	1	0	1	No Change Без изменений
	0	1	0	1	0	0	Reset Сброс
	1	0	0	1	1	0	Set Установка
	1	1	0	1	1	0	Toggles Переключение
	1	1	1	0	0	1	

20

[https://www.electronics-tutorials.ws/sequential/seq\\_2.html](https://www.electronics-tutorials.ws/sequential/seq_2.html)

20

## Master-Slave или двухтактный триггер

The Master-Slave JK Flip Flop

«MS-триггер», слэнговое название любого двухтактного синхронного триггера. Правильно говорить либо «двухтактный JK-триггер» либо (в крайнем случае) «MS JK-триггер»

[https://www.electronics-tutorials.ws/sequential/seq\\_2.html](https://www.electronics-tutorials.ws/sequential/seq_2.html)

21

## Master-Slave или двухтактный триггер

Если сигнал  $C=1$ , то первая ступень находится в режиме приема информации, а вторая - в режиме хранения, так как сигнал синхронизации на её входе равен нулю. Если  $C=0$ , то первый триггер переходит в режим хранения, а второй - в режим приема информации и копирует состояние первого триггера. Именно в этот момент информация появляется на выходе триггера ( $Q$ ).

<https://ebooks.org/e-52763.html>

22

## Master-Slave или двухтактный триггер

Зачем нужны двухтактные триггеры? Во-первых, они имеют высокую помехоустойчивость, а во-вторых, с помощью двухтактного D – триггера можно задержать сигнал на время равное периоду синхронизации (в одноктактных - только на время паузы).

<https://ebooks.org/e-52763.html>

23

## D-триггер и T-триггер

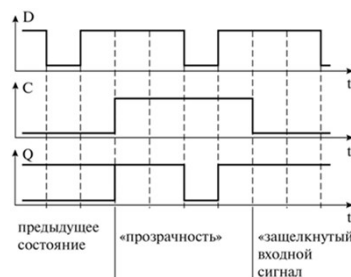
D-триггер – простейший элемент памяти (1 bit)

Синхронный двухтактный T-триггер

<https://ebooks.org/e-52763.html>

24

## Основные логические блоки

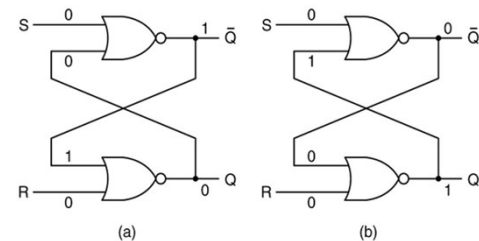


По этой временной диаграмме видно, что триггер-защелка хранит данные на выходе только при нулевом уровне на входе синхронизации. Если же на вход синхронизации подать активный высокий уровень, то напряжение на выходе триггера будет повторять напряжение, подаваемое на вход этого триггера. Входное напряжение запоминается только в момент изменения уровня напряжения на входе синхронизации С с высокого уровня на низкий уровень. Входные данные как бы «защелкиваются» в этот момент, отсюда и название — «триггер-защелка».

25

25

## Latches - Защёлки



При  $R=S=0$  два стабильных состояния:

(a) Защёлка ИЛИ-НЕ (NOR) в состоянии 0.

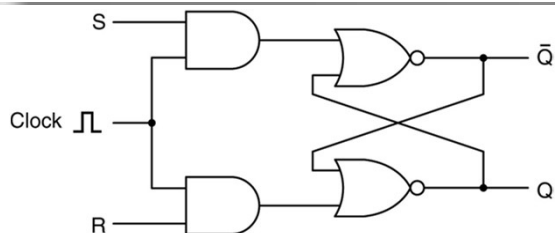
(b) Защёлка ИЛИ-НЕ (NOR) в состоянии 1.

$R=S=1$  – запрещено в следствие неопределённости при возврате к  $R=S=0$ .

Слайд 26

26

## Latches - Защёлки

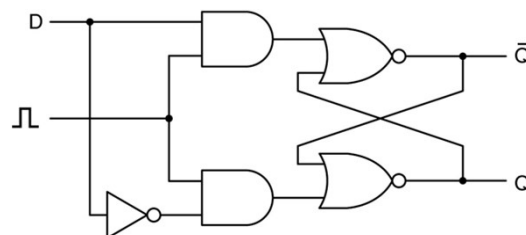


Синхронные RS-защёлки.  
A clocked SR latch.

Слайд 27

27

## Latches - Защёлки



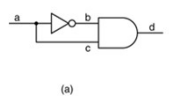
Синхронная D защёлка - A clocked D latch.  
(Используется 11 транзисторов).

Слайд 28

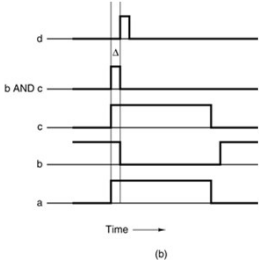
28

## Flip-Flops - Триггеры

*Защёлки запускаются уровнем сигнала, триггеры – фронтом!*



(a)



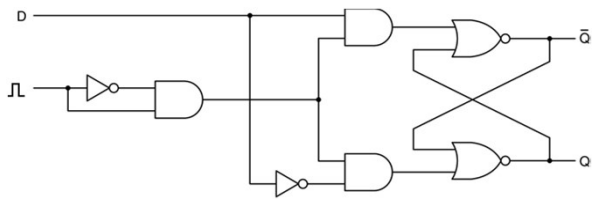
(b)

(a) A pulse generator.  
(b) Timing at four points in the circuit.

Слайд 29

29

## Flip-Flops



A D flip-flop.  
D- триггер (на практике используются более сложные схемы).

Слайд 30

30

## Временная диаграмма сигналов

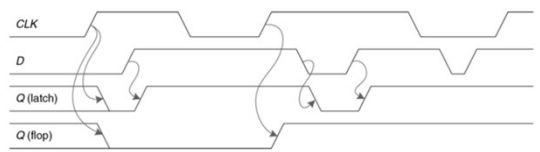
CLK

D

Q (latch)

Q (flip)

Рис. 3.14 Исходные временные диаграммы



Цифровая схемотехника и архитектура компьютера, второе издание  
Данил М. Хорис и Оля П. Харис

Слайд 31

31

## Классификация триггеров



Рис. 1.6. Классификация триггерных схем

1. Архитектура логических основ цифровых вычислительных машин и архитектура компьютеров : конспект лекций по одноименной дисциплине для студентов IT-специальностей / А. С. Козыко. – Минск : БГТУ, 2015. – 112 с.

32

32



## Flip-Flops

Рис. 1.9. Условно-графические обозначения RS-триггера с различной синхронизацией:

*a* – статическая синхронизация; *б* – статическая инверсная синхронизация;  
*в* – динамическая синхронизация передним фронтом синхросигнала;  
*г* – динамическая синхронизация задним фронтом синхросигнала

D latches and flip-flops. D – защёлки (a,b) и триггеры (c,d).  
 Триггер (c) меняет состояние на возрастающем фронте (с 0 на 1), а (d) – на заднем фронте (с 1 на 0). У многих схем есть #Q, Set (Preset) → Q=1, Reset (Clear) → Q=0

Слайд 33

33

## Реальные схемы триггеров

Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

54AC/74AC109 • 54ACT/74ACT109  
Dual JK Positive Edge-Triggered Flip-Flop

Logic Symbols

Connection Diagrams  
Pin Assignment for DIP, Flatpack and SOIC

February 1993  
National Semiconductor  
Слайд 34

34

## Flip-Flops

(a)

Два независимых D-триггера на одной микросхеме (Dual D flip-flop).

Слайд 35

35

## Flip-Flops

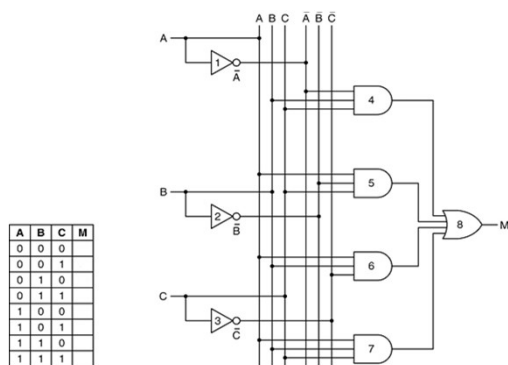
(b)

Восьмиразрядный триггер (Octal flip-flop) – в качестве восьмиразрядного регистра.

Слайд 36

36

## Комбинационная схема



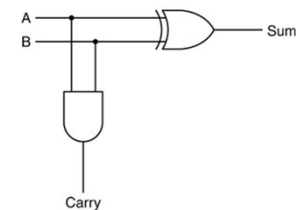
З. Таненбаум, Архитектура компьютера, 4-е изд., 2006 г.

37

37

## Полусумматор

A	B	Sum	Carry
0	0		
0	1		
1	0		
1	1		



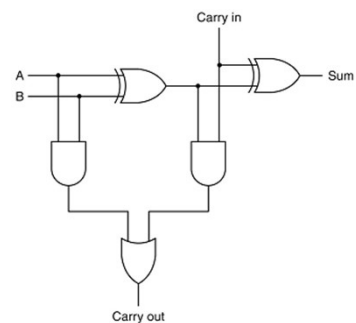
З. Таненбаум, Архитектура компьютера, 4-е изд., 2006 г.

38

38

## Полный сумматор

A	B	Carry in	Sum	Carry out
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

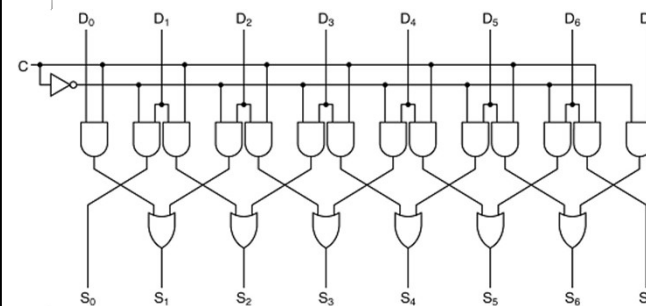


З. Таненбаум, Архитектура компьютера, 4-е изд., 2006 г.

39

39

## Схема сдвига



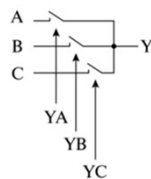
З. Таненбаум, Архитектура компьютера, 4-е изд., 2006 г.

40

40

## Мультиплексоры и шифраторы

Мультиплексоры и демультиплексоры. Мультиплексорами называются устройства, которые позволяют подключать несколько входов к одному выходу. Демультиплексорами называются устройства, которые позволяют подключать один вход к нескольким выходам. В простейшем случае такую коммутацию можно осуществить при помощи ключей.

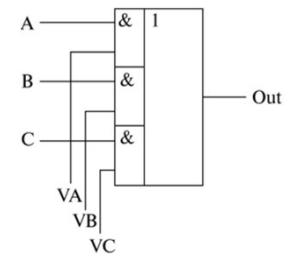


Слайд 41

41

## Мультиплексоры и шифраторы

Один из входов элемента будем рассматривать как информационный вход электронного ключа, а другой вход — как управляющий.

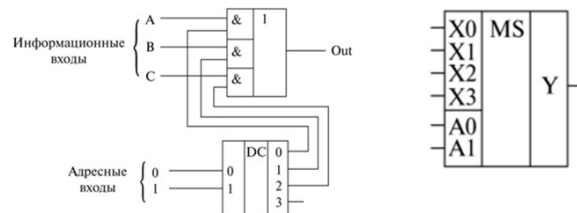


Слайд 42

42

## Мультиплексоры и шифраторы

Управление требует много входов, поэтому в состав мультиплексора включают дешифратор. Это позволяет управлять переключением входов микросхемы на выход при помощи двоичных кодов.

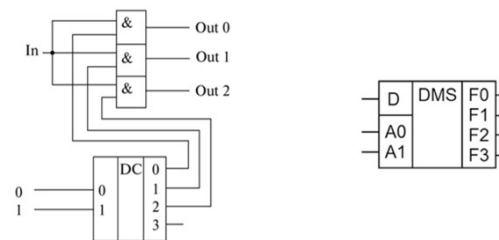


Слайд 43

43

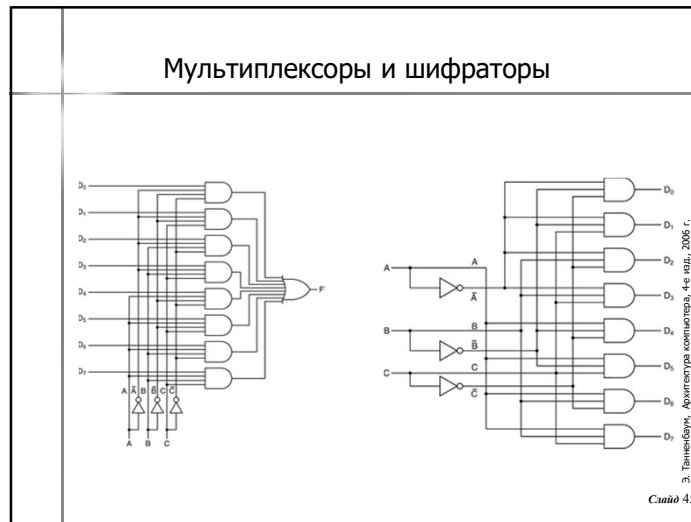
## Мультиплексоры и шифраторы

Принципиальная схема демультиплексора, управляемого двоичным кодом



Слайд 44

44



45

### Вопросы к лекции

1. Что такое временная диаграмма?
2. Критический и короткий пути схемы, в чём разница?
3. Почему в RS-триггере запрещена комбинация входных сигналов – «11»? Что будет происходить при этой комбинации в JK – триггере?
4. Каким образом на физическом уровне триггер «хранит» информацию?
5. Как из MS D-триггера, получить асинхронный Т-триггер?
6. Классификация триггеров и их обозначение – по обозначению триггера требуется определить его режим работы и восстановить таблицу истинности.
7. В чём принципиальная разница между трансляцией и интерпретацией.

Слайд 46

46