

Laboratorium Teorii Automatów	
Projektowanie układów logicznych w FPGA	
Grupa 4b (wtorek 17.15)	Sonia Wittek, Katarzyna Wątorska, Bartłomiej Mróz

Wstęp teoretyczny

Celem ćwiczenia było zapoznanie się ze sposobem projektowania oraz budowy układów cyfrowych z wykorzystaniem programowanych układów logicznych typu FPGA firmy XILINX oraz poznanie dostępnych środowisk umożliwiających realizację projektu.

Przebieg laboratorium

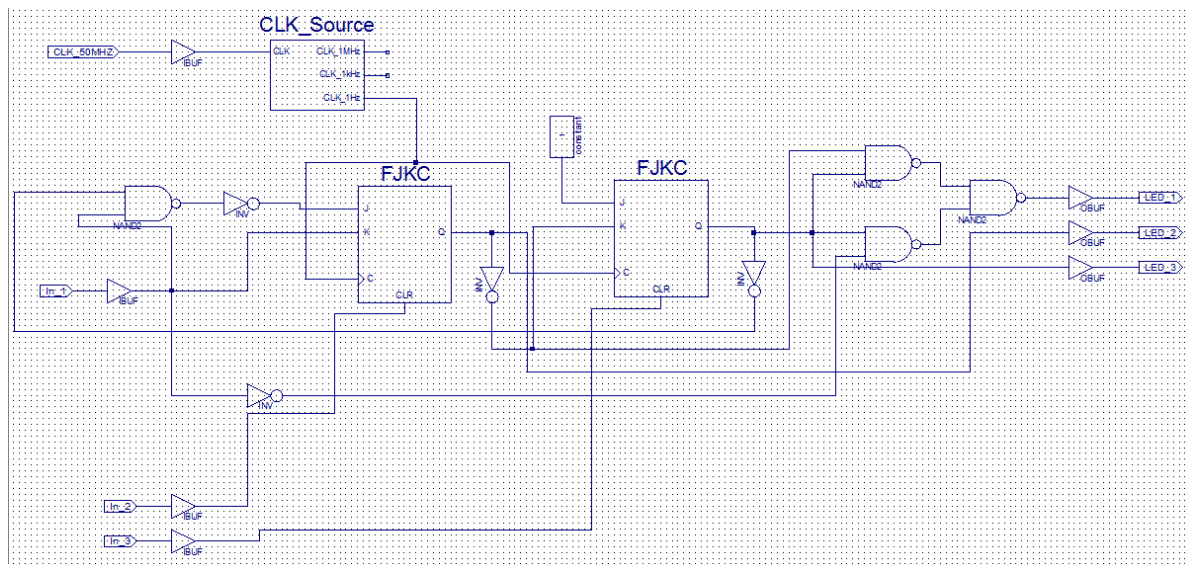
Po zapoznaniu się z działaniem układu FPGA i programu do wgrywania oprogramowania, przystąpiliśmy do realizacji poleceń. Niestety za pierwszym podejściem nie byliśmy w stanie zrealizować nawet zadania wstępnego; otrzymywaliśmy błędy, których źródła nie potrafiliśmy zidentyfikować mimo, że schemat był połączony identycznie jak w instrukcji do zadania. Diody LED przyjmowały 3 stany – nie świeciły, świeciły ciemno lub świeciły jasno. Konieczne więc było odrobienie zajęć, aby móc zaprojektować działające schematy; odrobienie zajęć odbyło się u mgr Dawida Knapika.

Zadanie 1

Zadanie polegało na realizacji na przerzutnikach JK układu sekwencyjnego przedstawionego w formie poniższej tabeli i gotowego schematu. Jako wejście x podłączono jeden z przełączników systemu Spartan-3AN, natomiast jako stany i wyjście diody LED.

Lp	X	Q1	Q2	Q1'	Q2'	J1	K1	J2	K2	Y
0	0	0	0	0	1	0	x	1	x	0
1	0	0	1	0	0	0	x	x	x	1
2	0	1	1	1	1	x	0	x	0	1
3	0	x	x	x	x	x	x	x	x	x
4	1	0	0	1	1	1	x	1	x	0
5	1	0	1	0	0	0	x	x	x	1
6	1	1	1	0	1	x	1	x	1	0
7	1	x	x	x	x	x	x	x	x	x

Zaprojektowany na schematach blokowych układ:

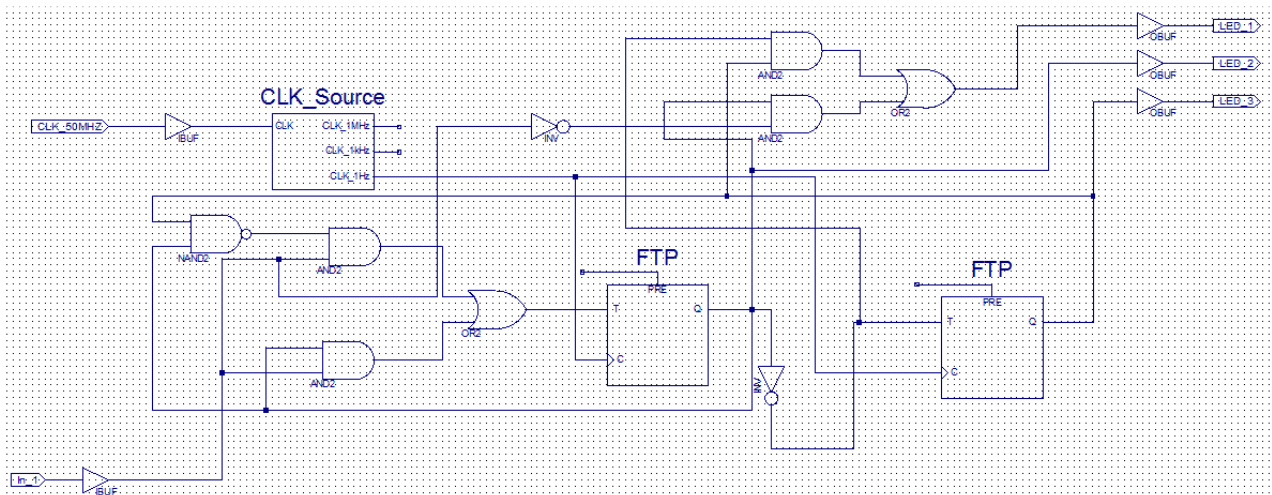


Podłączone zostały dodatkowe diody LED, aby móc monitorować aktualne stany.

Powyższy schemat został dodatkowo przerobiony tak, aby realizował on ten sam układ na przerzutnikach T. Wykorzystano do tego funkcje:

$$T1 = \overline{Q1}Q2X + Q1X$$

$$T2 = \overline{Q1}$$



Zadanie 2

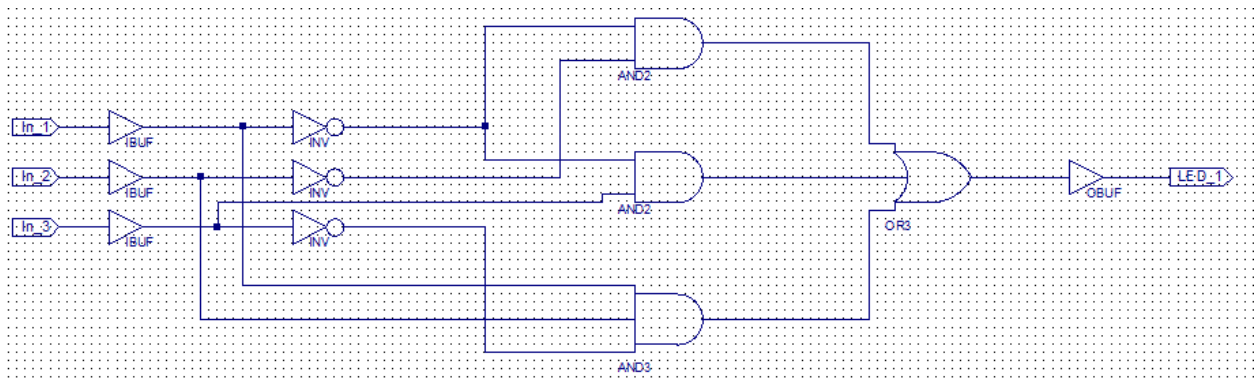
Zadanie polegało na zaprojektowaniu i realizacji funkcji logicznej opisanej postacią kanoniczną sumy: $f(x_0, x_1, x_2) = \sum[0,1,3,6]$.

Jako wejścia x_0, x_1 podłączono dwa przełączniki systemu Spartan-3AN, natomiast jako wyjście diodę LED.

X0X1\X2	0	1
00	1	1
01	0	1
11	1	0
10	0	0

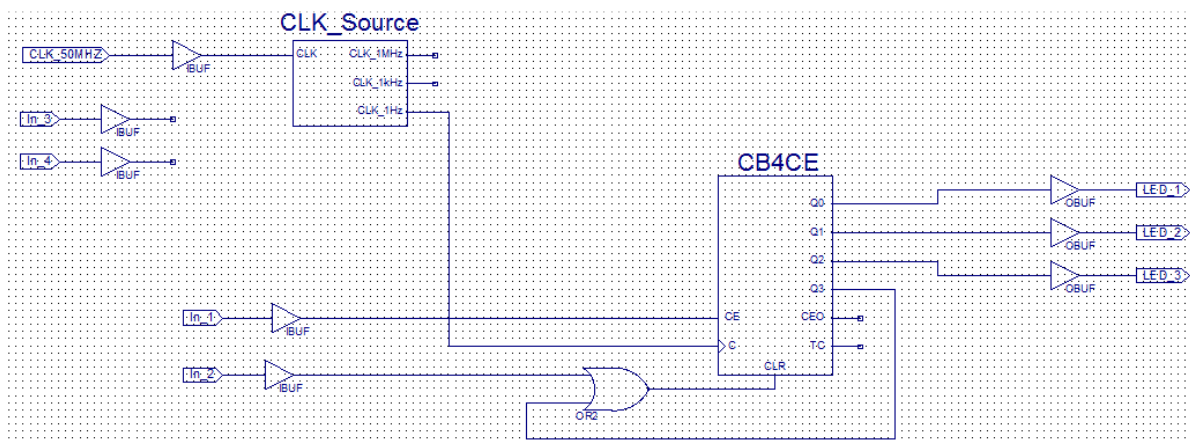
Funkcja zapisana na podstawie powyższej tabeli oraz zrealizowana na schemacie:

$$Y = \overline{x_0} \overline{x_1} \vee \overline{x_0} x_2 \vee x_0 x_1 \overline{x_2}$$

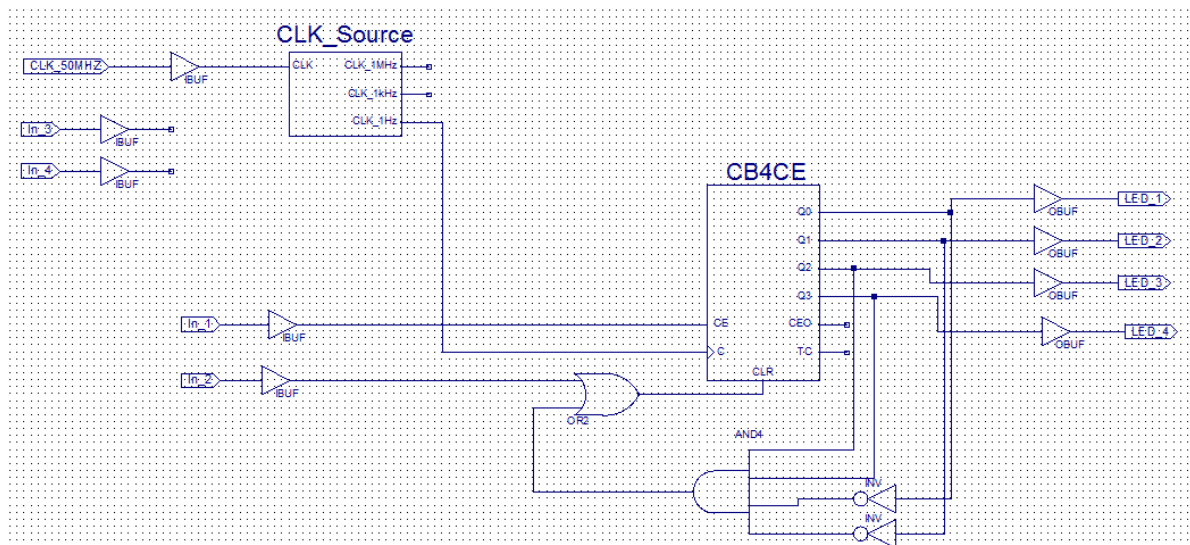


Zadanie 3

Następnie zrealizowano licznik modulo 8 korzystając z gotowego elementu bibliotecznego realizującego licznik binarny modulo 15. Do wejść CE i CLR podłączono dwa przełączniki systemu Spartan-3AN, natomiast do wyjść diody LED.



Dodatkowo zrealizowano licznik modulo 12:



Podsumowanie

Na zajęciach mieliśmy możliwość zapoznania się z układami logicznymi typu FPGA. Przećwiczyliśmy projektowanie i budowanie układów z wykorzystaniem tych elementów w środowisku ISE WebPack. Poznaliśmy sposoby podłączania buforów wejściowych i wyjściowych. Przekonał się, że częstotliwość, z jaką pracuje zegar jest istotna dla możliwości zaobserwowania działania układu.