

东南大学计算机学院

计算机系统组成

主讲教师： 徐造林

第8章 总线

- 部件之间的分散连接和总线连接两种互连方式；
- 总线结构的两个主要优点是灵活和低成本
- 现代计算机普遍使用的是总线互连结构；
- 总线的主要缺点是它可能产生通信瓶颈；
- 本章着重介绍总线的基本概念、总线设计中的几个因素、总线标准及其现代计算机的总线互连结构。

8. 1 总线的基本概念

- 计算机部件之间通信线路的集合称为互连结构。
- 总线是连接两个或多个功能部件的一组共享的信息传输线；一个部件发出的信号可以被连接到总线上的其他所有部件所接收。

■ 总线结构优越性：

- 1) 便于采用**模块结构**设计方法，简化了系统设计；
- 2) **标准总线**可以得到多个厂商的广泛支持，便于生产与之兼容的硬件板卡和软件；
- 3) 模块结构方式**便于系统的扩充和升级**；
- 4) 便于**故障诊断和维修**，同时也降低了成本。

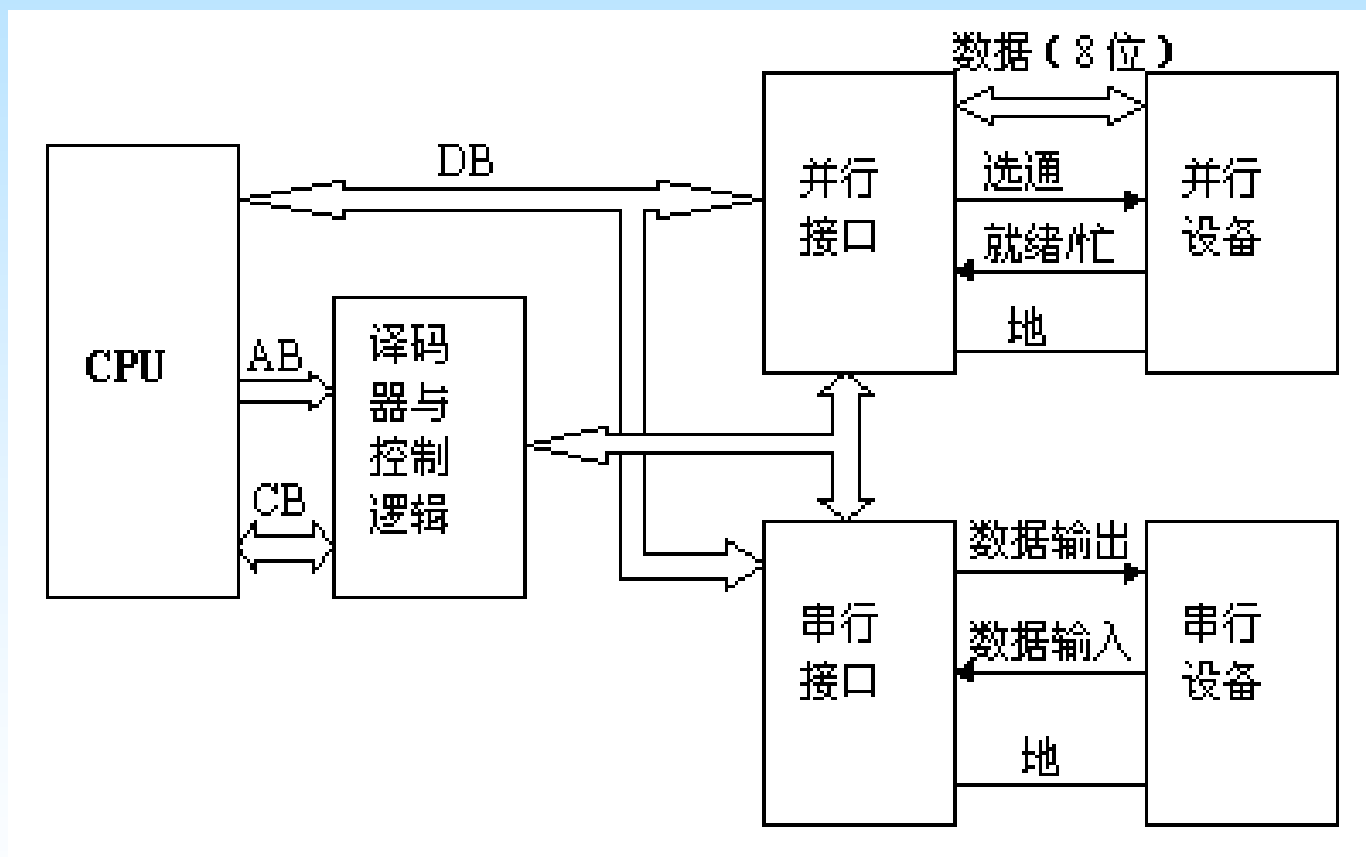
8.1.1 总线的特性和分类

◆ 总线的特性

(1) 物理特性:

- ▲ **物理特性**: 包括连线类型、数量、接插件的几何尺寸和形状以及引脚线的排列等。
- ▲ **连线的类型**: 电缆式、主板式和底板式。
- ▲ 从连线的数量来看, 总线分为**串行总线**和**并行总线**。
- ▲ 串行总线用于长距离的数据传送, 并行总线用于短距离的高速数据传送。

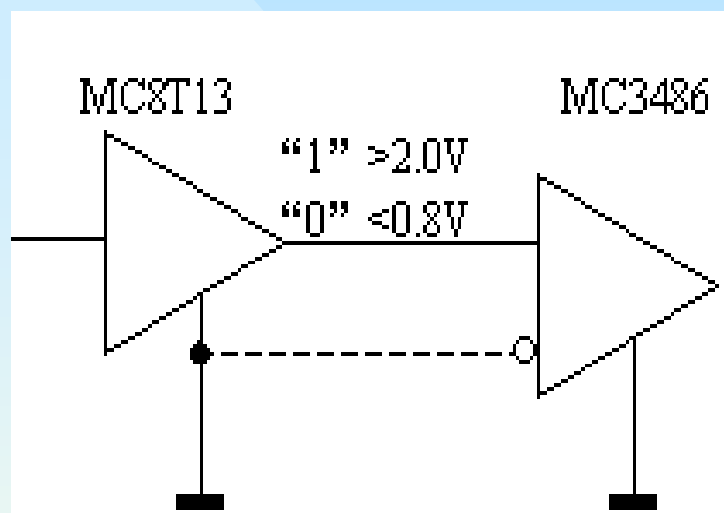
- ▲ 并行接口总线：IDE、SCSI接口总线
- 串行接口总线：通用串行总线USB，IEEE1394



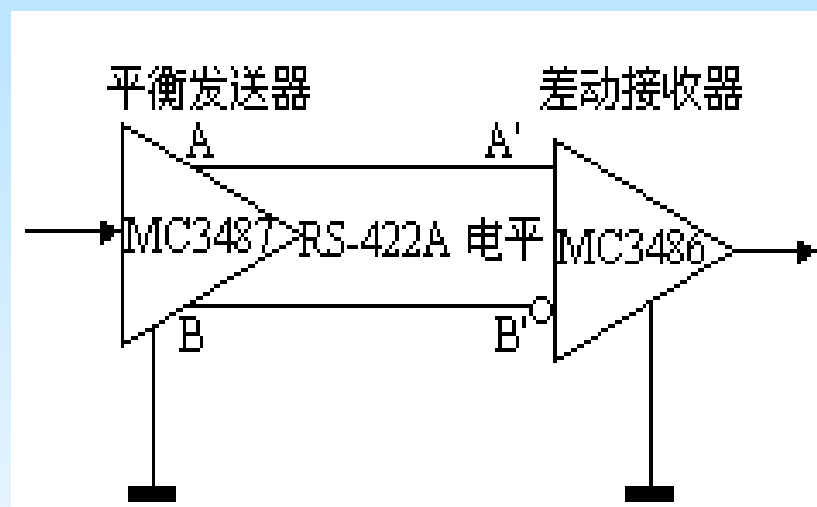
并行接口和串行接口的结构示意图

(2) 电气特性:

- ▲ 总线的电气特性是指总线的每一条信号线的信号传递方向、信号的有效电平范围。
- △ CPU发出的信号为输出信号，送入CPU的信号为输入信号。
- △ 总线的电平表示方式有两种：单端方式和差分方式。
- △ 例如，串行总线接口标准RS-232C，单端电平方式；RS-422采用差分电平方式。



**RS-423A单端驱动
差分接收电路**



**RS-422A标准
传输线连接**

- 当AA'线的电平比BB'线的电平高于200mV时表示逻辑“1”；

(3) 功能特性:

- ▲ **总线功能特性**: 指总线中每根传输线的功能。如地址线, 数据线, 控制线用来发出控制信息。

(4) 时间特性:

- ▲ **总线时间特性**: 指总线中任一根传输线在什么时间内有效, 以及每根线产生的**信号之间的时序关系**。

◆ 根据所连接部件的不同，总线通常被分成三种类型

(1) 内部总线:

- ▲ 指芯片内部连接各元件的总线。如CPU芯片内部，在各个寄存器、ALU、指令部件等各元件之间也有总线相连。

(2) 系统总线:

- ▲ 指连接CPU、存储器和各种I/O模块等主要部件的总线。有主板式和底板式总线。
- 主板式总线是一种板级总线，主要连接主机系统印刷电路板中的CPU和主存等部件。

- 底板式总线通常用于连接系统中的各个功能模块，实现系统中的各个电路板的连接。典型的有PCI总线、Multibus总线、VME总线等。

(3) 通信总线：

- ▲ 这类总线用于主机和I/O设备之间或计算机系统之间的通信。
- ▲ 由于这类连接涉及到许多方面，包括：距离远近、速度快慢、工作方式等，差异很大，所以通信总线的种类很多。

8.1.2 系统总线的组成

- ◆ 系统总线通常由一组控制线、一组数据线和一组地址线构成；也有数据线和地址线复用。
- ◇ **数据线**用来承载在源部件和目的部件之间传输的信息，这个信息可能是数据、命令、或地址（数据线和地址线复用时）。如写磁盘。
- ◇ **地址线**用来给出源数据或目的数据所在的主存单元或I/O端口的地址。
- ◇ **控制线**用来控制对数据线和地址线的访问和使用；控制线用来传输定时信号和命令信息。

◇ 典型的控制信号包括：

- 时钟 (**Clock**)
- 复位 (**Reset**)
- 总线请求 (**Bus Request**)
- 总线允许 (**Bus Grant**)
- 中断请求 (**Interrupt Request**)
- 中断回答 (**Interrupt Acknowledge**)

- 存储器读 (**Memory Read**)
- 存储器写 (**Memory Write**)
- I/O读 (**I/O Read**)
- I/O写 (**I/O Write**)
- 传输确认 (**Transfer ACK**)

8.2 总线控制

- 总线控制目的：协调连接在共享总线上各个模块之间的工作；实现模块和模块之间的信息交换；
- 总线控制包括**总线仲裁**和**总线定时**方式。

8.2.1 总线操作步骤与类型

- ◆ 在总线上一对设备之间的一次信息交换过程为一个“**总线事务**”；
 - 把发出事务请求部件称为**主控设备**，也称请求代理；
 - 另一个部件称为**从设备**，也称响应代理。

◆ 一个总线事务的4个阶段：

① 总线请求和仲裁阶段；

② 寻址阶段；

③ 数据传送阶段；

④ 结束阶段。

◆ Pentium Pro**处理器总线**的事务类型有以下11种。

- **延迟回答**：以“分离事务”方式来处理该事务。
- **中断响应**：响应从8259 送来的中断请求。
- **特殊事务**：处理器要广播一条与某个内部事件有关的消息（如：halt）。

- **分支跟踪消息**：送出转移指令的地址和转移到的目标指令的地址。
- **I/O读**：处理器执行IN或INS指令。
- **I/O写**：处理器执行OUT或OUTS指令。
- **存储器读并无效**：对一个Cache行进行独占访问。
- **存储器代码读**：存储器中取指令。
- **存储器数据读**：从存储器中取数据。

- **存储器写**（不可重试）：处理器要写回一个更新的Cache行到存储器。
- **存储器写**（可重试）：写数据到存储器。
- ◆ **Pentium Pro**处理器每个总线事务包含五个操作阶段
 - 1) 请求阶段（地址阶段）
 - 2) 检错阶段（奇偶校验）
 - 3) 侦听阶段（Cache中的命中状态）
 - 4) 响应阶段（确定如何响应当前事务）
 - 5) 数据阶段（取数据）

8.2.2 总线裁决

- ◆ 从对总线有无控制能力上看，分**主控设备和从设备**。
- ◆ 系统可以只有一个总线主控设备（处理器），也可采用多个总线主控设备。

◆ 决定哪个总线主控设备将在下次得到总线使用权的过程称为**总线裁决**。

- 两类总线裁决方式：**集中式和分布式**

- **集中式裁决方式**：使用总线控制器；

- **分布式裁决方式**：控制逻辑分散在各个部件或设备中。

- 裁决方案：

一是“等级性”，具有**最高优先级的设备先被服务**；

二是“公平性”，即使具有最低优先权的设备也不能永远得不到总线使用权。

1. 集中裁决方式（3种）

(1) 菊花链查询方式

- ▲ 优先级由主控设备在总线上的位置来决定。

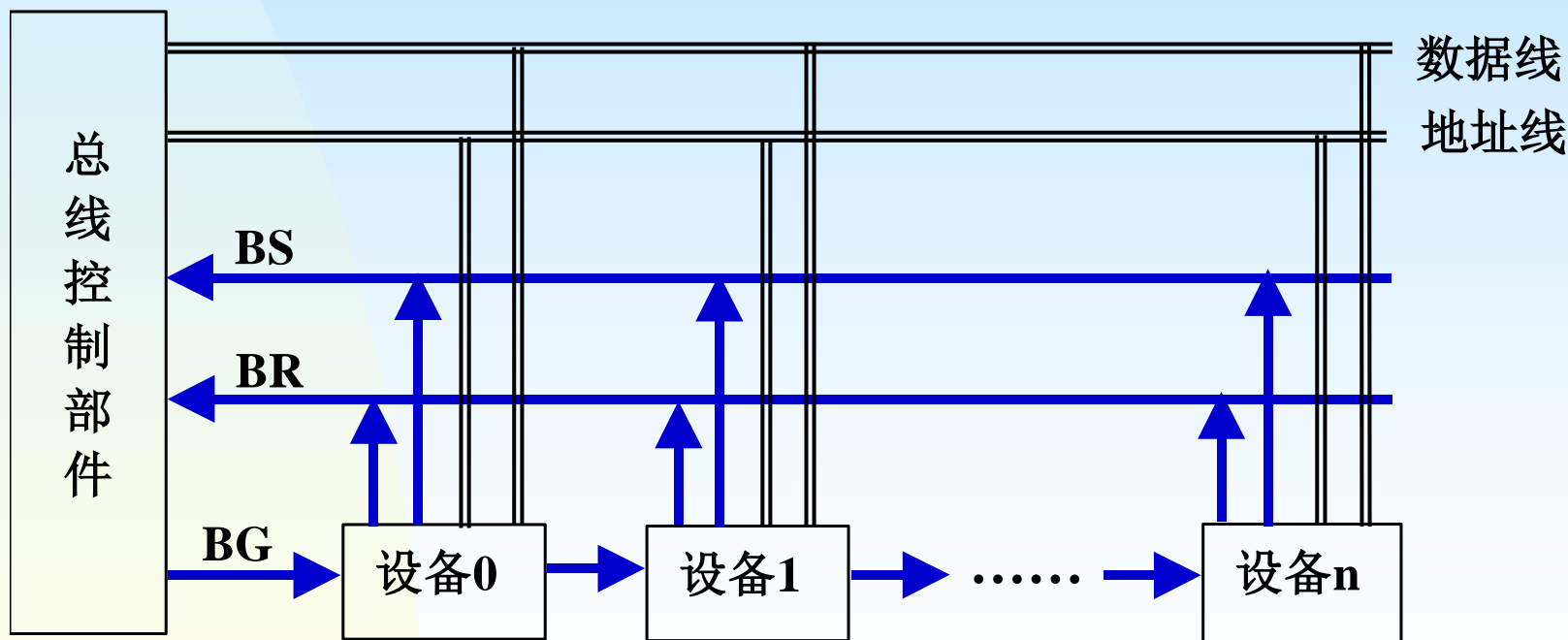


图8.1 菊花链查询方式

- ▲ 菊花链总线的优点是简单，只需很少几根线就能按一定优先次序实现总线裁决，且易扩充设备。
- ▲ 缺点是**不能保证公正性**，一个低优先级请求可能永远得不到允许；
 - **对电路故障较敏感**，一个设备的故障会影响到后面设备的操作；
 - 菊花链的使用也**限制了总线速度**。

(2) 计数器定时查询方式

- ▲ 此方案比菊花链查询方式多了一组设备线，少了一根总线允许线BG。

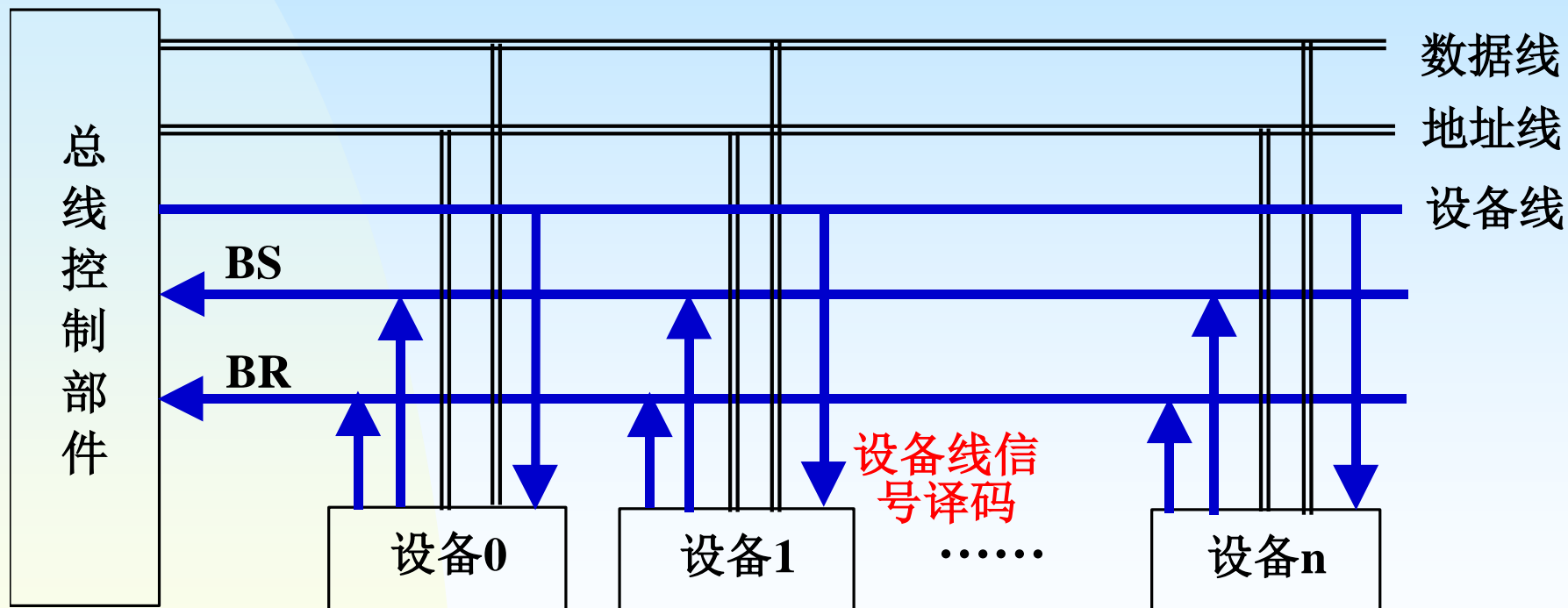


图 8.2 计数器定时查询方式

- ▲ 总线请求的设备号与计数值一致时，该设备便获得总线使用权，终止计数查询，同时建立BS信号。
- ▲ 设置不同的计数初始值来改变设备的优先级
 - 计数总是从0开始，此时设备优先次序是固定的；
 - 计数的初值总是上次得到控制权设备的设备号，是循环优先级方式。
- ▲ 计数器定时查询方式具有灵活的优先级，对电路故障也不如菊花链查询那样敏感。
 - 要求每个设备要对设备线的信号进行译码处理。

(3) 独立请求方式

- ▲ 这种方案使用一个**中心裁决器**从请求总线的一组设备中选择一个。

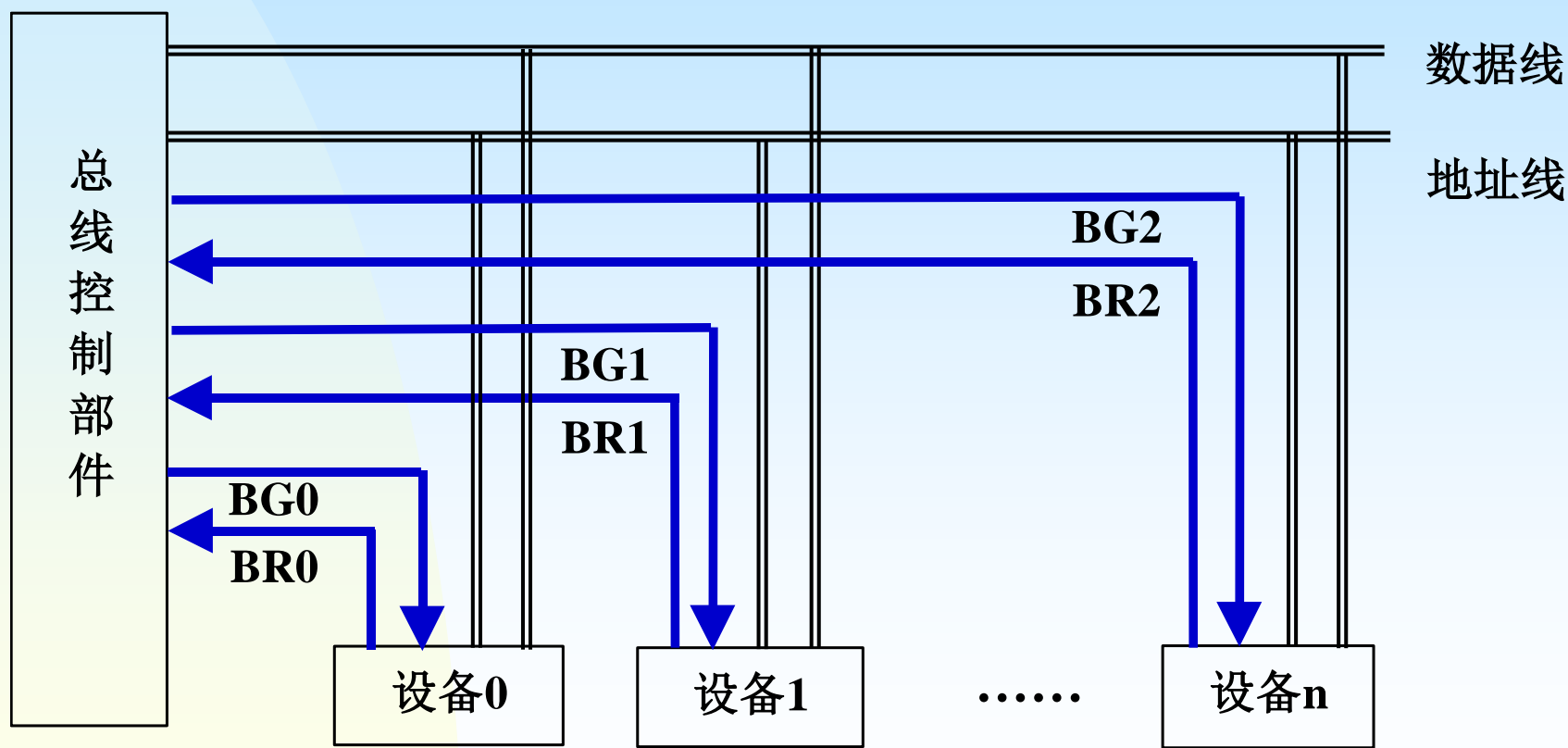


图8.3 独立请求方式

▲ 总线控制器可设置可编程的优先级。

- **裁决算法**由硬件来实现，可采用各种优先级算法（如：最近最少用算法、先来先服务算法）等。

▲ 这种方法的优缺点：

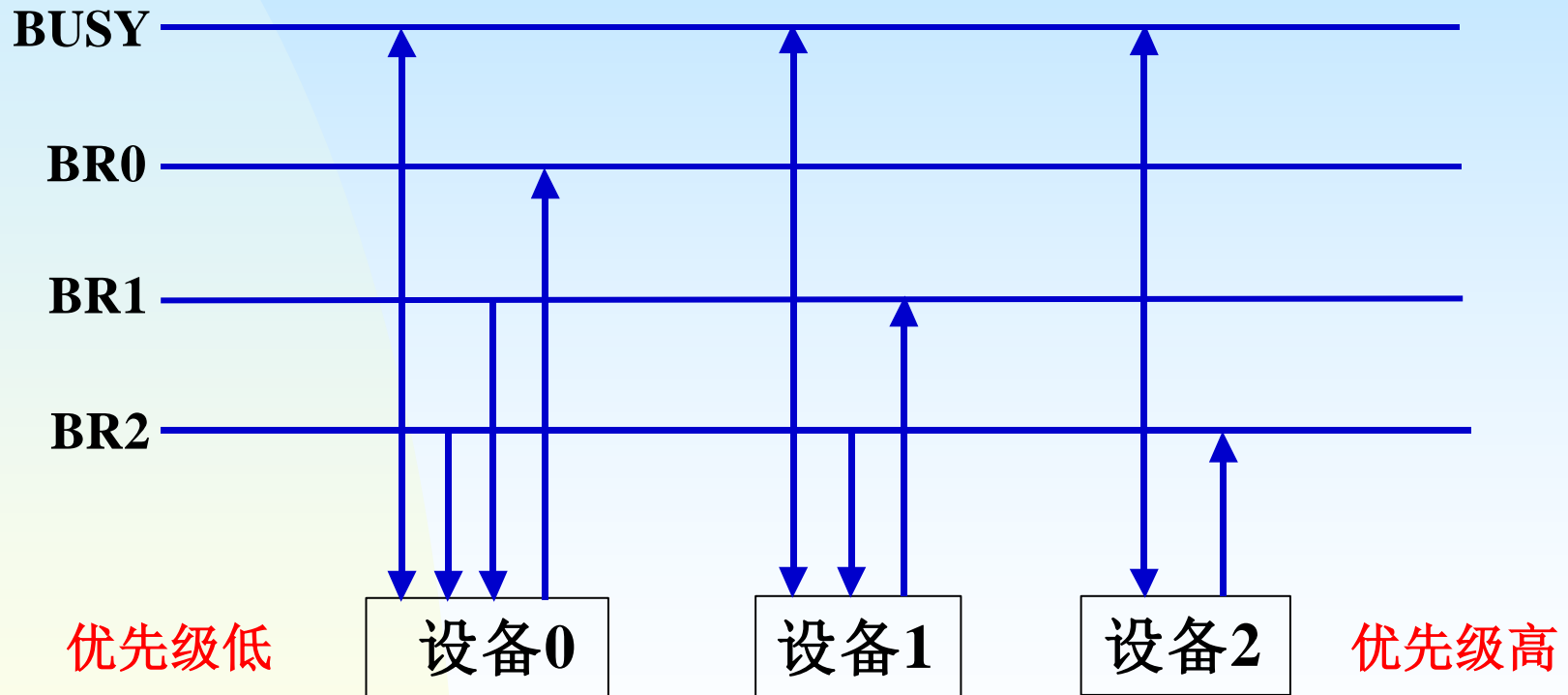
- 响应速度快，优先级设置灵活。
- 控制逻辑很复杂，控制线数量多。

▲ 若 n 表示允许挂接的最大设备数，三种裁决方式所需裁决线分别为： 2 根、 $\log_2 n$ 根、 $2n$ 根。

2. 分布式裁决方式（3种）

(1) 自举分布式裁决

- ▲ 使用多个请求线，**不需要中心裁决器**，每个设备独立地决定自己是否是最高优先级请求者。



- SCSI总线也采用该方案。

(2) 冲突检测分布式裁决

- ▲ 多个同时使用总线的设备会产生冲突，按照某种策略在冲突的各方选择一个设备。
- ▲ 这种方案一般用在网络通信总线上。

(3) 并行竞争分布式裁决

- ▲ 需要使用总线的主控设备把自己的仲裁号发送到仲裁线上，每个设备根据并行竞争算法决定在一定时间以后占用总线还是撤销仲裁号。

▲ 图6.4是总线中有 8 根仲裁线AB0~AB7例子

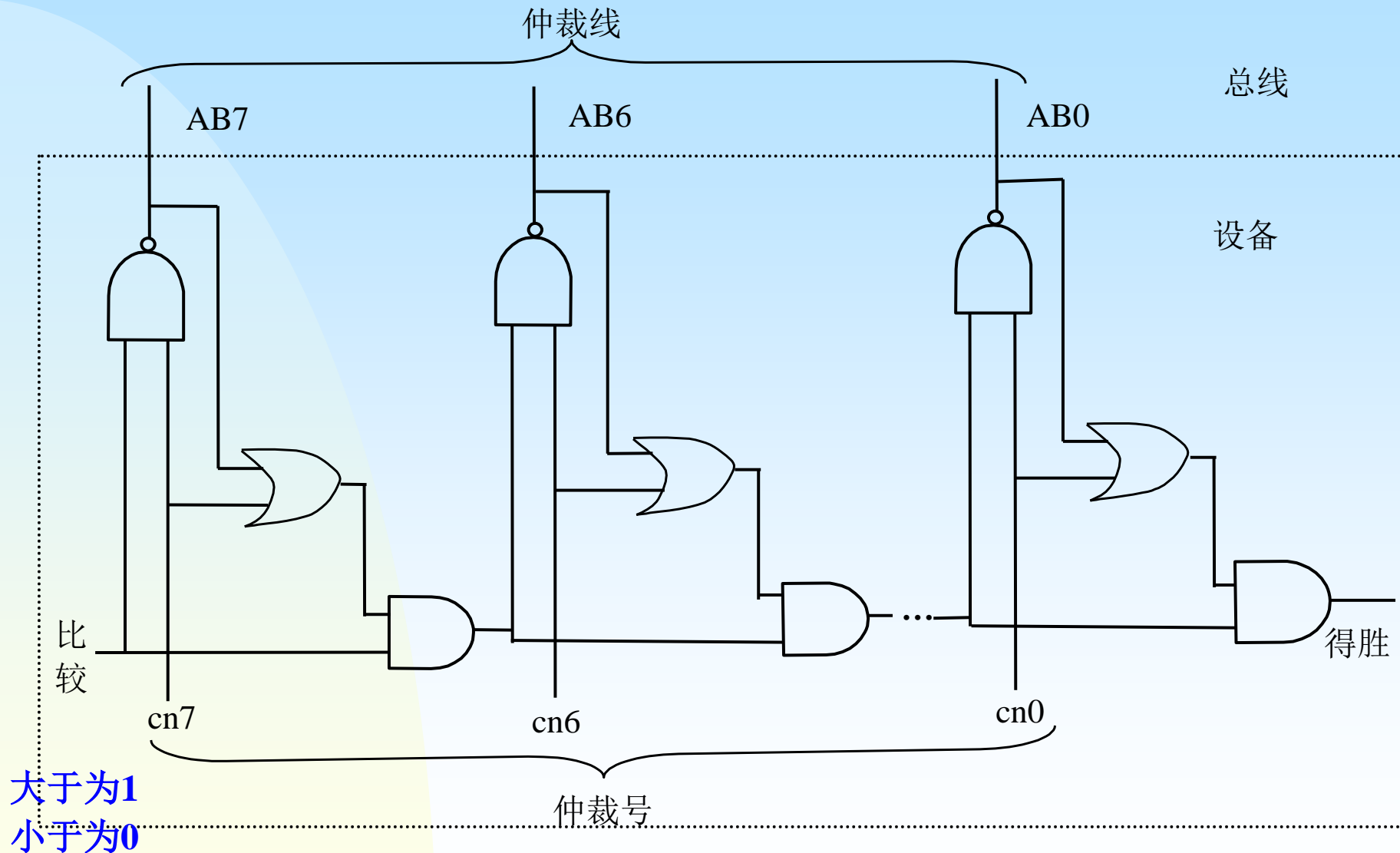


图8.4 并行竞争分布式裁决



两设备同时要求使用总线，仲裁号分别是00000101和00001010；最终留在仲裁线上的号为00001010。

裁决号1		裁决号2		裁决线电平	裁决线逻辑
cn	AB	cn	AB		
0	高	0	高	高	0
0	高	0	高	高	0
0	高	0	高	高	0
0	高	0	高	高	0
0	高	1	低	低	1
1	高	0	高	高	0
0	高	1	低	低	1
1	高	0	高	高	0

表8.1 并行竞争裁决逻辑举例分析结果

- ▲ 并行竞争方式可用很少的裁决线挂接大量的设备。
 - 例如，假定是 8 位仲裁号，自举分布式裁决只能表示8个优先级；
 - 并行竞争方式可表示256个优先级。
- ▲ 选择不同裁决方案的因素包括：
 - 考虑总线上I/O设备的数量和总线长度的可扩充性；
 - 总线裁决应该多快；
 - 需要什么程度的公正性等。

8.2.3 定时方式

- ◆ **定时问题：** 如何来定义总线事务中的每一步**何时开始、何时结束**。
- ◆ 总线通信的定时方式有四种：
 - 同步协议
 - 异步协议
 - 半同步协议
 - 分离事务协议

1. 同步协议方式

- ▲ 控制线中有一个**时钟信号线**，挂接在总线上的所有设备都从时钟线上获得**定时信号**。
- 时钟信号线定义了等间隔的时间段，这个**固定时间段**为一个时钟周期，也称一个**总线周期**。

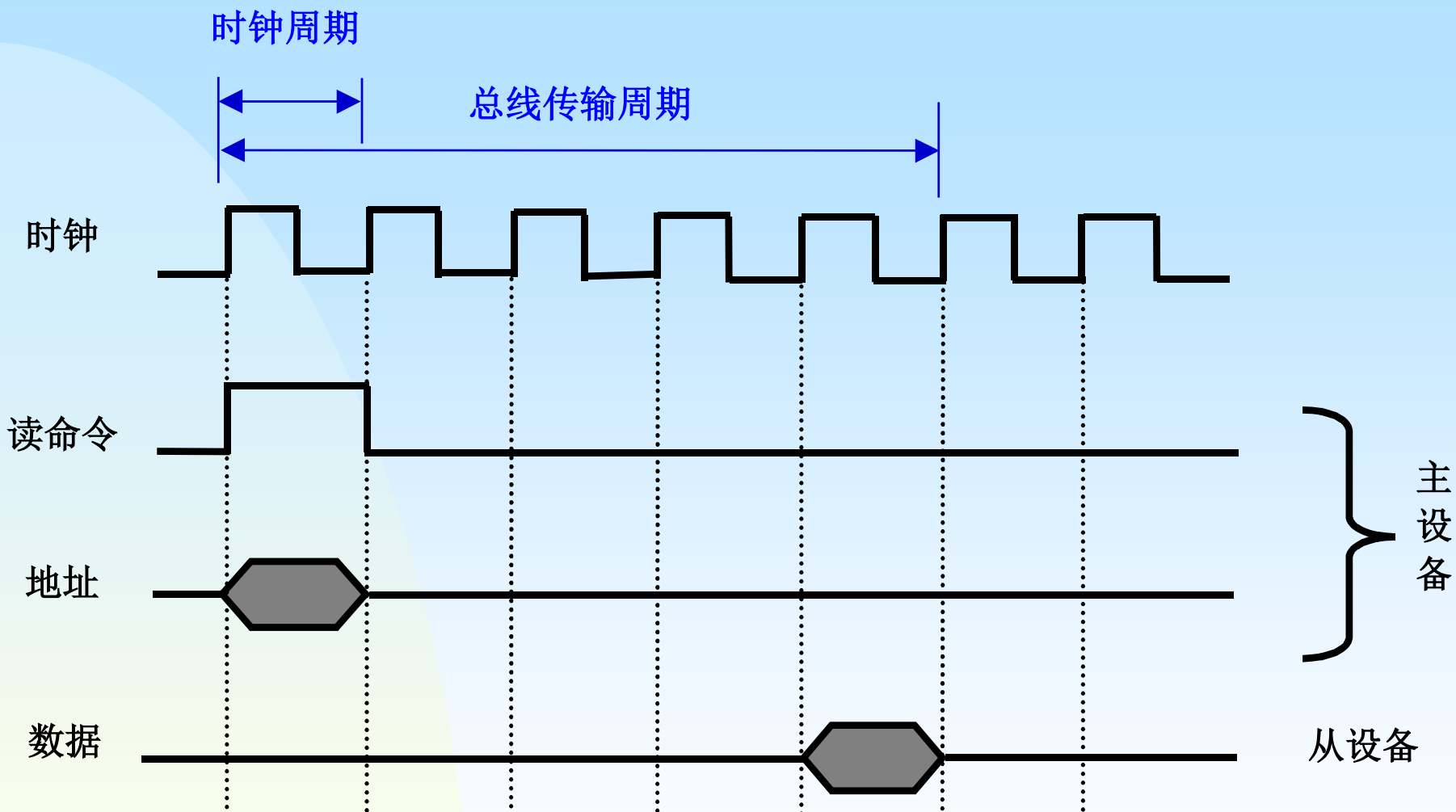


图8.5 同步通信协议（读操作）

- ▲ 同步通信协议是预先确定的，涉及到非常少的逻辑，所以这种总线非常快。
- ▲ 同步总线有两个缺点：
 - 第一，在总线上的每个设备必须以同样的时钟速率进行工作；
 - 第二，存在时钟偏移问题，同步总线如要快的话，就不能很长。
- ▲ 处理器-主存总线一般都是同步的，因为通信的设备靠得很近，而且数量又少。

2. 异步协议方式

- ▲ 异步总线是非时钟定时，能够连接带宽范围很大的各种设备。总线能够加长而不用担心时钟偏移或同步问题。
- ▲ 异步总线必须使用握手协议。
 - 协议通过一组附加的控制线来实现；
 - 握手协议由一系列步骤组成，只有当双方都同意时，发送者或接收者才会进入到下一步。

▲ 考虑一个设备请求从存储器中读一个字。

(1) **ReadReq** (读请求): 指示一个读请求;

(2) **Ready**(数据就绪): 用于指示数据字已在数据线上准备好。

- 由存储器驱动有效或 I/O设备驱动有效。

(3) **Ack** (回答): 用于回答另一方送过来的**ReadReq**或**Ready**信号。

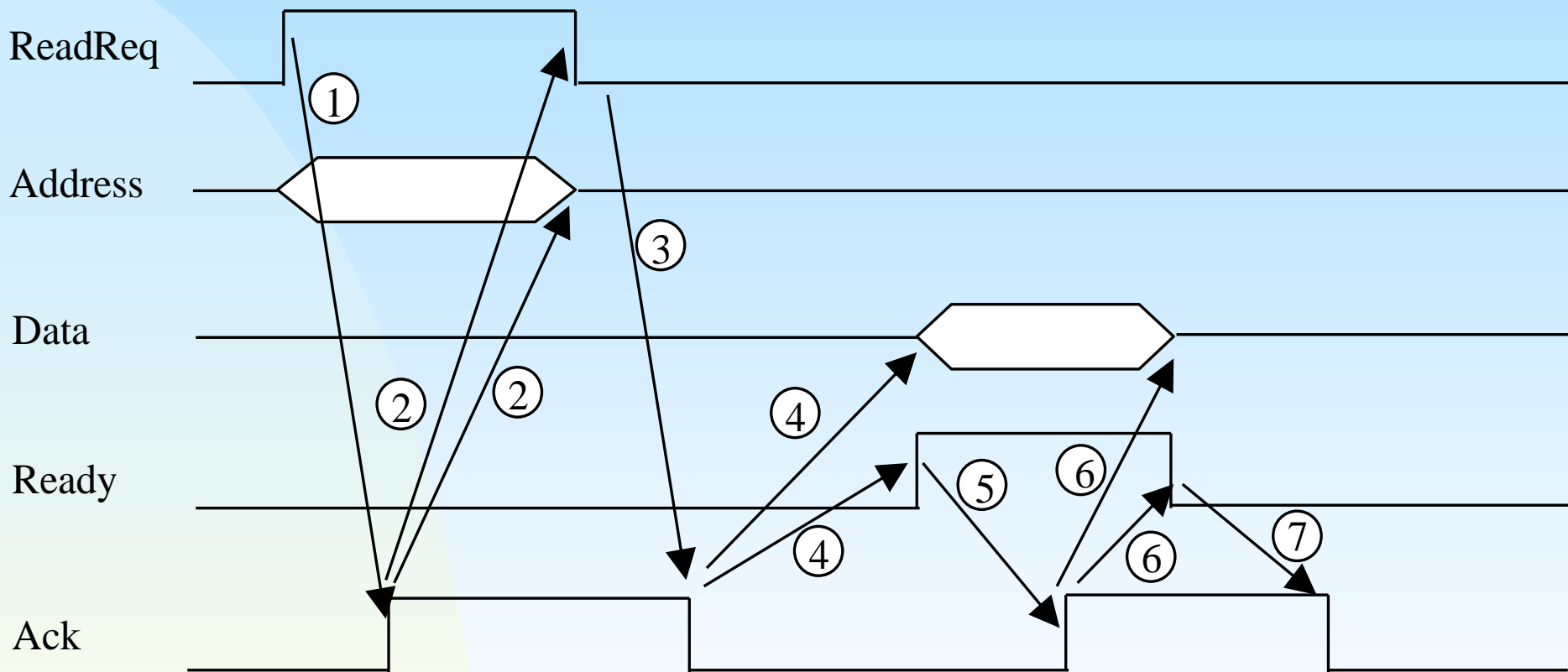


图8.6 异步通信协议

▲ 异步通信有非互锁、半互锁和全互锁三种可能的方式。

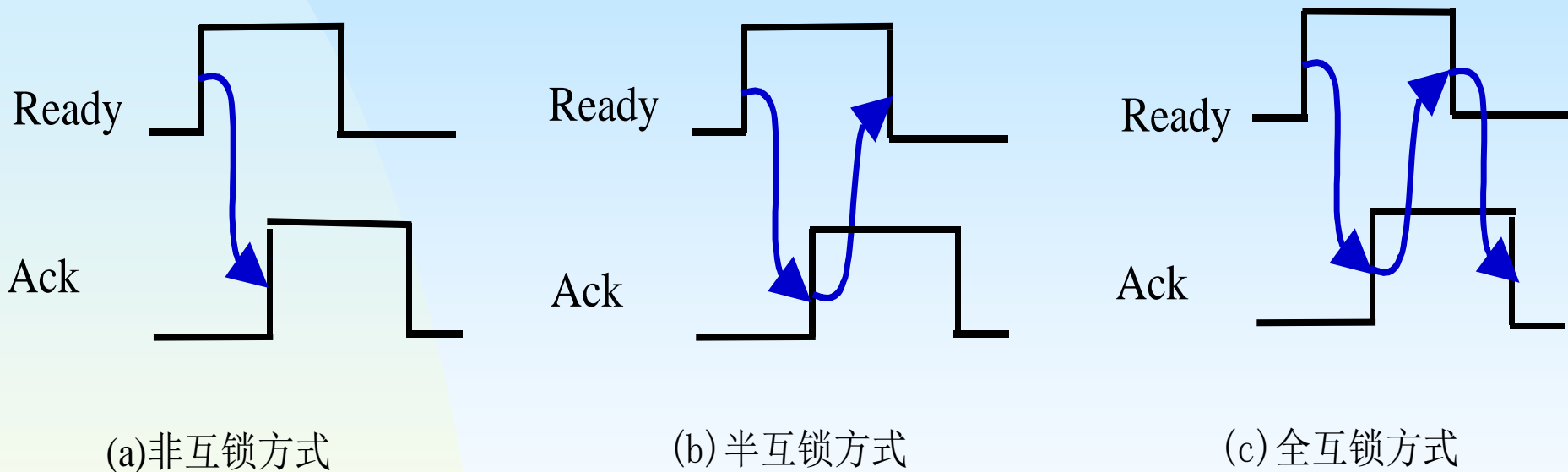


图8.7 异步通信的三种互锁方式

3. 半同步协议方式

所有事件都由时钟定时，而信息的交换由就绪和应答等信号控制称**半同步通信方式**。

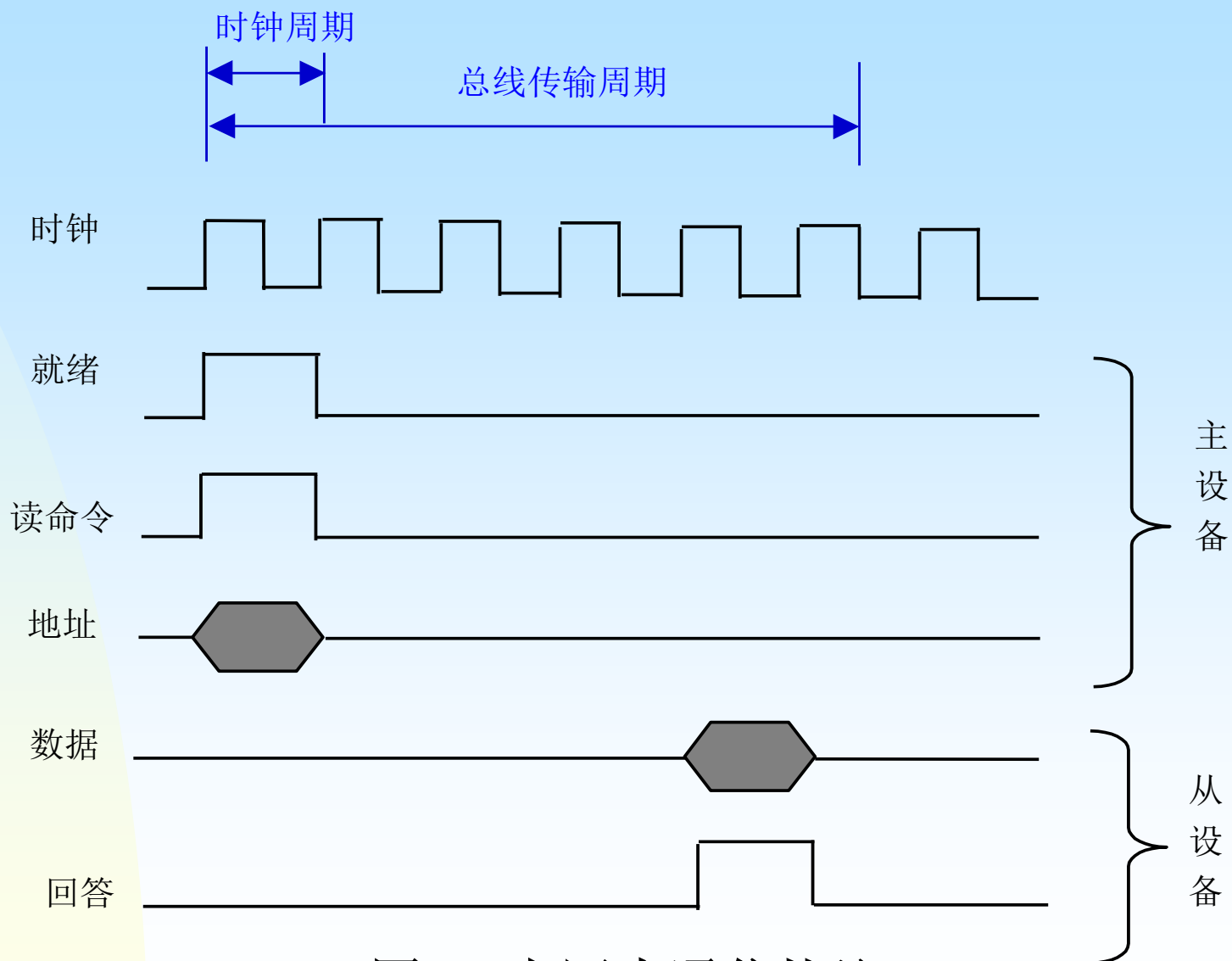


图8.8 半同步通信协议

4. 分离事务协议方式

- ▲ 有多个总线主控设备在总线上存在时，不需要使用总线时立即释放总线，做数据准备等非总线数据传输的操作。
- 将一个传输操作事务过程分成两个子过程。

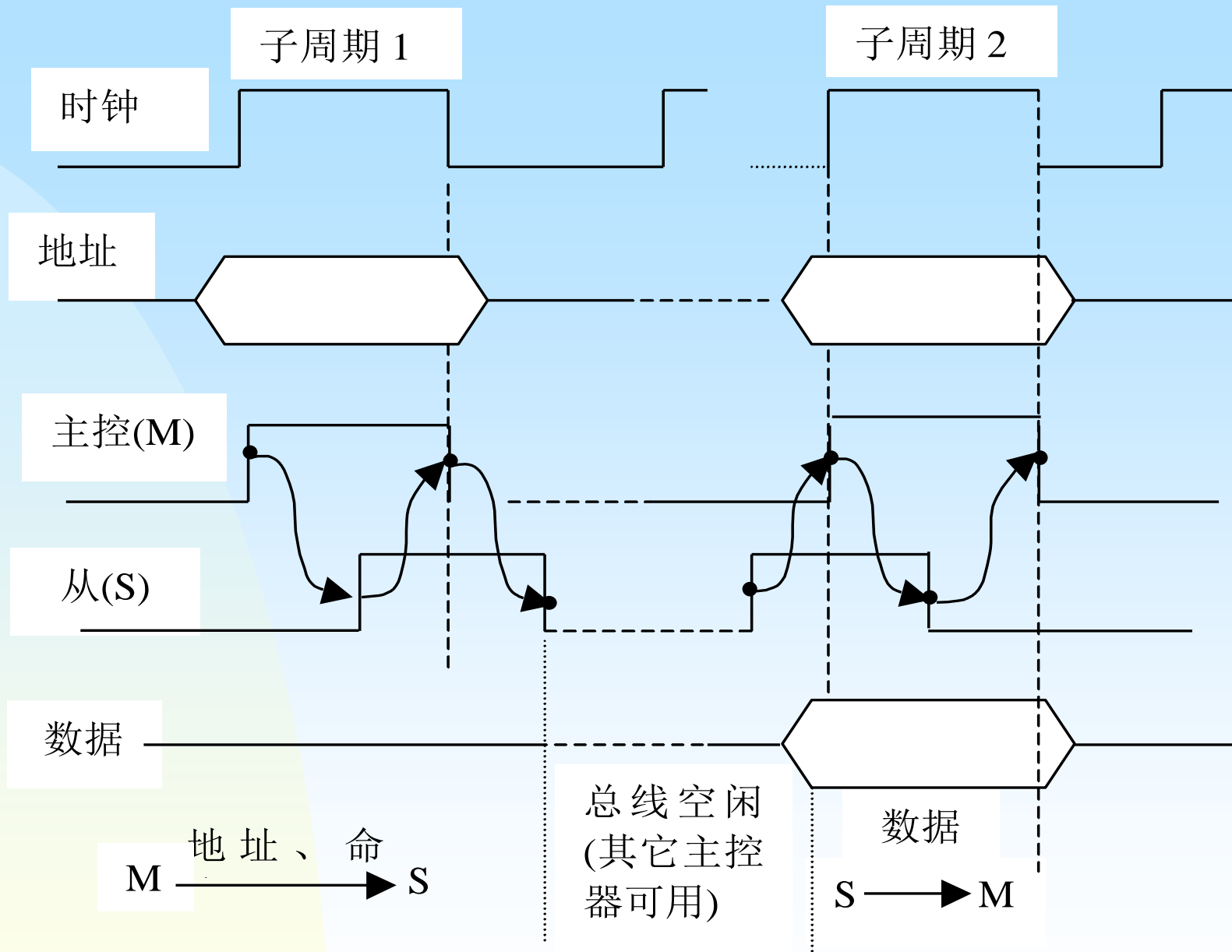


图8.9 分离事务通信协议

▲ 分离通信方式的优点：

- 可改进整个系统的总有效带宽。
- 从设备准备数据的过程相当复杂需要重叠多个事务时，效果更明显。
- 控制相当复杂，一般在大型计算机系统和高档微机系统中使用。

▲ 分离通信方式的不足：

- 使得完成一个事务的时间可能会增加；
- 请求者的身份必须被传送并被从设备保存。

5. 同步和异步的性能比较

▲ 同步总线通常比异步总线要快。

▲ 举例：比较同步和异步总线的最大带宽。

- 假定同步总线的时钟周期为50ns，每次总线传输花1个时钟周期；异步总线每次握手需要40ns，两种总线的数据都是32位宽，存储器的存储周期为200ns。要求求出从该存储器中读出一个字时两种总线的带宽。
- 同步总线具有50ns的总线周期，其所需的步骤和时间为：
 - (1) 发送地址和读命令到存储器：50ns
 - (2) 存储器读数据：200ns
 - (3) 传送数据到设备：50ns
- 总时间为300ns。最大总线带宽为4B/300ns，
即：13.3MB/s。

- 异步总线所需的步骤和时间为：（下图）

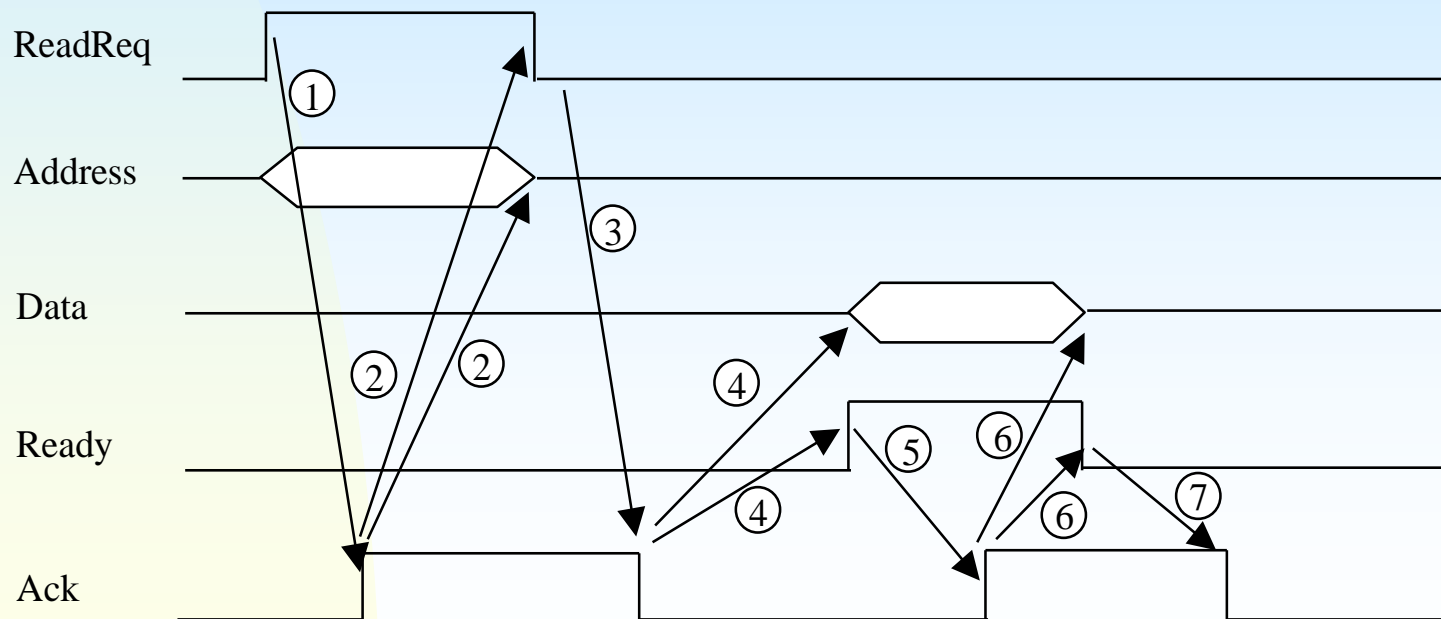
第①步为40ns；

第②、③、④步为 $\text{Max}(3 \times 40\text{ns}, 200\text{ns}) = 200\text{ns}$ ；

第⑤、⑥、⑦步为 $3 \times 40\text{ns} = 120\text{ns}$ 。

总时间为360ns。故产生的最大带宽为 $4\text{B}/360\text{ns} = 11.1\text{MB/s}$ 。

- 同步总线仅比异步快大约20%。



▲ 在同步和异步之间进行选择时，要考虑的不仅是数据带宽，而且要考虑I/O系统的能力。

- 包括可以连到总线上的设备的个数与总线的物理距离；
- 异步总线能更好地适应技术的改变，并能支持更大范围内的响应速度；
- 尽管异步总线增加了开销，但I/O总线大都采用异步通信。

8.2.4 总线数据传输模式

- 读、写操作：所有总线都支持这两种操作。
- 块传送操作：给出数据块的起始地址，然后对固定块长度的数据一个接一个地读入或写出。
- 写后读操作：地址期给出地址和命令后，进行数据写，然后紧接着将同地址下的数据读出来。

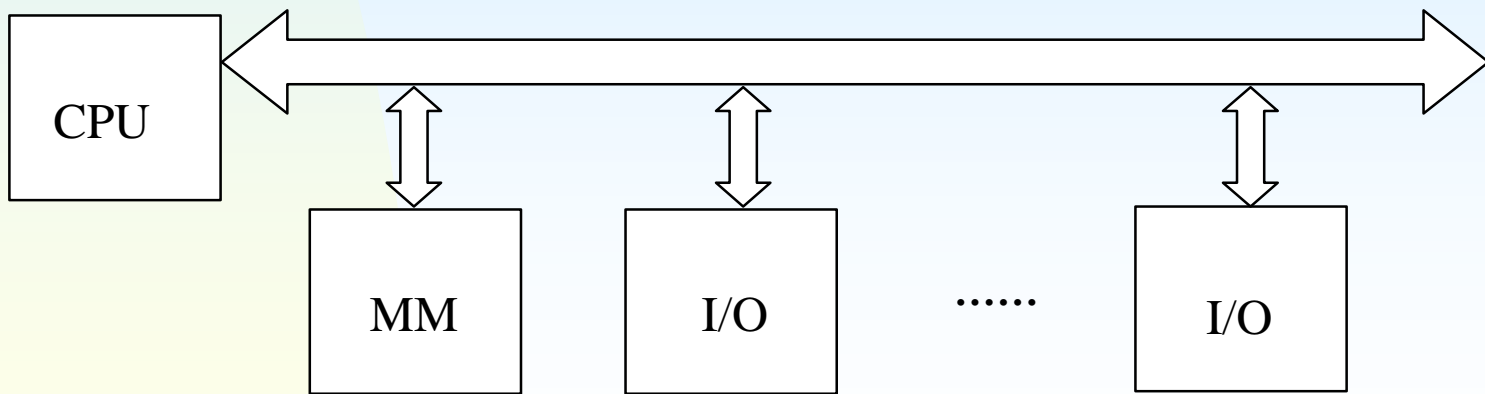
- 读—修改—写：地址期给出地址和命令后，进行数据读，然后紧接着修改该数据并马上将该数据写回到同地址下。
- 广播、广集操作：广播操作允许一个主控模块对多个从模块进行写操作；广集操作是将选定的多个从模块的数据在总线上完成AND或OR操作，用于检测多个中断源。

8. 3 总线结构

- 一个计算机系统中采用两个以上总线的情况就是多总线分层结构。

8.3.1 单总线结构

- ◆ 早期的计算机采用单总线结构方式。
 - 它将CPU、主存、I/O模块都挂接在一个总线上。



- ◆ 单一总线体系结构简单、便于扩充。
- ◆ 所有传送都共享一组总线，极易使总线成为整个系统的瓶颈。
 - 大量设备接到总线上后，性能就会急剧下降
 - 总线上挂接了大量的高速设备，单一总线就无法满足系统的要求。

8.3.2 双总线结构

- ◆ 在单总线的基础上再开辟一条CPU与主存之间的通路，形成以主存储器为中心的双总线结构。

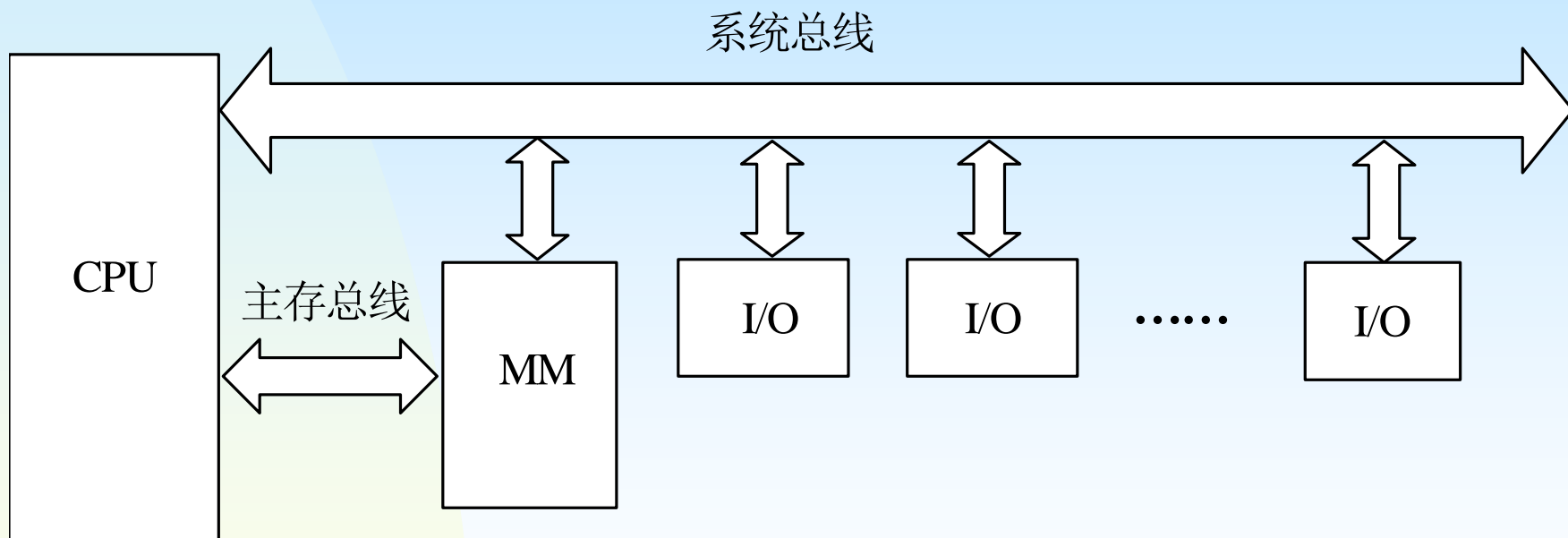


图8.10 以主存为中心的双总线结构

◆ CPU与主存间的通路称为主存总线

- 主存总线的速度较高，又减轻了系统总线的负担。
- 主存与I/O之间能直接传送，而不需通过CPU。

◆ 采用IOP方式的双总线结构

- 将I/O设备从单总线上分离出来，将原先的单总线分成主存总线和I/O总线。
- CPU、主存和输入/出处理器之间的信息传送在主存总线上进行；
- I/O设备与主机之间的信息交换通过I/O总线和主存总线进行。

- 用**输入/出处理器**有对各种I/O设备进行统一管理的功能。减轻了CPU参与I/O设备管理的负担。
- 将不同特性的外设分类挂接在输入/出处理器的不同通道上。

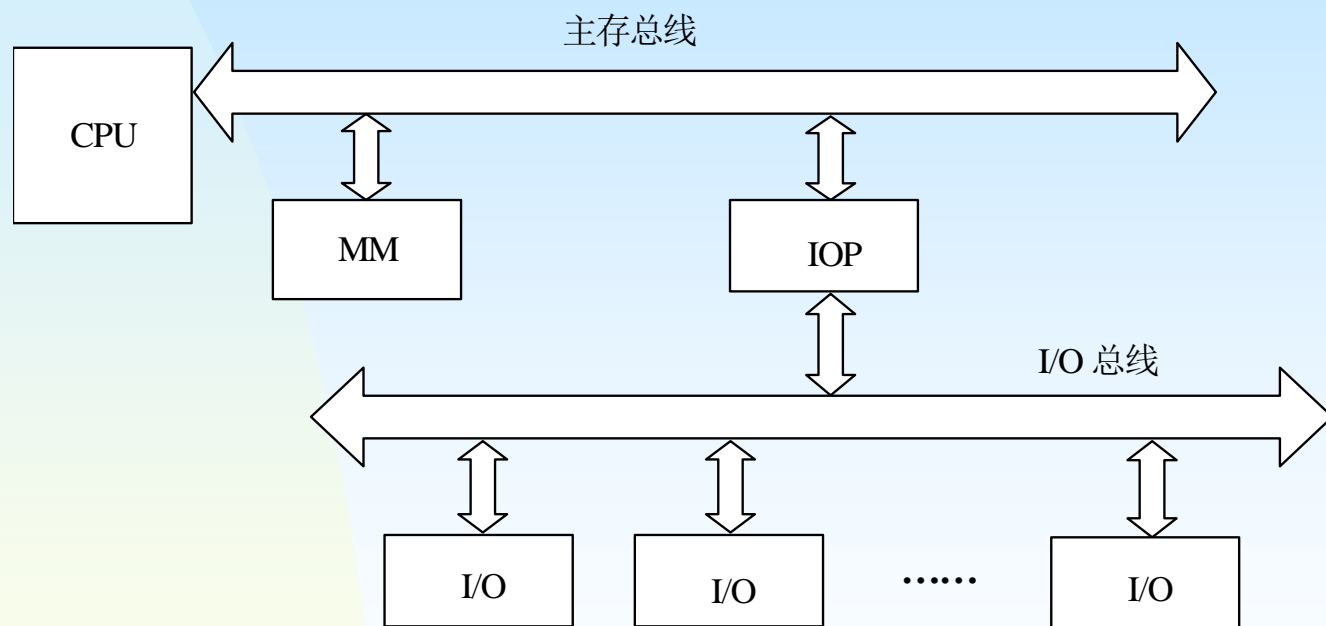
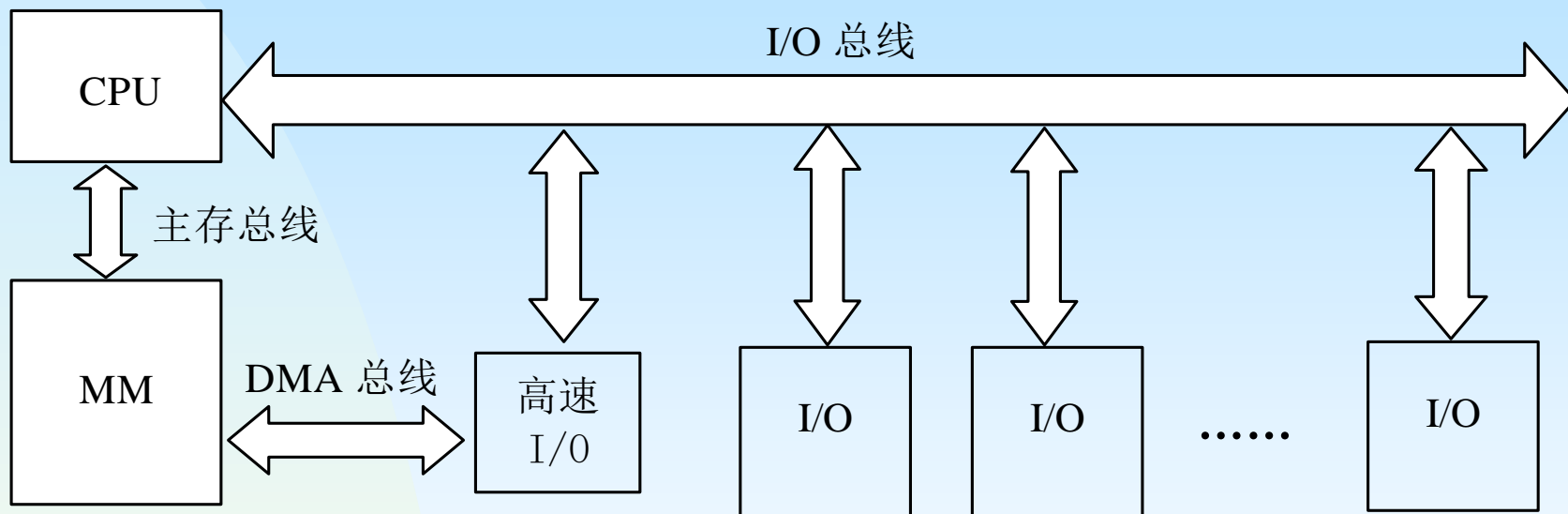


图8.11 采用IOP方式的双总线结构

8.3.3 三总线结构

- ◆ 在主存和高速的磁盘等设备之间引入一个**DMA总线**，构造一种三总线结构。



- 在三总线结构中，主存总线用于**CPU**和主存之间的信息传送；
- **I/O总线**用于**CPU**和各个**I/O**之间进行信息传输；
- **DMA总线**用于高速外设和主存之间的信息交换；
- **DMA总线**和主存总线不能同时用于访问主存。

- ◆ 传统的总线结构采用处理器-Cache总线、主存总线、I/O总线三级总线结构。

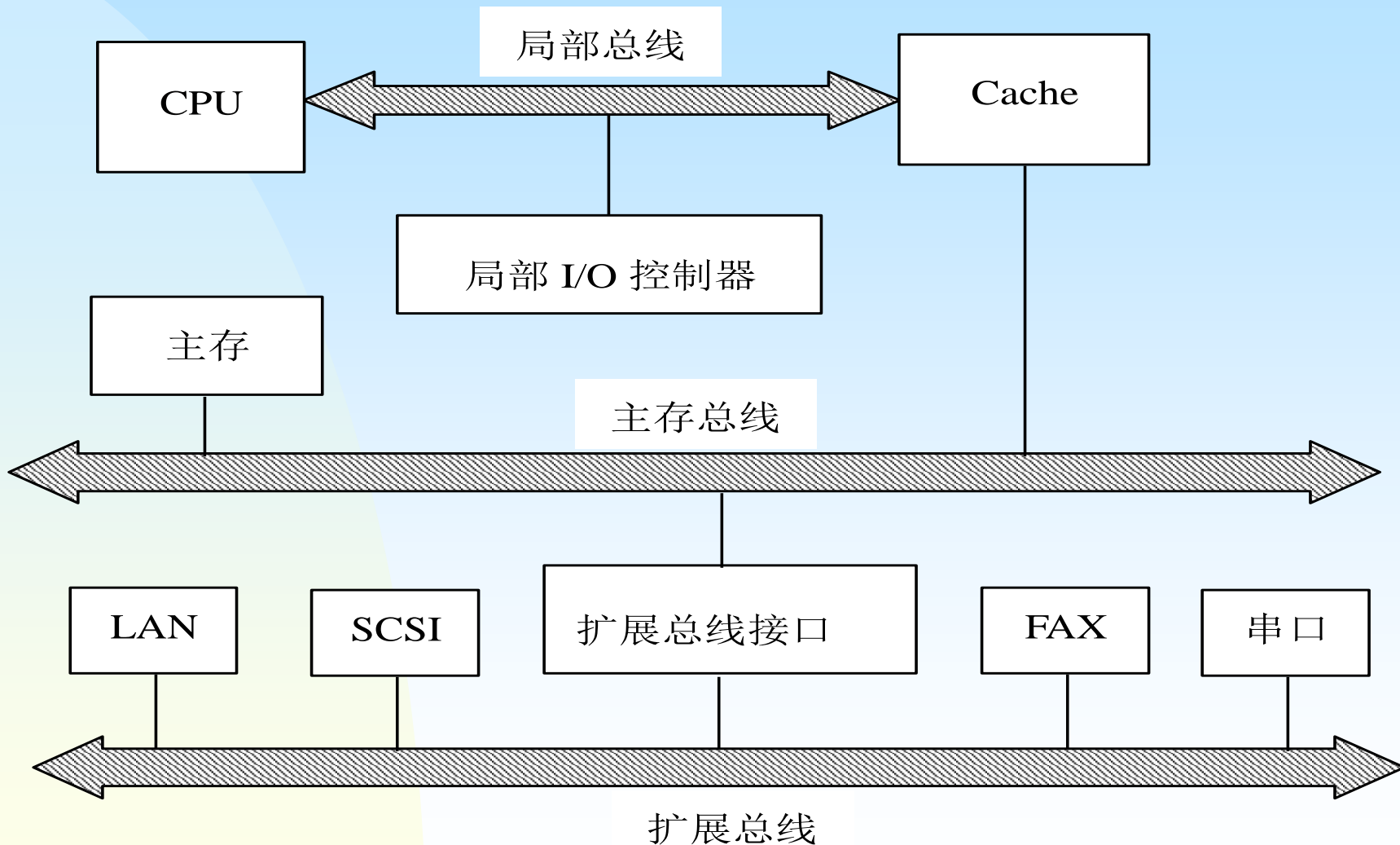


图8.12 传统的三级总线结构

◆ 高性能多级总线结构

- 将那些高速的大容量I/O设备挂接在这种高速总线上。而低速I/O设备仍然由扩充I/O总线支持。

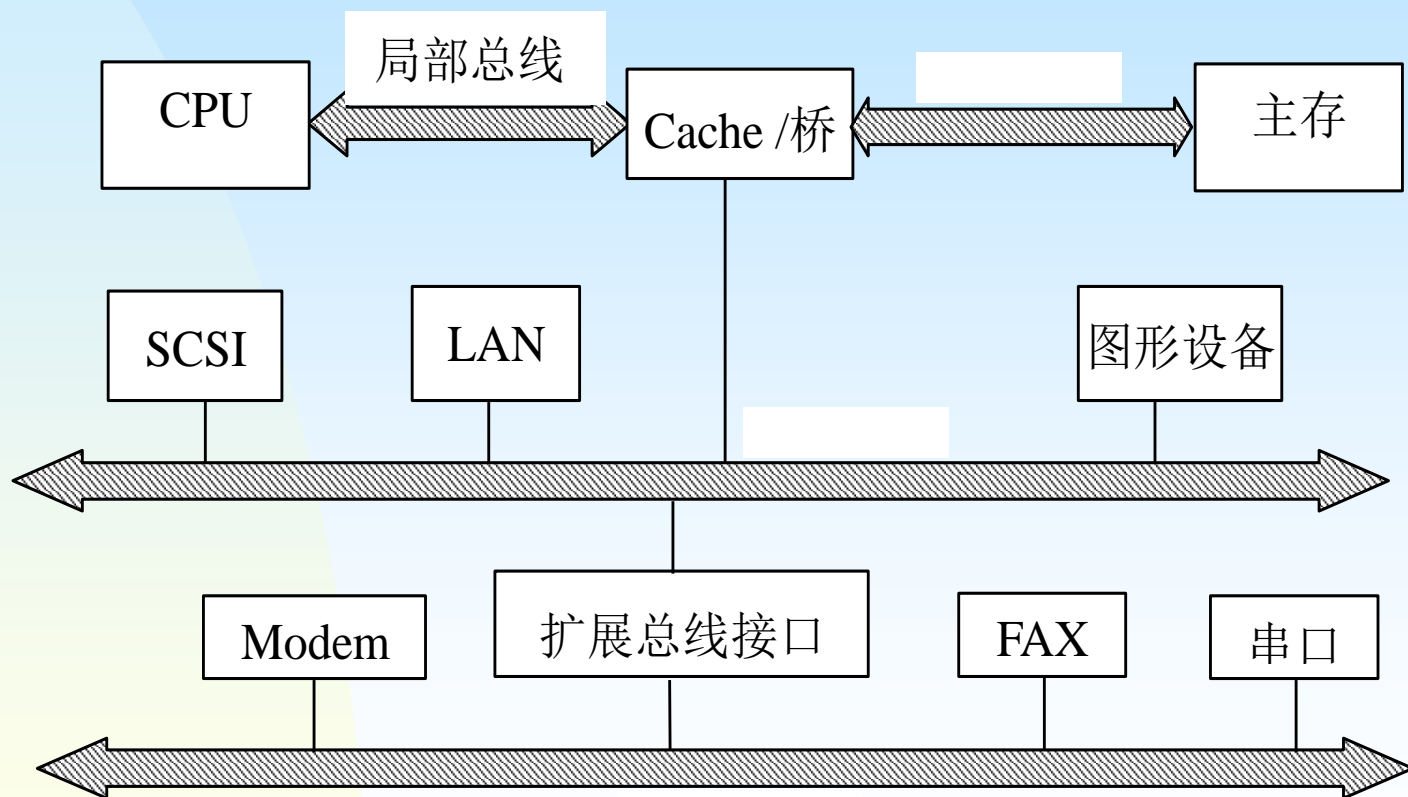


图8.13 高性能多级总线结构

8.3.4 多总线分级结构举例

- ◆ **Host/PCI桥（North Bridge）**，用于连接主处理器总线和第一级PCI总线。
- ◆ **PCI / E(ISA)桥（South Bridge）**，用于连接PCI总线和E(ISA)总线。南桥中通常含有中断控制器、IDE控制器、USB主控制器和DMA控制器。
- ◆ 北桥和南桥构成一个芯片组。在PCI总线和PCI总线之间可以嵌入一个或多个PCI/PCI桥。

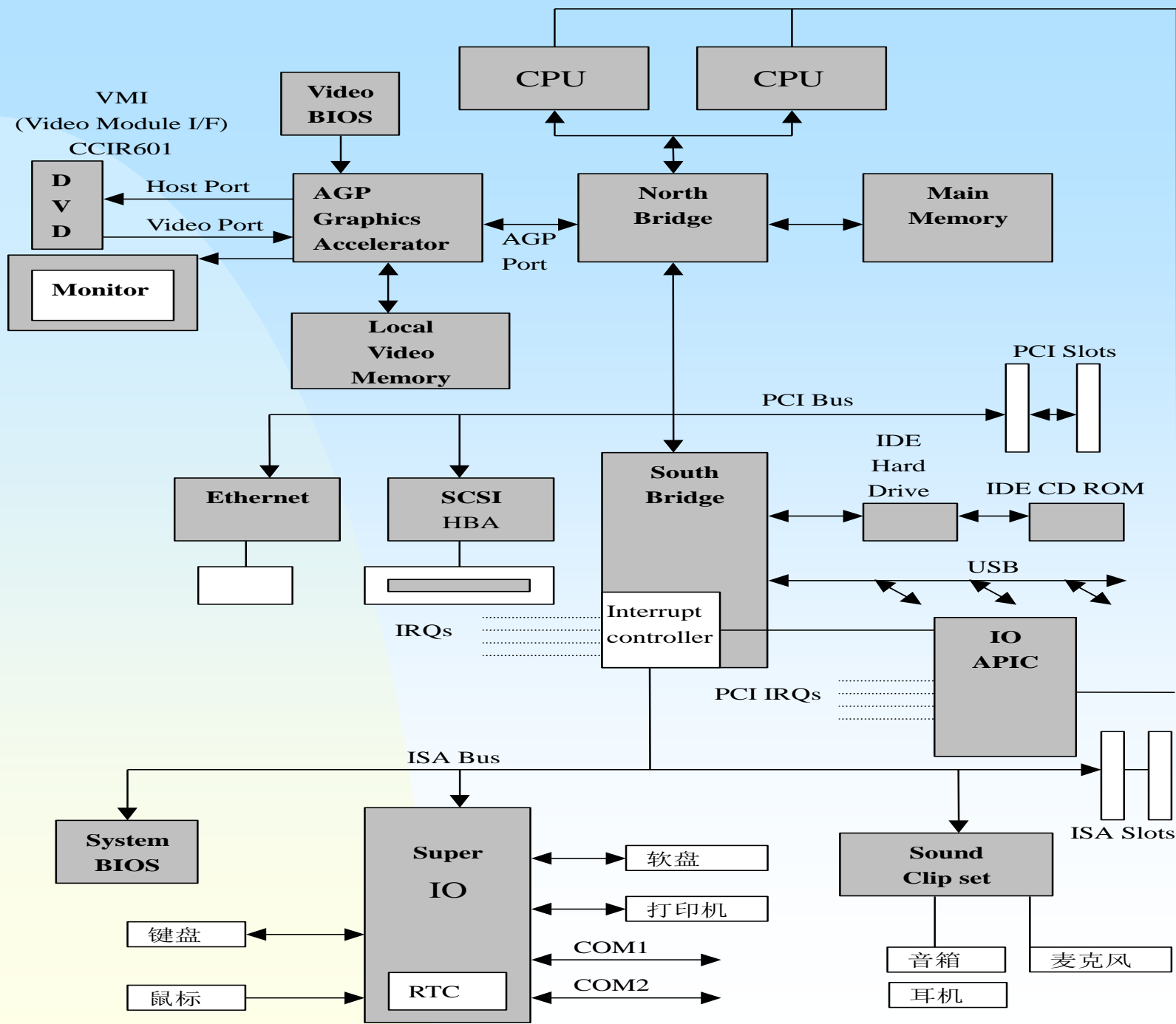


图 8.14 典型的多处理器系统的PCI配置

◆ 一种典型的多总线分级结构（Pentium Pro服务器系统体系结构框图）

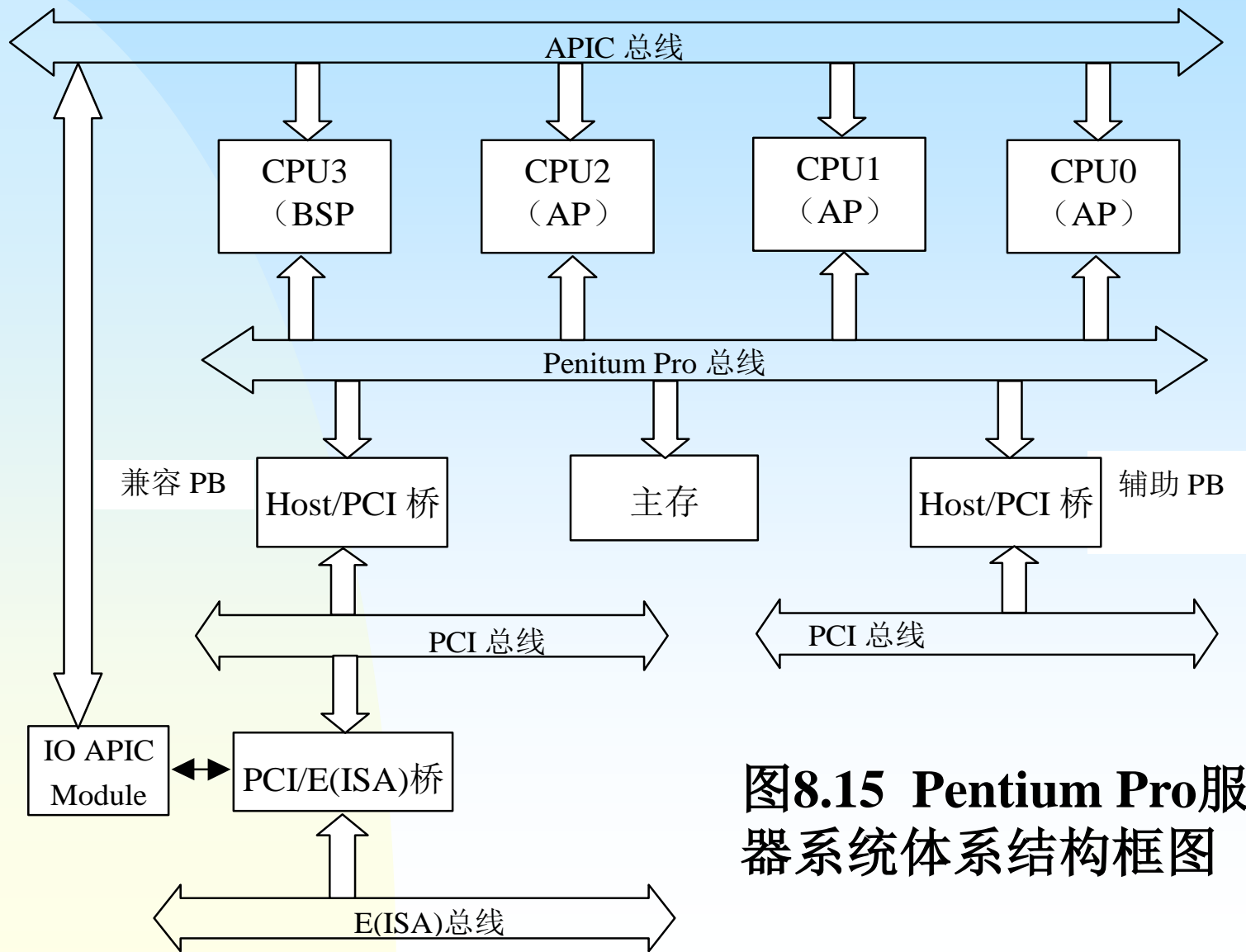
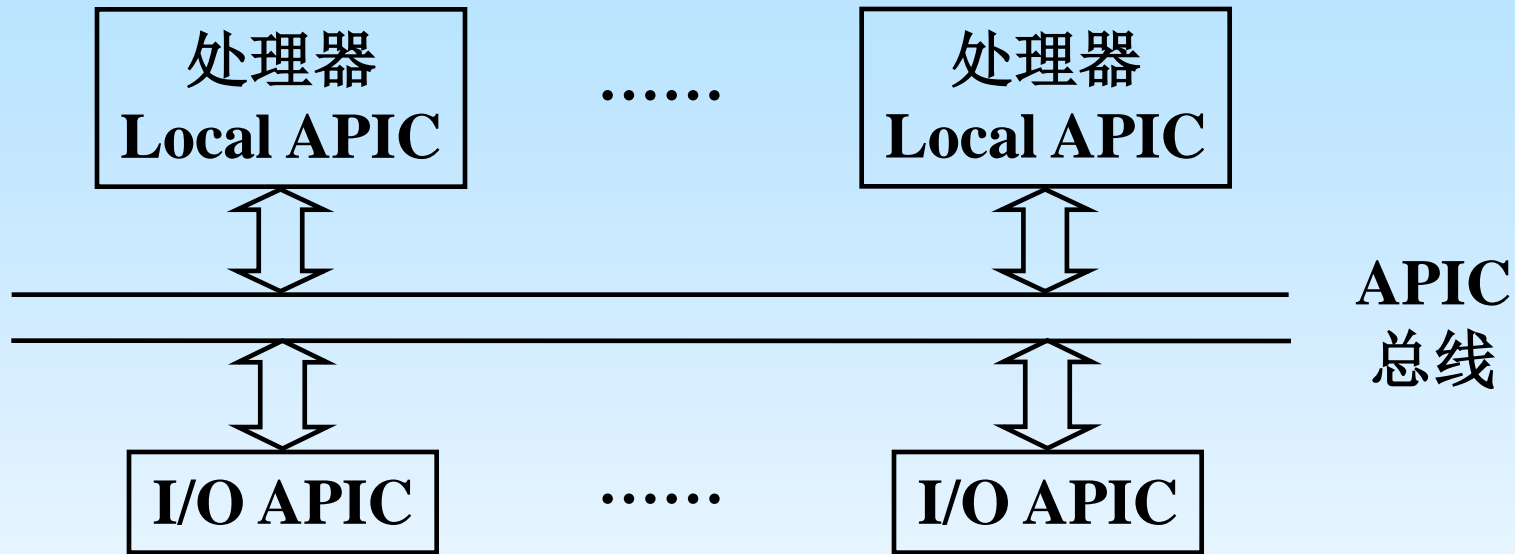


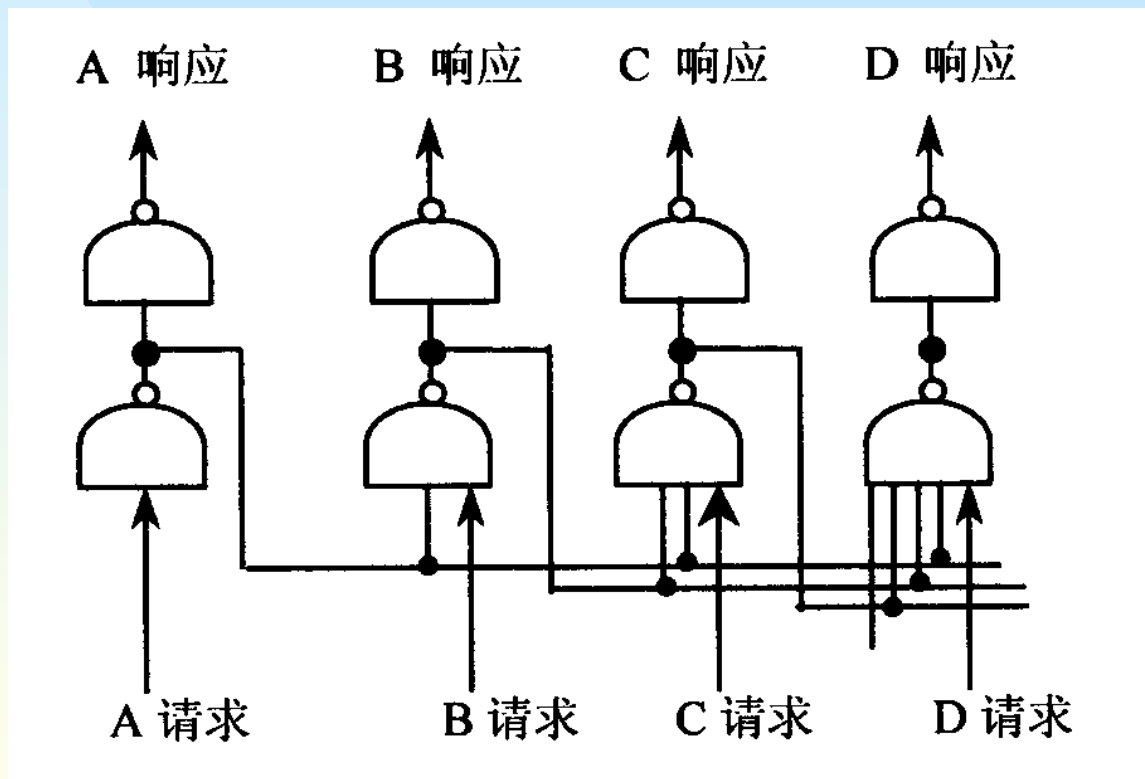
图8.15 Pentium Pro服务器系统体系结构框图

◆ 高级可编程中断控制子系统APIC



- APIC适合于多处理器系统，它能将一个中断分配到一个指定的处理器；保持与8259的兼容性。
- 以815EP芯片组为主要支持芯片的单处理器系统中，都是采用绕过方式。

例：有4个设备A、B、C、D，其优先权为 $A > B > C > D$ ，画出独立请求方式的排队电路。



8. 4 总线接口

- 协调各部件所产生信号的控制逻辑就是总线接口
 - 是挂接在总线上的部件与总线之间的连接界面；
 - CPU、存储器、I/O模块中都有与系统总线或其他I/O总线的接口。

8.4.1 信息传送方式

- ◆ 计算机总线中，数据传送有串行传输和并行传输。

1. 串行传输

- ▲ 串行总线的数据在数据线上按位进行传送，只需一根数据线，线路成本低，适合远距离的数据传输。
- ▲ 使用串行通信总线连接慢速设备，象键盘、鼠标和终端设备等。

▲ 串行传输中的数据转换

- 发送部件中并行数据到串行数据的转换，称为**拆卸**；
- 接收部件中串行数据转换成并行数据，称为**装配**。

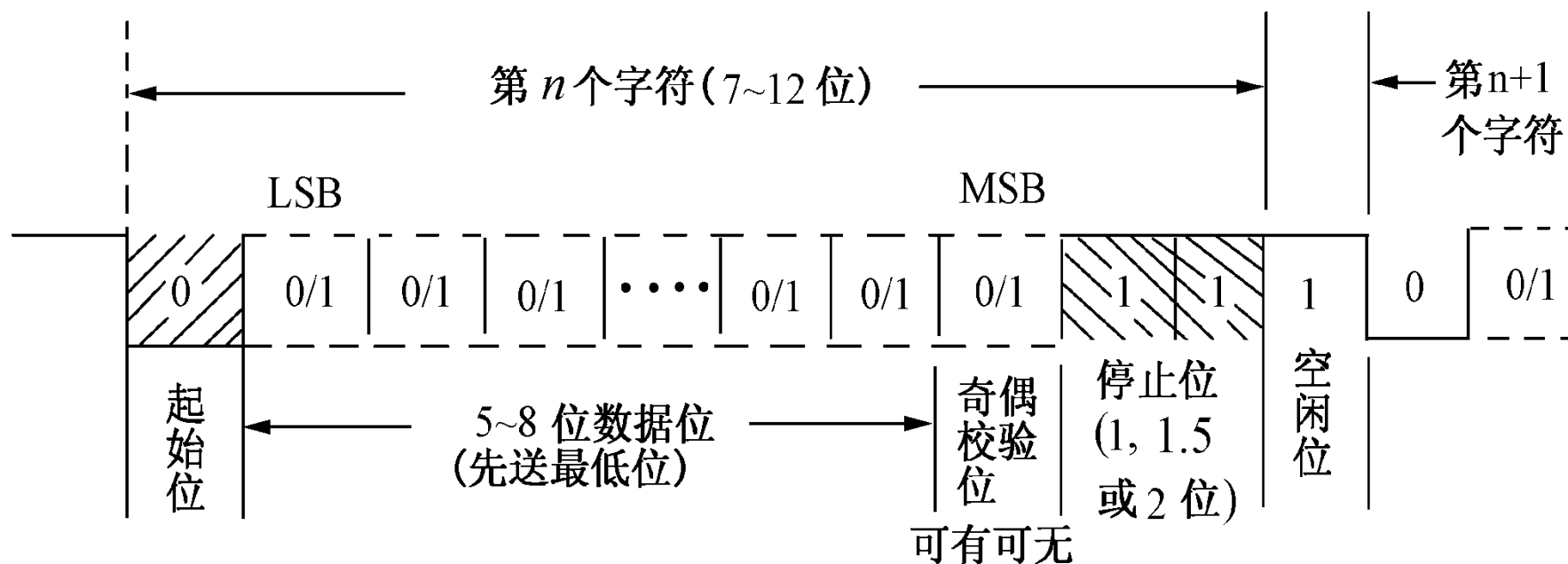
▲ 串行传输中的数据传输速率

- 在信息传输通道中，携带数据信息的信号单元叫**码元**；
- **波特率**：每秒钟通过信道传输的码元数。
- 每秒钟通过信道传输的信息量称为位传输速率，简称**比特率**。
- 波特率一般大于或等于比特率。

- ▲ 串行传输方式有**同步传输方式**和**异步传输方式**两种
 - 在**异步传输方式**中，每个字符要用一位起始位和若干停止位作为字符传输的开始和结束标志。
 - **同步传输方式**要求有时钟来实现发送端和接收端的同步，传输速度较快。
 - 数据块传输时，只在数据块的开始和结尾处用一个或若干个同步字符作标志。称**同步串行传输方式**。

▲ 通信协议是指通信双方对数据 传送控制的一种约定。

• 异步串行通信协议



例题：

异步传输7位ASCII码，如果需要数据传输速率为240字符/秒，使用1位奇偶校验位和1位停止位，则：

- 1) 比特率应该是多少？
- 2) 有效数据位传输位是多少？
- 3) 传输效率是多少？

答：

1) 波特率是

$$(7\text{位数据位}+1\text{位起始位}+1\text{位校验位}+1\text{位停止位}) \times 240 \\ = 2400\text{bit/s}$$

2) 比特率是： $7 \times 240 = 1680\text{bit/s}$

3) 传输效率是： $1680/2400 = 70\%$

- 同步串行通信协议：以**数据块为单位**传送的，每个数据块内由一个字符序列组成。

源地址、目标地址和路由指示等信息

块发送/正文结束字符



首标开始字符(01H)

正文起始字符(02H)

面向字符的同步通信协议

2. 并行传输

- ▲ 并行总线的数据在数据线上同时有多位一起传送，每一位要有一根数据线。
- ▲ 并行数据传输需要联络控制信号。
- ▲ 并行传输中的数据传输速率
 - **最大数据传输率**：单位时间内在总线上传输的最大信息量。用（MB/s）来表示。
 - 总线的工作频率为66MHz，总线宽度为32位，则它的最大数据传输率为： $66 \times 32/8 = 264\text{MB/s}$ ；这里 $1\text{M}=10^6$ 。

8.4.2 总线接口单元

- 在设备和总线之间有一个逻辑部件使设备能够按总线协议要求与其他设备进行通信。这个逻辑部件就是总线接口单元。

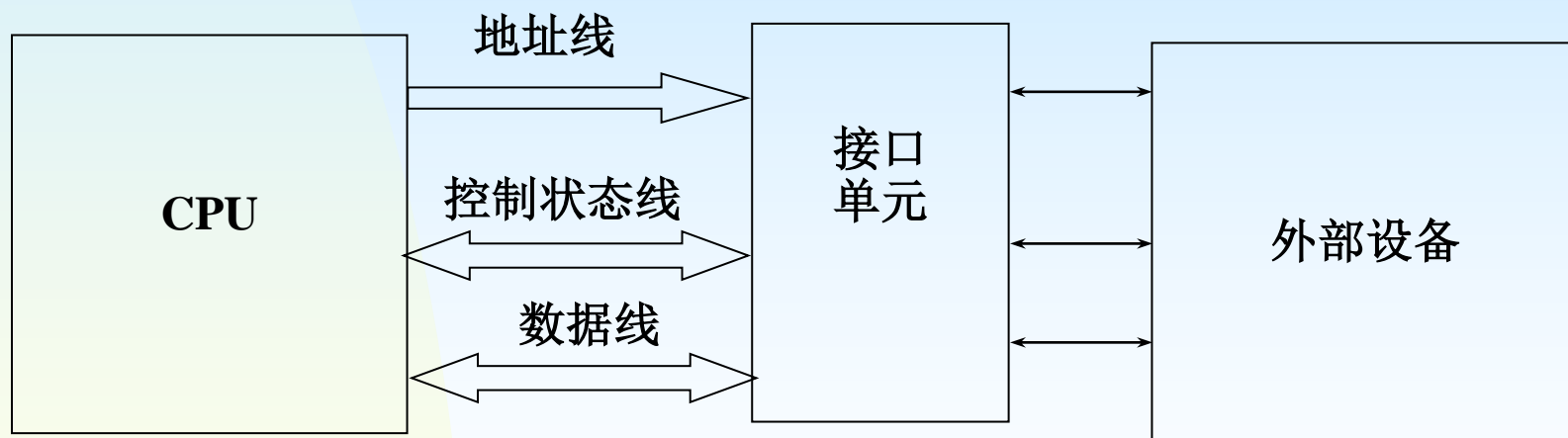


图8.16 外设与总线的连接

◆ 总线接口单元的基本功能

- (1) 定时和通信：提供或接收时钟信号；驱动或采样相应的信号线。驱动、复位或采样握手协议对相应的信号线。
- (2) 总线请求和仲裁。
- (3) 控制操作：提供命令译码等控制逻辑。
- (4) 提供数据缓冲：使不同速度的部件得到匹配。

(5) 数据格式转换：数据格式转换；

(6) 记录状态信息；

(7) 数据传送控制：字节计数器进行更新；

(8) 中断请求和响应。

8.5 总线标准

- 主板上的“处理器-主存”总线是**专用总线**，连接各种I/O模块的I/O总线和底板式总线是**标准总线**。
- 计算机工业界已经开发出了各种总线标准
 - 使机器的扩充和**新设备的连接更加方便**；
 - 为计算机制造商和外围设备制造商**提供规范**；
 - 按照**标准和规范生产**各种不同功能的芯片、模块和整机；
 - 使各级别的产品都**具有兼容性和互换性**；
 - 便于计算机系统的**维护和扩充**。

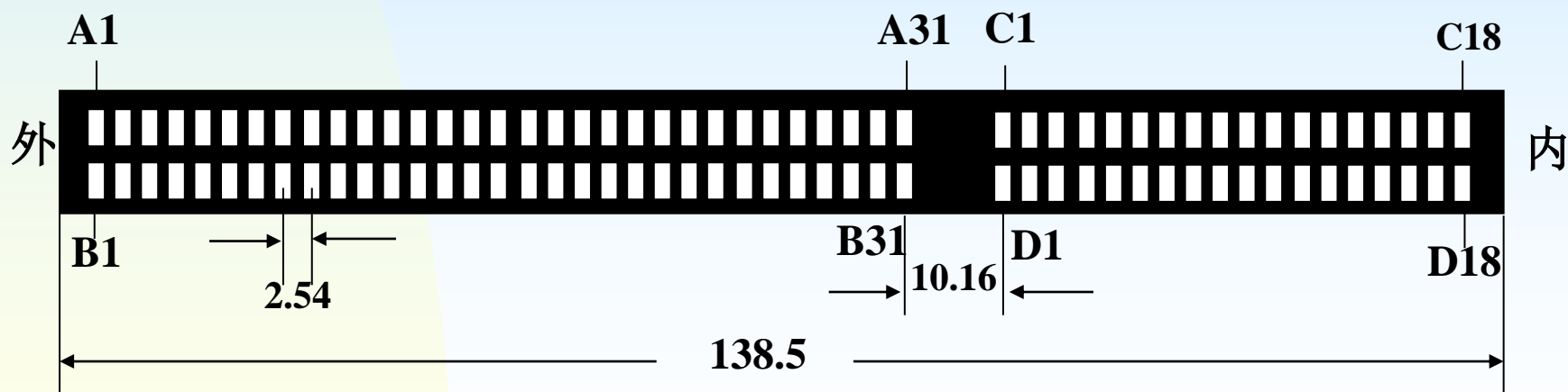
■ 总线标准的形成有多种途径

- 第一种途径是由流行而自然形成的标准。
- 第二个途径是为了解决共性问题而提出一种标准，如SCSI总线。
- 第三种途径是通过标准化组织制定的。象ANSI或IEEE等组织会提出一些总线标准。

8.5.1 ISA总线

- ◆ ISA（Industrial Standard Architecture）IBM公司1984年为推出PC/AT机而建立的系统总线标准。
- ◆ ISA总线的主要特点：
 - （1）支持64K I/O地址空间、16M主存地址空间的寻址，可进行8位或16位数据访问，支持15级硬中断、7级DMA通道。
 - （2）是多主控总线。除了CPU外，DMA控制器、DRAM刷新控制器和带处理器的智能接口控制卡都可成为总线主控设备。
 - （3）支持8种总线事务类型：存储器读、存储器写、I/O读、I/O写、中断响应、DMA响应、存储器刷新、总线仲裁。

- (4) 具有分立的数据线和地址线。
- (5) 使用独立于CPU的总线时钟，总线时钟频率为 8 MHz；最大数据传输速率为16MB/s。
- (6) ISA总线共有98根信号线，在原PC/XT总线的62根线的基础上扩充了36根线，与原PC/XT总线完全兼容。



ISA总线插槽示意图

8.5.2 EISA总线

- 支持**32位地址**，具有**32位数据总线**，**总线频率8.33MHz**，最大数据传输率达到**33.3MB/s**($8.33 \times 32 \text{位}/8$)。
- 结构与**ISA兼容**，EISA总线插槽与ISA插槽等长等宽，内部被设计成为双层**(198)**引脚。
- ◆ 是一种具有智能化的总线，支持多总线主控和突发传输方式。

8.5.3 VL总线（VESA总线）

- ◆ VL（VESA Local Bus）总线是视频电子标准协会与60余家公司联合推出的一种通用的全开放局部总线标准，也叫VESA总线。
- ◆ 有效解决总线传输速率这一瓶颈问题。
- ◆ 需要和其他总线共存于一个系统中，形成ISA/VL或EISA/VL等总线体系结构。

◆ VESA总线的主要特点:

- (1) VL总线的主要设计目标是支持CPU直接与高速视频控制器挂接;
- (2) 其他外设如硬盘控制器、LAN控制卡以及其他高速接口所连的外设, 也可使用VL总线;
- (3) 它直接采用CPU的时钟, 最高主频可达66MHz, 一般为33MHz;
- (4) 数据总线的宽度为32位, 可扩展到64位;
- (5) 最大数据传输率为132MB/s;

8.5.4 PCI总线

- ◆ PCI总线是继VL总线之后推出的又一种高性能局部总线。
- ◆ PCI规范是公开的，不同厂家生产的PCI产品是相互兼容的。
- ◆ PCI是一种高带宽、**独立于处理器的总线**。主要用于高速外设的I/O接口和主机相连；如：图形显示适配器、网络接口控制卡、磁盘控制器等。

◆ PCI总线的主要特点:

- (1) 与CPU的时钟频率无关, 采用自身33MHz的总线频率,
- (2) 数据线宽度为32位, 可扩充到64位; 所以数据传输率可达132MB/s~264 MB/s。
- (3) 它比VL总线的速度更快。
 - 第一, 支持无限突发传输方式; 而VL 仅支持有限的突发数据传送。
 - 第二, 支持挂接在PCI总线上的外设能与CPU并发工作。
- (4) 一个或多个PCI总线通过PCI桥 (PCI控制器) 和处理器总线相连。

- (5) PCI桥使PCI总线独立于处理器，且PCI桥提供了数据缓冲功能。
- (6) 系统中的高速设备挂接在PCI总线上，而低速设备仍然通过ISA、EISA等这些低速I/O总线支持。
- (7) 可有多个PCI总线，PCI总线之间也用相应的PCI桥连接。

◆ PCI总线支持广泛的基于微处理器的配置

- PCI总线可以用在单处理器系统中，也可用于多处理器系统中。

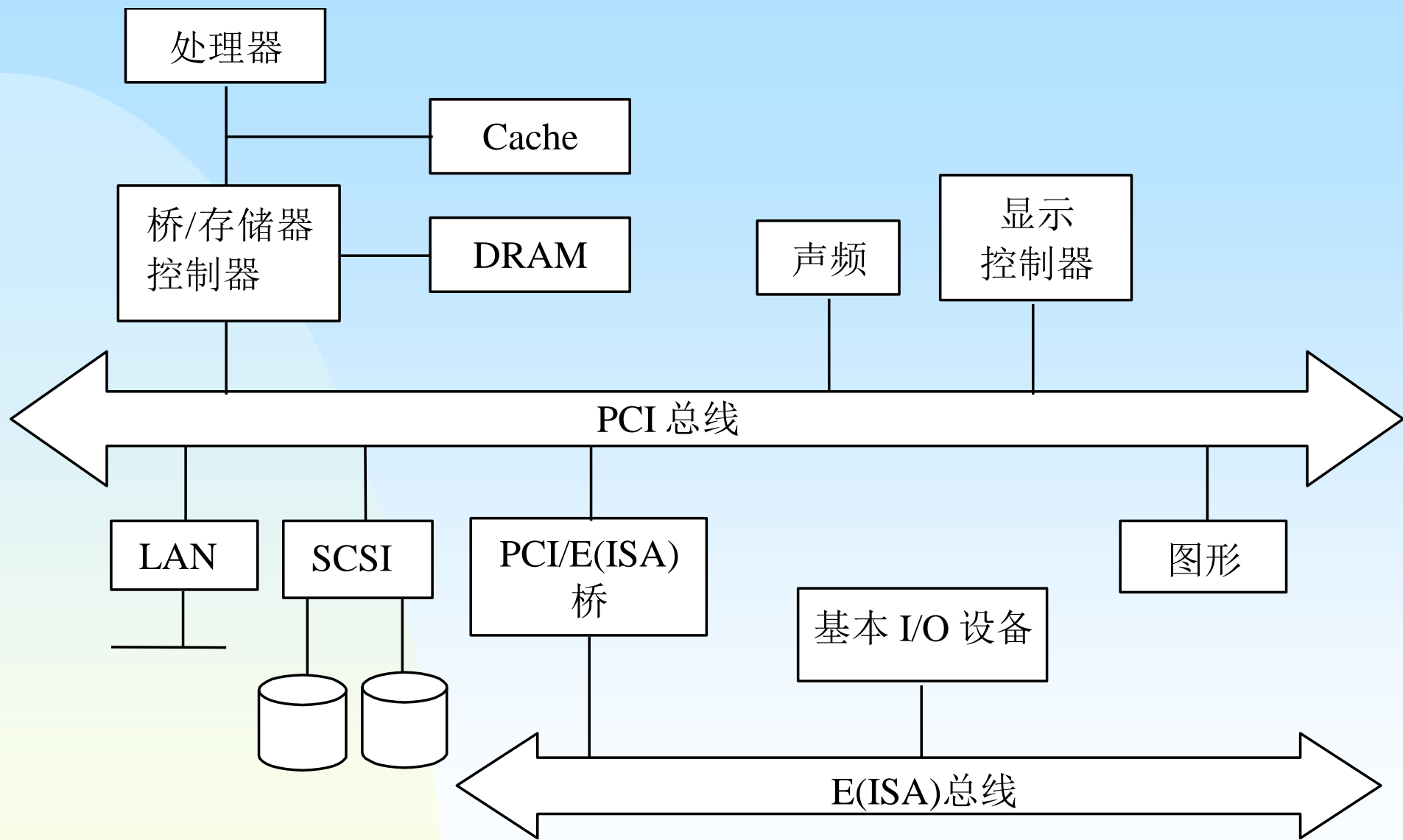


图8.17 (a) 典型的单处理器系统

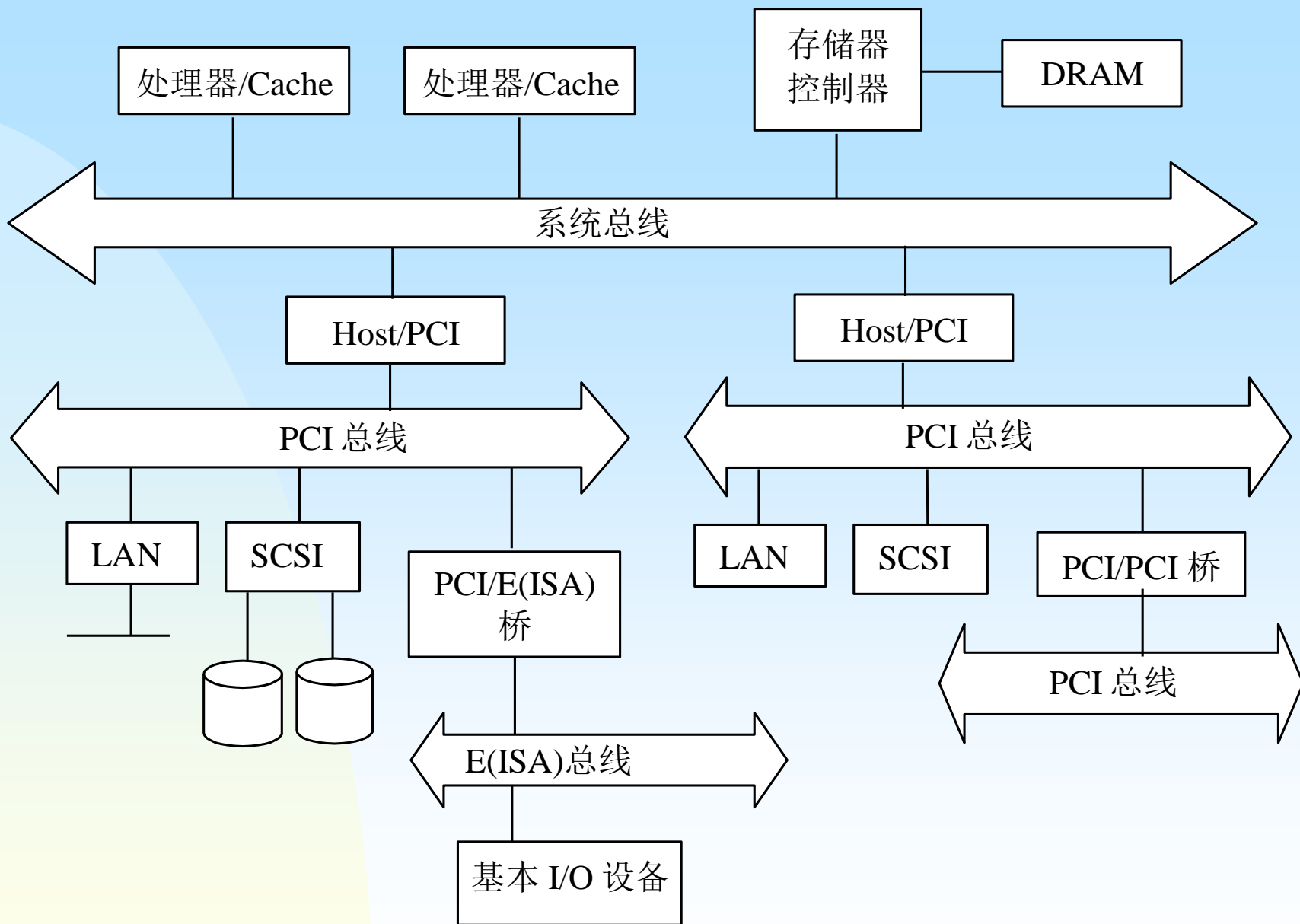


图8.17 (b) 典型的多处理器系统

8.5.5 通用串行总线USB

- ▲ USB总线，是由Conpaq、DEC、IBM、Intel、Microsoft、NEC等公司为**简化PC与外设之间的互连**而共同研发的一种免费的标准化连接器。
- ▲ USB的主要特点
 - 即插即用，可热插拔，具有自动配置能力；
 - 多个**USB**集线器可相互传送数据；可连接127个外设；

- 传输波特率为1.5M-12Mb/s(USB2.0达480Mb/s);
- **USB**总线结构简单, 采用四线电缆, 更换介质后连接距离达数十米。
- ▲ 满足**USB**要求的外设有: 调制解调器, 键盘, 鼠标, 光驱, 游戏手柄, 软驱, 扫描仪, 音箱等。

◆ USB的拓扑结构(级联星型拓扑)

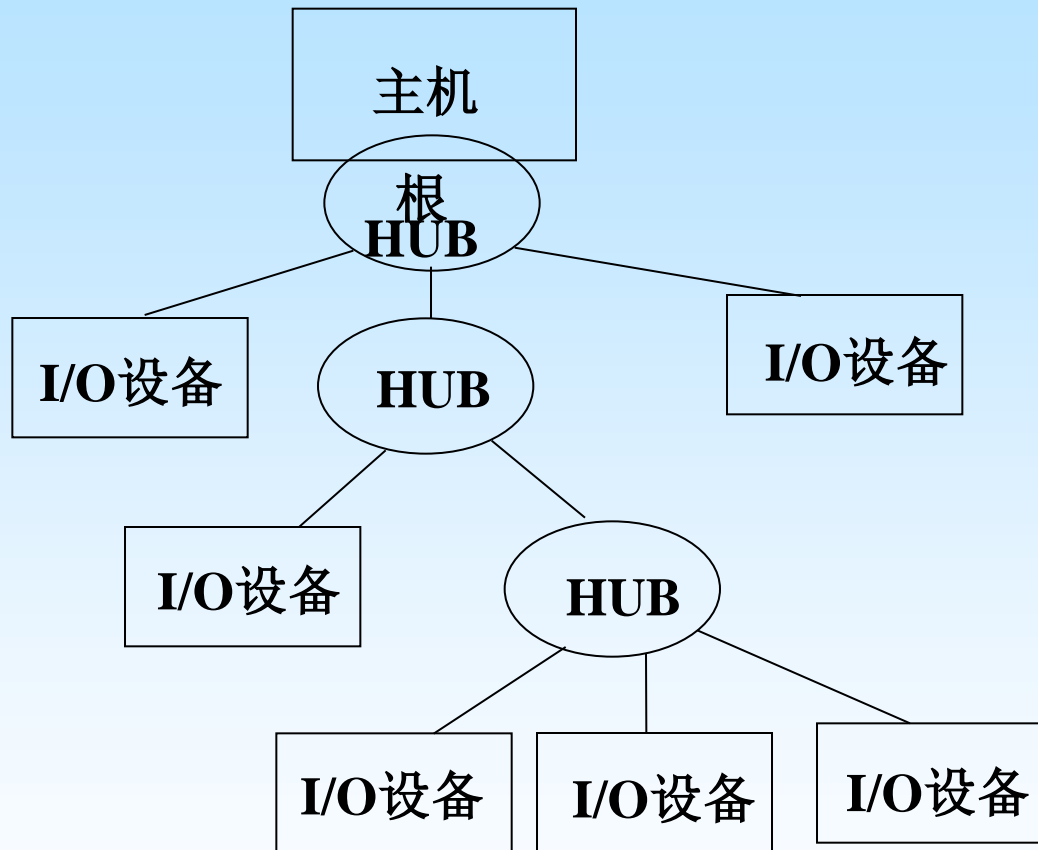


图8.18 USB的层次拓扑图

8.5.6 SCSI总线

- ◆ SCSI (Small Computer System Interface小型计算机系统接口) 总线, 用在Macintosh机上, 现已用在IBM PC兼容系统和许多工作站上。
- ◆ SCSI总线主要用于光驱、音频设备、扫描仪、打印机、以及大容量存储设备等的连接。
- ◆ 是一种直接连接外设的并行I/O总线, 挂接在SCSI总线上的设备以菊花链的方式相连。

◆ SCSI设备的配置

- 若干设备连接在一起，一端用一个终结器连接，另一端通过一块SCSI卡连到主机上。

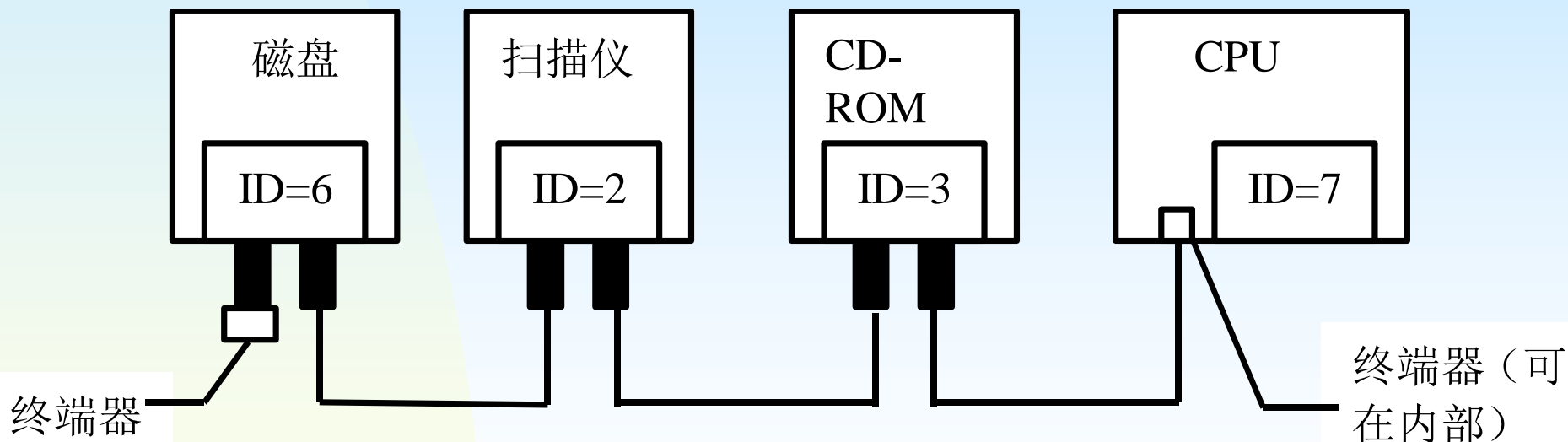


图8.19 SCSI设备的配置

8.5.7 EIA-232-D总线

◆ 一个广泛使用的串行总线标准

- 美国电子工业协会（EIA）1987年制定的EIA-232-D标准，它的前身是EIA在1969年制定的推荐标准RS-232-C。
- 定义了按位串行传输的数据终端设备(DTE)和数据通信设备(DCE)之间的接口信息。
- 当计算机和通信设备（如MODEM和数字传真机）连接时，计算机的串行接口地位等同于数据终端设备。
- EIA-232-D接口由25条信号线构成，其中有一条数据发送线，一条数据接收线，在接口对接时，这两条线交叉连接。

◆ 标准提供主要几条控制线是：

- (1) 请求发送**RTS (Request To Send)**
- (2) 允许发送**CTS(Clear To Send)**
向发送方回送一个**CTS**信号作为回答。
- (3) 数据终端准备好**DTR(Data Terminal Ready)**
通知发送方进行数据发送。
- (4) 数据集就绪**DSR(Data Set Ready)**
向接收方送出一个**DSR**信号作为对**DTR**信号回答。
- (5) 载波检测**CD(Carry Detect)**
用于检测是否建立了连接。

8.6 总线设计需注意的问题

◆ 总线设计的要素：

- 1) **信号线类型**：专用信号线 / 复用信号线；
- 2) **仲裁方法**：集中式裁决 / 分布式裁决；
- 3) **定时方式**：同步通信 / 异步通信；
- 4) **事务类型**：总线所支持的各种数据传输类型和其他总线操作类型；
- 5) **总线带宽**：单位时间内在总线上传输的有效数据量。

8.6.1 总线结构对计算机系统性能的影响

- **单总线系统**：简单可靠；但总线带宽比较紧张，存储器和I/O模块**统一编址**，I/O模块要占用一部分地址空间。
- **多总线系统**：常采用**I/O模块单独编址**的方法，有专门的访问主存和访问I/O模块的指令。
- **多总线分级结构**：主存总线并采用**高速缓冲和CPU交换数据**，通过高速总线和高速设备传送数据；慢速设备接到扩充总线上**和高速设备隔离**。

8.6.2 总线类型

- **专用信号线**：信号线专门用来传送某一种信息。
- **复用信号线**：信号线在不同的时间传输不同的信息；如数据/地址线分时复用的方式。
- **独立信号线**的方式会使得总线控制逻辑比较简单，容易实现。
- 为了**节省电路板空间**（减少布线）和成本，可以考虑使用分时复用信号线。
- 使用分时复用线，需要增加相应的**控制线或锁存器**，增加了总线控制逻辑的复杂性。

8.6.3 总线仲裁方法

◆ 选择何种仲裁方案的因素:

- 总线上I/O设备的可扩充性;
- 总线仲裁速度;
- 总线仲裁的公正性程度。

◆ 集中式仲裁机制选择方案：

- **菊花链查询方式**：结构简单和容易扩充；但对电路故障敏感；
- **计数器定时查询方式**：控制逻辑不太复杂，设备对电路故障不敏感；仲裁速度稍慢；
- 若系统希望模块响应时间最短，又不在于控制线数目的多少，则可选择**独立请求方式**；
- 系统中主控模块不多，或系统设计时不能使用集中仲裁方式；可考虑使用**分布式仲裁机制**；

◆ 常用仲裁策略：

- **自由竞争**：不考虑优先级，需要使用总线的主控模块在总线空闲周期发出请求；靠时间差来决定先后。
- **先来先服务**：几乎不考虑优先级，以申请总线的顺序决定次序；会对一些重要的总线申请不利。
- **固定优先级法**：按照固定优先级的高低来决定占用总线的先后次序。

- **循环优先级法**：一种动态优先级法，每次总是将本次占用总线的设备的优先级降为最低，而把下一个模块的优先级制定为最高。
- **等待时间调整法**：在固定优先级的基础上，对每个模块增加一个计时器，当等待时间超过某个值后，将该模块的优先级提为最高。

8.6.4 总线带宽

- ◆ 一个总线的带宽主要由**总线定时方式**所用的协议决定的。
- ◆ 影响总线带宽的其他几个因素有：
 - (1) 数据总线宽度；
 - (2) 信号线是专用还是分时复用；
 - (3) 是否允许大数据块传送。
- ◆ 总线设计的目标：支持大范围内具有**不同等待时间**和**数据传输速率**的设备的需求。

例：在16位的总线系统中，若时钟频率为100MHz，总线数据周期为5个时钟周期传输一个字。试计算总线的数据传送率。

解：一个时钟周期= $1/100$ (μs) = $0.01 \mu\text{s}$

5个时钟周期= $5 \times 0.01 \mu\text{s} = 0.05 \mu\text{s}$

数据传送率= $16\text{bit}/0.05 \mu\text{s} = 4 \times 10^7$ (字节/秒)

例：在异步串行传输系统中，每个数据帧包含1位起始位、8位数据位、1位奇偶校验位和1位停止位，比特率为160b/s，求波特率。

解：每秒传输的数据帧数= $160/8=20$

波特率= $(1+8+1+1) \times 20=220\text{b/s}$

作业：P239—4、7、10、12