选择

1. 下列逻辑电路中为时序逻辑电路的是（）

A.变量译码器 B.加法器 C.数码存储器 D.数据选择器

1. 冯诺依曼模型计算机中，程序执行过程实际上是循环的（）

略

1. 下列欲发送的带奇偶校验位的字符码中，采用偶校验的字符码是（）

A.11001011 B.11010110 C.110000001 D.11001001

1. 过于简单，略
2. 为提高主存的性能/价格，现在计算机中内存条常由（）芯片组成

A.SRAM B.Cache C.FLASH D.SDRAM

1. 某32位数据宽度的时钟频率为133MHz的总线中，若一次总线传输周期需4个时钟周期，则总线的数据传输率（总线带宽）为（）

A.133MB/s B.532MB/s C.133Mb/s D.532Mb/s

1. 下列寻址方式中，（）寻址方式只能用于指令寻址

A.立即 B.寄存器 C.基址 D.相对

1. 采用统一编码的I/O端口编址方式时，存储单元与I/O设备是靠（）来区分的

A.不同的地址线 B.不同的地址码 C.不同的控制线 D.不同的控制码

1. 字长16位，用定点补码小数表示时，一个字能表示的范围是（）

A.-1~(1-2^-15) B.0~(1-2^-15) C.-1~+1 D.- (1-2^-15)~ (1-2^-15)

1. 在堆栈中保持不变的是（）

A.栈指针 B.栈底 C.栈顶 D.栈中数据

1. 微指令格式分为水平型和垂直型，水平型的二进制编码位数（），用它编写的微程序（）

A.较多，较长 B.较多，较短 C.较少，较长 D.较少，较短

1. 若RAM芯片的地址线为8根，其片内行、列地址译码器的输入端都为4根，则该芯片内地址译码器的输出线（字线加位线）共有（）条

A.8 B.16 C.32 D.256

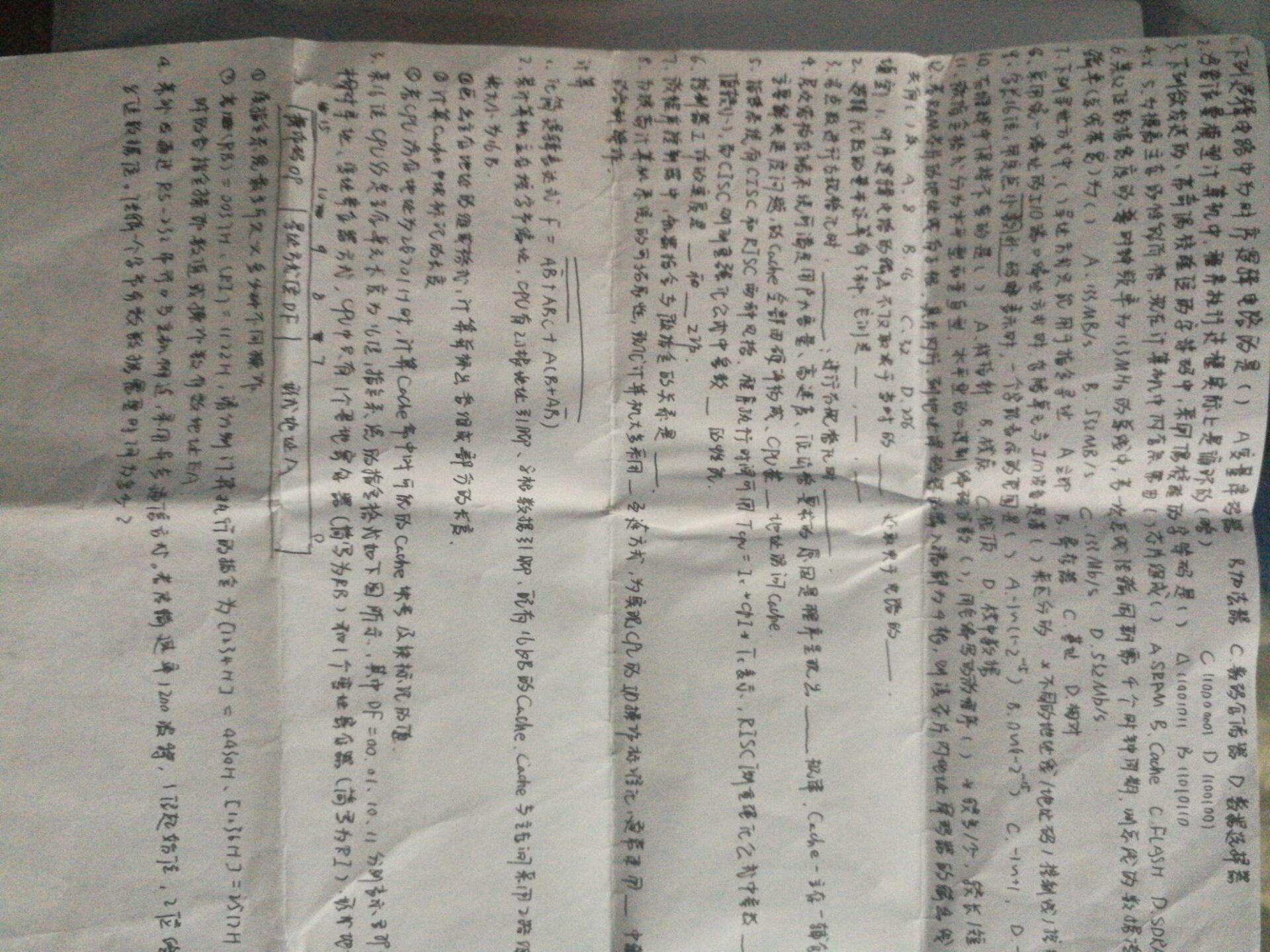
填空

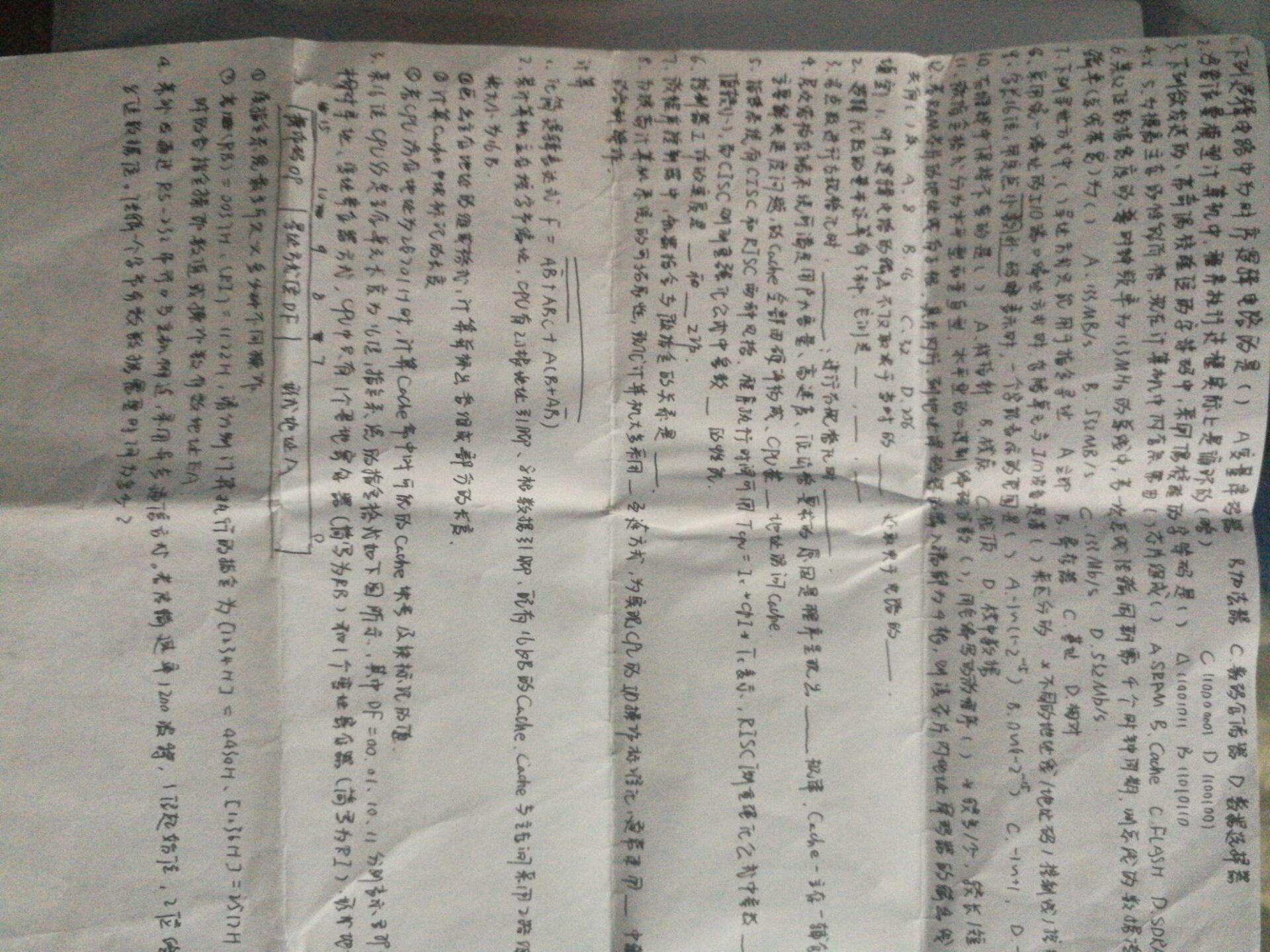
1. 时序逻辑电路的输出不仅取决于当时的 ，还取决于电路的
2. 逻辑代数的基本运算有三种，它们是 ， ，
3. 浮点数进行右规格化时， ；进行左规格化时，
4. 层次结构存储系统可满足用户大容量、高速度、低价格要求的根本原因时程序呈现出

规律。Cache-主存-辅存层次系统中，Cache主要解决速度问题，故Cache全部由硬件构成、CPU按 地址访问Cache

1. 指令系统有CISC和RISC两种风格，程序执行时间可用Tcpu = I x CPI x Tc表示，RISC侧重强化公式中参数 的性能（使该值较小），而CISC则侧重强化公式中参数 的性能
2. 控制器工作的实质是 和 工作
3. 微程序控制器中，机器指令和微指令的关系是
4. 为提高计算机系统的可拓展性，现代计算机大多采用 互连方式，为实现CPU的I/O操作标准化，通常采用 中转CPU不同I/O设备的各种操作

计算

1. 化简逻辑表达式
2. 某计算机主存按字节编址，CPU有20根地址引脚、8根数据引脚，能有16KB的Cache，Cache与主存间采用2路组相连映像方式，块大小为16B
3. 画出主存地址的组成格式，计算并标出各组成部分的长度
4. 计算Cache中块标记的长度
5. 若CPU访存地址为2E701H时，计算Cache命中时可能的Cache块号及块标记的值
6. 某16位CPU约定主存单元长度为16位，，指令系统的指令格式如下图所示，其中DF=00、01、10、11分别表示立即寻址、基址寻址、相对寻址、变址寄存器方式，CPU中只有1个基址寄存器（简写为RB）和1个变址寄存器（简写为RI），形式地址A用原码表示

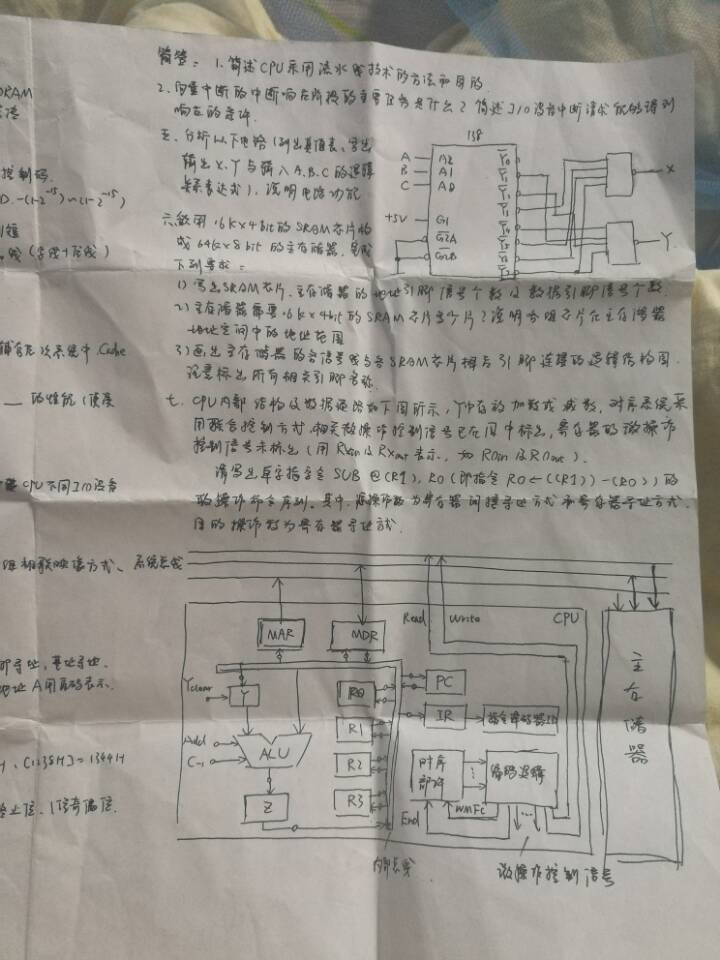


1. 该指令系统最多可定义多少种不同操作
2. 若（RB）=0037H，（RI）=1122H，请分别计算执行的指令为[1234H]=4430H、[1236H]=2512H、[1238H]=1344H时的各指令操作数或操作数有效地址EA
3. 某外设通过RS-232串行口与主机相连，采用异步通信方式。若传输速率1200波特，1位起始位，2位终止位，1位奇偶位，8位数据位。传输一个字节有效数据需要时间位多少

简答

1. 简述CPU采用流水线技术的方法和目的
2. 向量中断的中断响应阶段的重要任务是什么？简述I/O设备中断请求能够得到响应的条件

五、分析以下电路（列出真值表，写出输出X、Y与输入A、B、C的逻辑关系表达式），说明电路功能



六、欲用16K x 4bit的SRAM芯片构成64K x 8bit的主存储器，完成下列要求：

1）写出SRAM芯片、主存储器的地址引脚信号个数及数据引脚信号个数

2）主存储器需要16K x 4bit的SRAM芯片多少片？说明各组芯片在主存储器地址空间中的地址范围

3）画出主存储器的各信号线与各SRAM芯片相应引脚连接的逻辑结构图，注意标出所有相关引脚名称

七、CPU内部结构及数据通路如下图所示，Y中存放加数或减数，时序系统采用联合控制方式，相关微操做控制信号已在图中标出，寄存器的微操作控制信号未标出（用Rxin及Rxout表示，如R0in及R0out）

请写出单字指令SUB @(R1) R0（即指令R0<- ((R1)) – (R0) ）的微操作命令序列。其中，源操作数为寄存器间接寻址方式和寄存器寻址。目的操作数为寄存器寻址方式

