

Diseño de un Registro de Desplazamiento en Tecnología CMOS

Fanny Serapio Fernández, Bartomeu Obrador Barceló

fanny.sf@gmail.com, tomeu1985@gmail.com

“Sistemes Microelectrònics”, asignatura optativa de Enginyeria Tècnica en Telecomunicacions, Enginyeria Tècnica Industrial i Física.

Este artículo describe las principales etapas para la implementación del componente SN74164 (Registro de desplazamiento de 8 bits) utilizando una tecnología CMOS de 0.35µm.

1. Introducción

El componente SN74164 es un registro de desplazamiento de 8 bits basado en *flip-flops* tipo D. Un *flip-flop* D es un circuito de memoria biestable que utiliza una señal de sincronismo para especificar cuando la memoria mostrará a la salida la señal de entrada (transparencia) y cuando la memoria no responderá a los diferentes cambios de la señal entrante (no transparencia) [1].

A su vez, un *flip-flop* D está formado por diferentes puertas lógicas: puertas “tristate” que, gracias al valor de alta impedancia (Z), son útiles para transferir datos de una parte del sistema al otro; puertas de “paso” que nos permiten transmitir satisfactoriamente ambos valores lógicos (0 y 1).

Para poder implementar estos circuitos digitales de forma física, se usan transistores MOS. La tecnología CMOS permite implementar dos tipos de transistores (nMOS y pMOS) en un mismo circuito integrado. Los transistores MOS utilizan un único tipo de carga eléctrica para transferir información: los transistores n utilizan electrones (polarización negativa) mientras que los transistores p utilizan “huecos” (un “hueco”

equivale a la ausencia de un electrón y tiene polaridad positiva) [3]. Dicha carga circula entre los terminales de fuente y drenador de cada transistor, en función del estado lógico de su terminal de puerta.

El objetivo de dicho trabajo ha consistido en implementar un registro de desplazamiento a partir de *flip-flops* D y ver su funcionamiento, así como los diferentes retardos de puerta que presenta. De esta forma nos permitirá analizar el comportamiento de un *flip-flop* tanto de forma singular como en agrupación, pudiendo así determinar sus posibles ventajas o inconvenientes.



Figura 1. Transistor MOS discreto

2. Metodología y diseño

Un registro de desplazamiento es un elemento secuencial formado por 8 *flip-flops* D. Cada *flip-flop* D tiene conectado en paralelo una señal de Reset asíncrona (para “inicializar” los registros) y una señal de reloj que hará que el *flip-flop* se active por flanco de subida. Tenemos dos señales de entrada (A y B) que, al aplicarles una puerta NAND configuran una única señal de entrada al circuito (Figura 2).

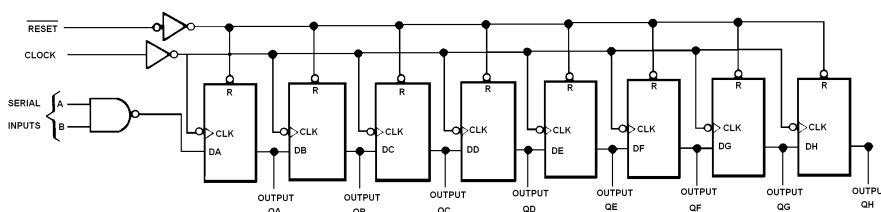


Fig. 2 Diseño digital del registro de desplazamiento

Para realizar el circuito digital, hemos realizado un diseño microelectrónico utilizando el programa *Microwind*. Este programa permite representar circuitos de forma gráfica en el nivel físico (dichas representaciones se denominan *layouts*). Mediante este programa se han realizado los diferentes *layouts* de cada puerta distinta mostradas en la figura anterior. En el caso del *flip-flop* D, está compuesto por una puerta NAND de 2 entradas, una puerta NAND tristate, un inversor y una puerta de paso [2].

Una vez diseñada cada puerta de forma individual, hemos empezado a conectar todos los elementos entre sí siguiendo el esquema eléctrico de la figura 3.

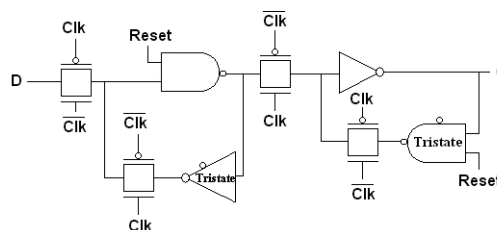


Figura 3 Esquema eléctrico de un *flip-flop*

Para el diseño de cada puerta hay que tener en cuenta que cada una de ellas tiene, como mínimo, un transistor nMOS con su difusión n y otro transistor pMOS con su pozo y su difusión p. El polisilicio es el material encargado de definir la ubicación de los transistores y conducir las diferentes señales que conectemos a los transistores p o n.

Para conectar los diferentes transistores es necesario el uso de varios niveles de metal (niveles 1, 2 y 3). El primer nivel de metal puede unirse con el polisilicio o con los terminales de fuente y drenador de los transistores mediante el uso de contactos, el resto de niveles de metal pueden unirse entre sí mediante el uso de vías.

Una vez conectadas las puertas entre sí, éstas deben compartir el mismo pozo, la misma fuente de alimentación y la misma toma tierra, para obtener más sencillez y, a su vez, eficiencia.

La tecnología que hemos utilizado es una tecnología CMOS de $0,35\mu\text{m}$ con tres niveles de metal, esto implica que la longitud de canal de los transistores no puede ser inferior a $0,35\mu\text{m}$. Una vez conectado todo el sistema que compone un *flip-flop* (Fig. 4), hay que conectar las señales comunes que tienen todas las puertas (la señal de reloj "Clk" y la de "Reset").

El siguiente paso a realizar es simular el conjunto que hemos creado para asegurarnos que su funcionamiento es el correcto. En dicha simulación, las señales que se asignan a las entradas del *flip-flop* pueden ser pulsos, señales de

reloj y/o valores lógicos constantes (voltaje alto "1" o bajo "0"). Las salidas únicamente serán nodos donde visualizaremos los resultados. El resultado de la simulación consiste en una gráfica donde se pueden observar los diferentes cambios que ha sufrido el sistema, tanto en las entradas como en las salidas. Para nuestro caso, mientras que la señal de entrada "D" tenga el valor 0, el *flip-flop* se comportará de manera no-transparente. Cuando la señal D tenga el valor 1, la salida tomará el mismo valor que la entrada D una vez que haya un flanco de subida (por la señal de reloj Clk).

Finalmente, calcularemos el tiempo de *set-up*, definido como el mínimo intervalo de tiempo entre una transición en la entrada y el flanco de subida del reloj de manera que el *flip-flop* consiga capturar el nuevo valor asignado a la entrada, y el tiempo *hold* o intervalo mínimo de tiempo en que la entrada debe mantener su valor después de una transición de flanco bajada de reloj para que la salida del *flip-flop* no modifique su valor [3].

3. Implementación y resultados

Una vez que hemos comprobado que el *flip-flop* funciona correctamente, llega el momento de realizar el *layout* del registro completo, para ello hay que conectar los 8 *flip-flops* en serie, tal como se ha indicado en la figura 2, junto con las señales Clk y reset paralelamente (Fig. 5).

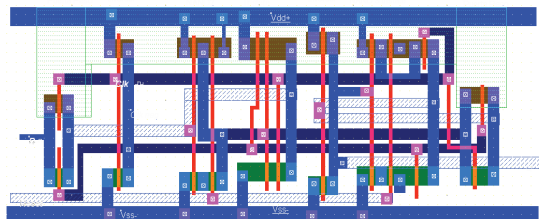


Fig. 4 Layout de un *flip-flop* realizado con Microwind

Se van uniendo los diferentes *flip-flops* hasta obtener un circuito con 8 *flip-flops*. La salida de cada uno de ellos se conecta con la entrada del siguiente, para obtener así la cadena de desplazamientos.

Una vez simulado, obtenemos la gráfica de la figura 6. En ella se puede observar como los diferentes *flip-flops* van desplazando la señal D. Únicamente el *flip-flop* D trabajará en estado transparente si las señales A y B tienen valor 1.

Cabe destacar que al inicio de la simulación se produce una irregularidad, eso es debido a que el sistema necesita un tiempo de estabilización. También se puede observar en la gráfica 6 que la respuesta (Q) de cada *flip-flop* presenta un cierto declive (*glitch*), eso es debido a las puertas de paso captan las transiciones más lentamente que las otras puertas y por eso se produce dicho fenómeno.

Finalmente, para determinar el tiempo de *set-up* hemos ido variando el instante en que la señal de entrada cambia

de valor, aproximándolo cada vez más al valor del flanco de subida del reloj Clk, comprobando que el sistema siga funcionando correctamente. En nuestro caso, hemos determinado que el tiempo de *set-up* es de 100 ps, este valor es función de la tecnología elegida, y del ancho y longitud de canal de los transistores utilizados.

Para determinar el tiempo de *hold*, hemos seguido el mismo procedimiento pero esta vez hemos variado el valor del pulso de la entrada D, una vez ya producida la transición en el reloj, hasta llegar al valor más próximo del flanco de bajada del Clk y que, a su vez, el sistema también siguiera funcionando correctamente. El valor obtenido es de 94 ps.

Una vez que se superaban estos valores el sistema dejaba de funcionar correctamente, es decir, no obteníamos la respuesta esperada en la salida del *flip-flop*.

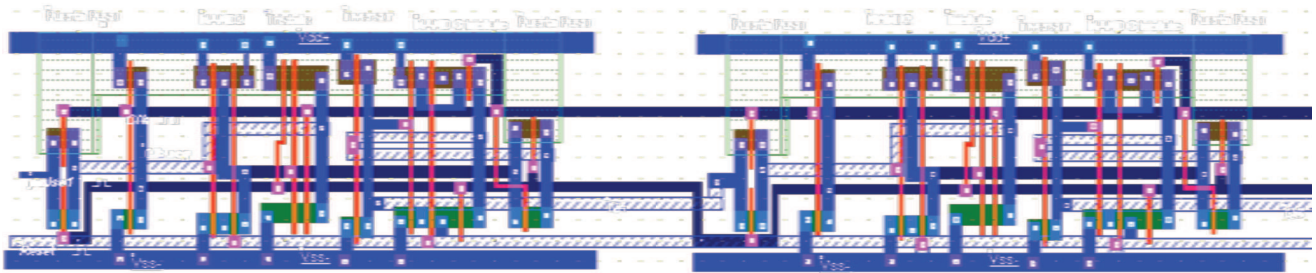


Fig. 5 Conexión de dos flaps flops

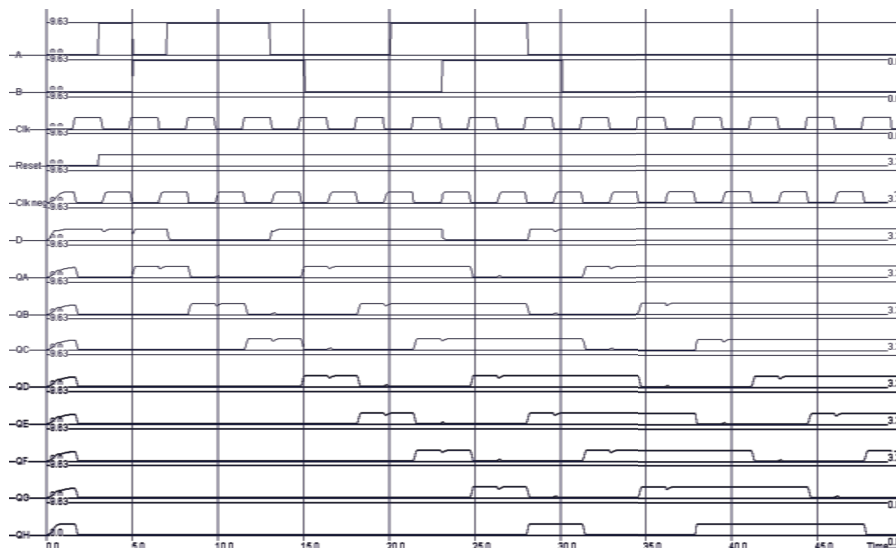


Fig. 6 Resultados obtenidos tras la simulación eléctrica del registro de 8 bits.

4. Conclusiones

Después de los resultados obtenidos podemos comprobar como se puede construir un elemento complejo (registro de desplazamiento) a partir de una unidad más simple, el *flip-flop* D. También ha sido útil este trabajo para la investigación del comportamiento de las puertas tristate y las puertas de paso.

Cabe destacar que el programa *Microwind* nos ha sido de gran utilidad ya que nos ha permitido hacer una simulación “virtual” del circuito. Esta simulación nos ha permitido analizar el comportamiento del mismo y, a su vez, obtener y mejorar los resultados esperados sin tener que recurrir a la implementación física de los transistores CMOS.

En cuanto a las aplicaciones al mundo real, pueden ser muy diversas: un decodificador para uso en domótica, un contador digital, contador en anillo, etc.

Bibliografía

- [1] John P. Hayes, *Introduction to Digital Logic Design*, 1st ed., Addison Wesley, 1993
- [2] A. Rubio, P. Altet, X. Aragonés, J. González, D. Mateo y F. Moll. *Diseño de Circuitos y Sistemas Integrados*. Edicions U.P.C.
- [3] Barry Wilkinson, *Digital System Design*, Longman Higher Education, September 1986.
- [4] Manual *Microwind Lite*

Biografía

- Fanny Serapio nació en Capdepera el año 1986. Es alumna de tercer curso de Ingeniería Técnica en Telecomunicaciones (especialidad en Telemática) del Colegio Politécnico Superior de la UIB.
- Bartomeu Obrador nació en Cala Figuera el año 1985. Es alumno de tercer curso de Ingeniería Técnica en Telecomunicaciones (especialidad en Telemática) del Colegio Politécnico Superior de la UIB.