

# Transistores FinFET

Mas Boned, Fco. De Borja, García Moreno, Eugenio,

*Departament de física, Universitat de les Illes Balears  
Ctra, de Valldemossa, km 7.5. Palma de Mallorca (Illes Balears)*

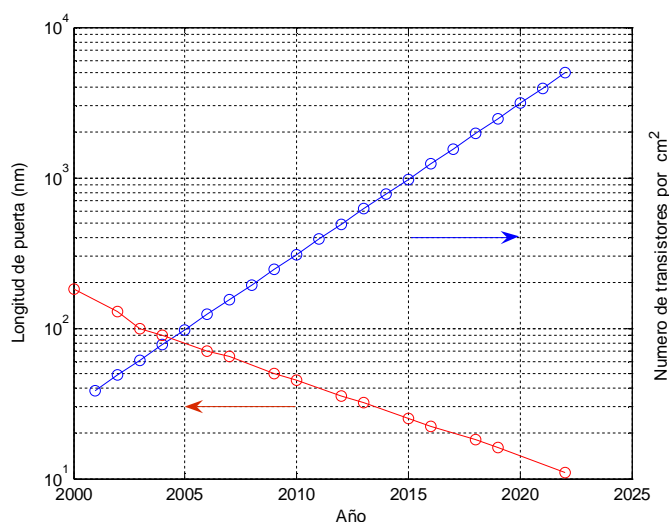
[borja.mas@uib.es](mailto:borja.mas@uib.es) - [www.uib.es/](http://www.uib.es/)

**Resumen** — A través del presente artículo se pretende dar a conocer los dispositivos FinFET, que ventajas presenta su estructura frente a los dispositivos MOS clásicos, cual es el estado del arte actual y finalmente, cual es el impacto de este tipo de transistor en el mercado.

## I. INTRODUCCIÓN

Desde la invención del circuito integrado, en 1958, ingenieros e investigadores de todo el mundo han trabajado en cómo aumentar la velocidad y el rendimiento en los circuitos integrados. La industria de semiconductores ha evolucionado de manera extraordinaria, especialmente en lo que concierne a la tecnología MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

La trayectoria perseguida, ha sido la disminución constante de las dimensiones de los transistores, permitiendo el crecimiento exponencial del número de dispositivos por circuito integrado o chip siguiendo la conocida Ley de Moore. Esta ley fue formulada por primera vez por el co-fundador de Intel Gordon Moore predice que el número máximo de transistores que pueden incorporarse en cada chip se duplica cada año y medio (ver gráfica 1). Este hecho se traduce en una mayor capacidad de computación que, en última instancia, termina convirtiéndose en mayores prestaciones en los dispositivos fabricados para el usuario final.



El crecimiento del número de transistores por chip se ha conseguido tanto aumentando la superficie de cada chip, como disminuyendo el tamaño de cada transistor. Pero ha sido principalmente la disminución de los tamaños de los dispositivos lo que ha permitido conseguir una capacidad mayor de transistores por chip. Así las dimensiones de los transistores se escalan a un ritmo de aproximadamente 0,7 veces cada 18 meses (ver gráfica 1). No obstante, a medida que la tecnología se va acercando a escalas próximas a las decenas de nanómetros los investigadores se encuentran con barreras tecnológicas de dificultad creciente, relacionadas tanto con propia fabricación del dispositivo como con sus características eléctricas. En relación a la fabricación cabe mencionar la dificultad de dibujar sobre la oblea de silicio líneas con anchuras de decenas de nanómetros. De todas las dificultades relacionadas con las características eléctricas cabe destacar el progresivo incremento del consumo de corriente cuando el chip está inactivo.

Estos efectos pueden llevar a frenar el ritmo de reducción del tamaño de los dispositivos en los circuitos integrados en un futuro próximo. O incluso pararlo, ya que los límites del proceso son inminentes.

En este trabajo vamos comentar primero algunas limitaciones debidas a las características eléctricas de los dispositivos y después comentaremos una nueva estructura de dispositivo conocida como FinFET, que permite avanzar un paso más en la carrera hacia la reducción del tamaño.

## II. ESCALADO DE LOS DIPOSITIVOS MOSFET

Para reducir el tamaño de los dispositivos el factor primordial a tener en cuenta es que el campo eléctrico debe mantenerse constante, por debajo de los límites de ruptura. Puesto que el campo eléctrico es el cociente entre la tensión y la distancia, las tensiones y en particular la tensión de alimentación, deben reducirse proporcionalmente. Pero la disminución de la tensión de alimentación tiene unos límites, por ejemplo porque los márgenes de ruido se reducen.

Otro problema relacionado con la disminución de la tensión de alimentación es que obliga a aumentar el control de la puerta sobre el estado del canal entre fuente y drenador. La

carga de portadores en el canal depende del producto de la tensión puerta-canal por la capacidad de puerta, si las tensiones se reducen es necesario aumentar la capacidad de puerta. Puesto que esa capacidad es inversamente proporcional al espesor del óxido de puerta es necesario reducirlo. Conforme el espesor del óxido se reduce, la corriente de fugas a través de él por efecto túnel aumenta exponencialmente, debido a ello puede que no sea posible emplear capas de  $\text{SiO}_2$  por debajo de 1,2 nm [ref. artículo]. La corriente de túnel sería tan elevada que causaría una disipación de potencia inaceptable. La única solución es sustituir el óxido de silicio por otros materiales dieléctricos de alta constante dieléctrica, particularmente de algunos óxidos metálicos como  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{HfO}_2$ , etc...

Pero la limitación definitiva a la reducción del tamaño del transistor según [ref libro] podría venir impuesta por la corriente de fugas entre fuente y drenador cuando el dispositivo está en corte. Esta corriente es responsable del aumento en el consumo de potencia estática, pero también limita su funcionamiento dinámico puesto que obliga a refrescar la información contenida en las memorias con mayor frecuencia. El problema es grave porque la corriente de un transistor MOSFET en estado de corte, es decir, con tensión de puerta inferior al umbral de conducción, depende exponencialmente con la tensión de puerta. Por consiguiente si el margen de tensión entre los estados de corte y conducción se reduce linealmente la relación entre las corrientes de corte y de conducción disminuye exponencialmente.

A raíz de estos motivos, se están llevando a cabo todo un conjunto actividades de investigación avanzada sobre la tecnología CMOS y las estructuras necesarias para reducir la longitud del canal por debajo de 45nm. La filosofía de estas nuevas estructuras es conseguir un mayor control de la puerta sobre el canal. Los transistores de capa fina (TFTs) son unas de las estructuras más populares. Su estructura es similar a la de un MOS convencional pero se crea una capa de  $\text{SiO}_2$  entre el sustrato del dispositivo, muy delgado, y el resto de la oblea de Si con lo que el canal se halla entre dos capas de óxido. Otra alternativa más eficiente es el MOSFET de doble puerta (DGFET) donde canal se halla también contenido entre dos capas de óxido, sólo que aquí se colocan dos electrodos de puerta, uno sobre cada capa de óxido. Entre las diversas configuraciones de dispositivos en la familia de DGFET, encontramos la estructura FinFET que se puede fabricar de forma similar a la CMOS convencional, por lo que la convierte en una de las principales candidatas para la próxima generación de MOSFET.

### III. ESTRUCTURA Y FABRICACIÓN DEL FINFET

El transistor FinFET consiste en básicamente en un transistor de doble puerta en el que existen dos canales superficiales de conducción en dos superficies opuestas, pero con el flujo de la corriente en la dirección horizontal, a través de la capa de Silicio activa en forma de "fin" (proviniente de finger, del inglés dedo) debido a la forma característica que presenta.

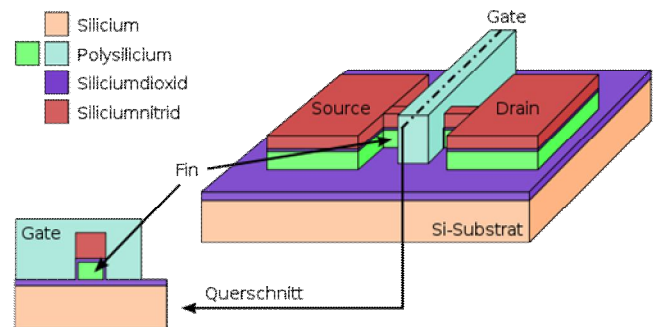


Fig. 1 Estructura básica.

Por medio de la Fig.2 que presentamos a continuación, se explicará el proceso de fabricación de un FinFET paso a paso, viendo así como se construye la estructura del dispositivo.

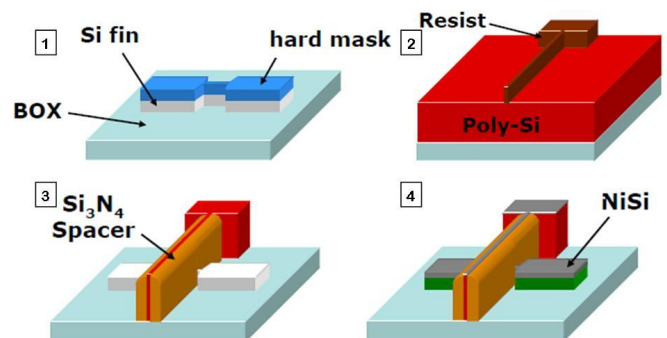


Fig. 2 Proceso de fabricación del FinFET.

Un sustrato con estructura tipo SOI (Silicon On Insulator) se presenta como un combinado de tres capas de materiales que sigue el siguiente orden: una primera capa de óxido aislante (Buried Oxide, o BOX), una segunda capa depositada sobre la primera de silicio y finalmente una tercera de óxido de silicio. Sobre esta tercera capa se coloca una máscara fotoresistente con la que se marcará el patrón del Fin. Una vez marcado el patrón se procede a la fase de *etching*, para la eliminación de todo material sobrante incluida la máscara. Hasta este punto, es lo que se puede observar en el primer paso de la figura Fig.2. A continuación el material de puerta se deposita sobre el Fin, este puede tratarse de polisilicio, un metal refractario o compuestos como el nitruro de titanio (Fig.2.2). El procedimiento para definir la puerta es similar que para la definición del Fin, se aplica una máscara resistiva

que marque un patrón de la forma y con un posterior procedimiento de *etching* se elimina todo el material sobrante. A continuación, una vez terminada la fase de *etch* de puerta, para aumentar la constante dieléctrica entre drenador y surtidor debido a la poca distancia entre ellos, se deposita a lo largo de ambas paredes de la puerta un material aislante tal como nitruro de silicio o dióxido de silicio, lo que se denomina en la Fig.2.3 “spacer”. Finalmente, la última de las fases, trate en colocar los contactos metálicos sobre cada uno de los contactos del transistor, puerta, drenador, surtidor y el sustrato, Fig.2.4.

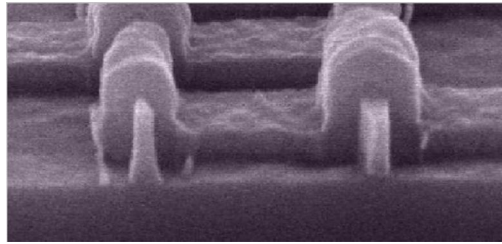


Fig. 3 FinFETs

En las figuras Fig.3 y Fig.4, pueden apreciarse con mayor detalle cada una de las partes que conforman la estructura del transistor FinFET, quedando más claro el concepto de “fin” y el resto de sus componentes (drenador, surtidor y la doble puerta).

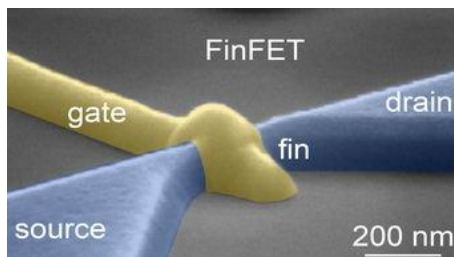


Fig. 4 Partes del FinFET.

Hasta el momento los FinFET's mostrados se caracterizan por tener un solo Fin, no obstante existen otras estructuras cuyo número de Fin's es superior. Tal como se muestra en la figura que tenemos a continuación, el nombre de Fin's en este caso es de cinco.

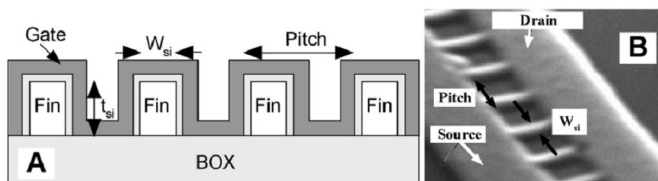


Fig. 5 A: Sección transversal de un FinFET con múltiples Fin's. B: Imagen de un FinFET con varios Fin's.

La idea de la utilización de varios Fin's se basa en que se utiliza menos material para la fabricación del dispositivo y eso hace posible que exista una menor resistencia parásita, consiguiendo así una mejora sustancial en el transistor, ya que permite un incremento en la corriente que pasa por el dispositivo.

La figura 6 muestra característica de funcionamiento de un transistor FinFET de con una longitud de canal de 15nm fabricado por xxx []. La corriente de drenador se indica en función de la anchura del canal, o sea del número de Fin's en paralelo. Como podemos observar son muy similares a las de un MOSFET convencional, se pueden apreciar las mismas regiones en las que puede operar cualquier transistor MOS: la zona de corte, la zona lineal y la zona de saturación. Cabe destacar que la tensión máxima de utilización está limitada a 0.8V por lo que el valor de la tensión umbral se ha fijado a 0.196V.

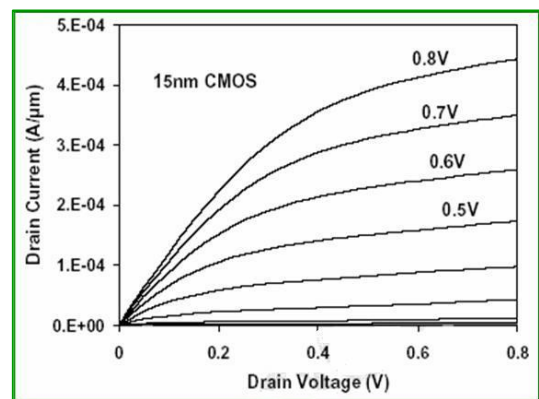


Fig. 6 Curvas características para un transistor FinFET de 15nm de canal y un voltaje lindar ( $V_{th}$ ) de 0.196 V.

#### IV. STATE OF ART

Debido a la capacidad de superar las dificultades que se vienen dando en la tecnología MOSFET convencional en el proceso de escalabilidad, puede entenderse con facilidad que los dispositivos FinFET se conviertan en la próxima generación de transistores en la tecnología CMOS. La compañía Freescale Semiconductor, en cooperación con la Universidad de Florida, Estados Unidos, fue la precursora de este tipo de este nuevo concepto de tecnología en 3D creando, en 2005, el primer prototipo de transistor Finfet.

En el campo analógico, los transistores FinFET desempeñan sus funciones de manera eficaz en circuitos como amplificadores de potencia y en otros tipos de aplicaciones donde se requiere una buena linealidad. De corroborar esto se han encargado empresas como IMEC, centro de investigación en nanoelectrónica y nanotecnología. IMEC ha demostrado las expectativas de los FinFET realizando los primeros circuitos de radiofrecuencia y amplificadores operacionales utilizando

FinFETs con longitudes de canal de 45nm. Para aplicaciones en las frecuencias relativamente bajas (por debajo de 5 GHz) la tecnología FinFET ofrece un mejor rendimiento de circuito que la mayor parte transistores convencionales. No obstante todavía debe mejorarse la velocidad de operación de estos dispositivos para el uso en aplicaciones donde se necesiten frecuencias de operación superiores.

En lo que concierne al campo de la electrónica digital, empresas han conseguido hacer uso de este tipo de transistores, incorporándolos en la nueva generación de diseño de circuitos integrados. Un ejemplo claro se presentó a día de 16 de diciembre de 2008, donde, las empresas Toshiba, IBM, y AMD anunciaron que, conjuntamente, habían sido capaces de desarrollar una memoria estática de acceso aleatorio (o SRAM) con una celda que tiene una superficie de tan solo 0.128 micras cuadradas ( $\mu\text{m}^2$ ), convirtiéndose así en la celda de memoria más pequeña del mundo mediante el uso de transistores FinFET (o fin-shaped Field Effect Transistors).

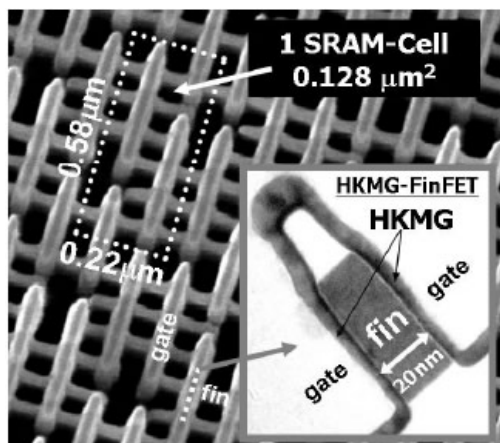


Fig. 7 Parte del diseño de una memoria SRAM con transistores FinFET.

## V. CONCLUSIONES

Así como se comenta al principio de este artículo, el futuro de la tecnología MOS tal y como la conocemos está llegando a sus limitaciones y se deben buscar nuevas alternativas y estructuras radicalmente distintas que nos permitan seguir con la trayectoria de escalado estipulada por la ley de Moore. Por el momento los transistores FinFET parecen mostrarse como los candidatos más adecuados, ya que, son capaces de evitar las limitaciones que nos presenta la tecnología actual durante los próximos diez años y sin la necesidad de tener que modificar de forma excesiva el proceso de fabricación.

## REFERENCIAS

[1] Jean-Pierre Colinge, "FinFETs and Other Multi-Gate Transistors", Ed Springer 2008.

[2] "Fabrication and Characterization of bulk FinFETs for Future Nano-Scale CMOS Technolog", Jong-Ho.

[3] "High-frequency FinFET model", J. Wang, C. Hutchens, J. Popp, J. Rowland and Y. Zhang J. Wang, C. Hutchens, J. Popp, J. Rowland and Y. Zhang.

[4] "Application of FinFET Technology to Analog/RF Circuits", Matthew Muh, Professor Ali M. Niknejad.

[5] International Roadmap For Femiconductor Reports and Ordening Information 2000 to 2007 editions ([www.itrs.net](http://www.itrs.net)).

[6] Unitet States Patent, n°: US US6413802

[7] Unitet States Patent, n°: US7470629

[8] Otras Direcciones Web:  
[http://www.ieee.org/portal/site/sscs/menuitem.f07ee9e3b2a01d06bb9305765bac26c8/index.jsp?&pName=sscs\\_level1\\_article&TheCat=6010&path=sscs/07Winter&file=Bohr.xml](http://www.ieee.org/portal/site/sscs/menuitem.f07ee9e3b2a01d06bb9305765bac26c8/index.jsp?&pName=sscs_level1_article&TheCat=6010&path=sscs/07Winter&file=Bohr.xml)

[9] <http://www.globalsmt.net/content/view/1134/114/>