

**ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ**  
**ΤΜΗΜΑ ΜΗΧ Η/Υ & ΠΛΗΡΟΦΟΡΙΚΗΣ**  
**ΤΟΜΕΑΣ ΥΛΙΚΟΥ ΚΑΙ ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ ΥΠΟΛΟΓΙΣΤΩΝ**  
**Εργαστήριο Ηλεκτρονικών & Λογικού Σχεδιασμού**

**ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ  
ΛΟΓΙΚΟΥ ΣΧΕΔΙΑΣΜΟΥ**

**Γ.Φ. ΑΛΕΞΙΟΥ - Ε.Ζ. ΨΑΡΑΚΗΣ**

**Πάτρα 2018**

**Ακαδ. Έτος : 2020-21**

**Εαρινό Εξάμηνο : 2020-21**

**Όνοματεπώνυμο:** Λουκάς Ιωάννης Προδρόμου

**Α.Μ. :** 1084590

**Όνομ/νυμο Συνεργάτη:** Ανδρέας Κατσαρός

**Α.Μ. :** 1084522

**Όνομ/νυμο Συνεργάτη:** Χουσελάς Νικόλαος Δημήτριος

**Α.Μ. :** 1067432

**Τμήμα :** \_\_\_\_\_

**Άσκηση:** ΑΣΚΗΣΗ 7

*Αναλυτική Βαθμολογία Πρακτικού Μέρους:*

	<b>Βαθμός Αριθ.</b>	<b>Αξιολογητή Ολογραφ.</b>	<b>Υπογραφή Αξιολογητή</b>
<i>Άσκηση 1</i>			
<i>Άσκηση 3</i>			
<i>Άσκηση 5</i>			
<i>Άσκηση 6</i>			
<i>Άσκηση 7</i>			
<b>M.O.</b>			

## ΑΣΚΗΣΗ 7

ΗΜΕΡΟΜΗΝΙΑ:

**ΘΕΜΑ: ΚΥΚΛΩΜΑΤΑ ΜΕΤΡΗΤΩΝ - COUNTERS**

(M. Mano, Γ' Έκδοση, Κεφ. 6, σελ. 316 – 337)

### Μέρος Α – ΜΕΤΡΗΤΕΣ

Οι ΜΕΤΡΗΤΕΣ είναι ακολουθιακά κυκλώματα τα οποία συνήθως χρησιμοποιούνται σαν βασικοί λίθοι στην σχεδίαση και υλοποίηση πολυπλοκότερων λογικών κυκλωμάτων. Βασικές λειτουργίες στις οποίες χρησιμοποιούνται είναι η μέτρηση και διαίρεση συχνότητας, η μέτρηση του χρόνου, οι αριθμητικές πράξεις, κ.λ.π.

Τα κυκλώματα των ΜΕΤΡΗΤΩΝ υλοποιούνται με χρήση JK, RS, T ή D Flip- Flops και μπορούν να διαιρεθούν σε δύο βασικές κατηγορίες.

Στους ασύγχρονους (λέγονται και σειριακοί ή ripple ΜΕΤΡΗΤΕΣ).

Στους σύγχρονους (λέγονται και παράλληλοι ΜΕΤΡΗΤΕΣ).

Στους σύγχρονους ΜΕΤΡΗΤΕΣ, οι έξοδοι όλων των flip-flops αλλάζουν κατάσταση ταυτόχρονα, σε αντίθεση με τους ασύγχρονους όπου η είσοδος κάθε FF σκανδαλίζεται από την αλλαγή κατάστασης της εξόδου του προηγούμενου FF.

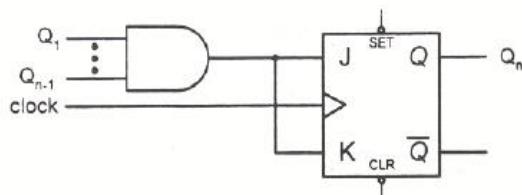
Ανεξάρτητα από την κατηγορία που ανήκει, ένας ΜΕΤΡΗΤΗΣ είναι ένα ακολουθιακό κύκλωμα το οποίο επαναλαμβάνει μία ακολουθία N προκαθορισμένων, από τον σχεδιαστή, καταστάσεων όπου N το modulo του ΜΕΤΡΗΤΗ.

**ΠΡΟΣΟΧΗ :** Πριν ξεκινήσετε την υλοποίηση της άσκησης κατεβάστε **ΟΠΩΣΔΗΠΟΤΕ** από το eclass του εργαστηρίου (από την κατηγορία “Εγγραφα Logisim-Evolution”) το .zip αρχείο με την ανανεωμένη βιβλιοθήκη για το Logisim (**CEID\_LogicDesign\_LogisimEV\_library\_v1.2**). Για το πως εισάγουμε βιβλιοθήκη στο Logisim-En, συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα Logisim-Evolution” του eclass του εργαστηρίου.

**ΜΑΖΙ με την αναφορά **ΠΡΕΠΕΙ ΟΠΩΣΔΗΠΟΤΕ** να παραδώστε και το αρχείο .circ του simulator σε ένα .zip αρχείο (.pdf + .circ)**

## ΔΙΑΔΙΚΑΣΙΑ- Μέρος Α

**Α1α.** Αφού εξηγήσετε τη λειτουργία του βασικού κυκλώματος που απεικονίζεται στο Σχ. 1, να υλοποιήσετε στον simulator, με τη βοήθεια του κύκλωμα του Σχ.1, έναν **σύγχρονο δυαδικό μετρητή των 4-bits**, να βεβαιωθείτε, με την χρήση παλμογράφου, για την σωστή λειτουργία του κυκλώματός σας και να δώσετε τα απαιτούμενα screenshots.



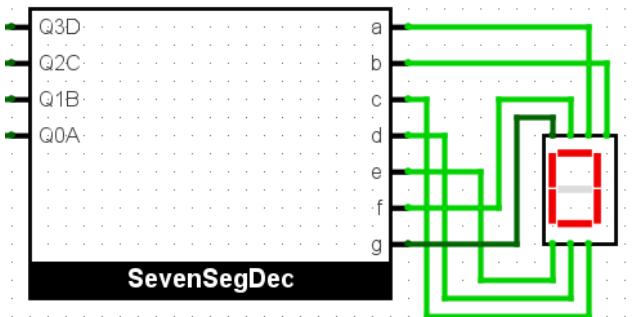
Σχήμα 1

### Παρατηρήσεις:

- ΜΗΝ χρησιμοποιείτε σκέτα στοιχεία λογικών πυλών. Η όποια χρήση πυλών πρέπει να γίνεται με το αντίστοιχο ολοκληρωμένο από την Βιβλιοθήκη TTL/CEID.

Για τη σχεδίαση του κυκλώματος να χρησιμοποιείστε **MONO**:

- Από την βιβλιοθήκη **TTL**: Ένα ολοκληρωμένο 7408.
- Από την βιβλιοθήκη **CEID LogicDesign LogisimEV(v1.2)**: Δύο ολοκληρωμένα 74LS112 (L\_74112) και τον 7-segment Decoder (*SevenSegDec*),
- Από την βιβλιοθήκη **Input/Output-Extra**: Τον παλμογράφο (*Digital oscilloscope*)
- Από την βιβλιοθήκη **Input/Output**: Το 7-Segment Display  
Ρυθμίστε τον παλμογράφο να απεικονίζει **5 σήματα συνολικά**: το clock (με συχνότητα 1Hz) και τις εξόδους των flip-flop Q0-Q3 **για 20 καταστάσεις**.
- Οι είσοδοι του 7-segment Decoder (*SevenSegDec*) Q0A-Q3D οδηγούνται από τις εξόδους, Q, των αντίστοιχων JK flip-flop, ενώ οι έξοδοι του, a, b, ..., f, g, συνδέονται απευθείας στις αντίστοιχες εισόδους a, b, ..., f, g του 7-Segment Display. Σε κάθε παλμό του ρολογιού θα πρέπει να εμφανίζεται το αντίστοιχο ψηφίο (βλ. παράρτημα για τα ψηφία).



- ΠΡΟΣΟΧΗ:** Τα JK flip-flop του 74112 είναι αρνητικής ακμής πυροδότησης και οι είσοδοι CLEAR(ή Reset, R, nCLR) και PRESET(ή Set, S, nPRE) είναι **Active Low!**
- ΠΡΟΣΟΧΗ:** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή Reset, R, nCLR) στο “0” (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό “1”. Η είσοδος PRESET(Set, S, nPRE) πρέπει να συνδεθεί εξαρχής στο λογικό “1”
- Επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 1Hz.** (Συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Έγγραφα” του eclass του εργαστηρίου)

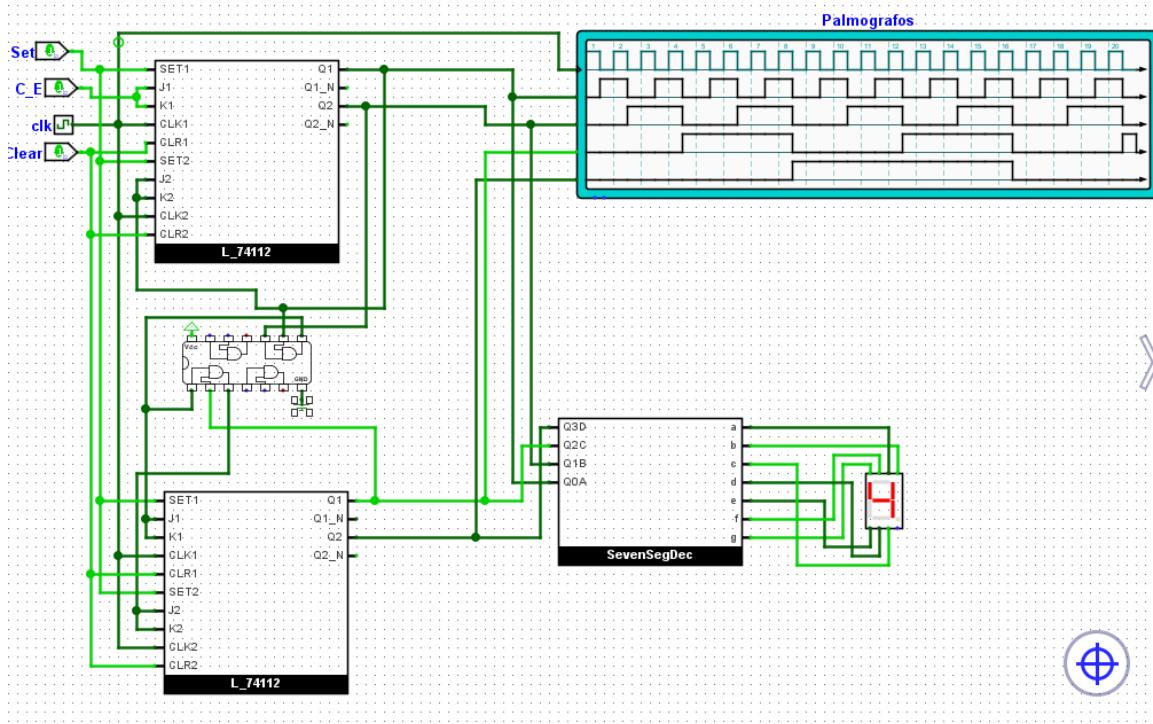
## ΑΠΑΝΤΗΣΗ

**Σύντομη επεξήγηση της λειτουργίας των κυκλώματος του Σχ.1**

Το κύκλωμα του σχ.1 είναι το βασικό κύκλωμα που χρειαζόμαστε για να μπορούμε να κατασκευάσουμε τον 4-bit μετρητή μας. Περιέχει μια πύλη AND της οποίας η έξοδος συνδέεται με τις εισόδους J, K του Flip-Flop. Οι εισόδοι της είναι η έξοδος και η είσοδος ενός προηγούμενου J-K Flip-Flop.

Στην εικόνα το C\_E είναι το Count\_Enable.

Screenshot του counter των 4-bit με παλμογράφο (για 20 καταστάσεις)



Στον 20ο κύκλο εμφανίζεται στο 7-second-display το 4 γιατί σύμφωνα με τον παρακάτω πίνακα έχουμε:

ΚΥΚΛΟΣ	ΑΙΠΟΤΕΛΕΣΜΑ
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
10	A
11	B
12	C
13	D
14	E
15	F
16	0
17	1
18	2
19	3
20	4

**A1β.** Τροποποιήστε το κύκλωμα του ερωτήματος A1, ώστε να συμπεριληφθεί και μία είσοδος **Enable** η οποία όταν έχει την λογική τιμή “1” θα ενεργοποιείται η μέτρηση, ενώ όταν έχει τη λογική τιμή “0” η μέτρηση θα «παγώνει» στη συγκεκριμένη τιμή.

**Παρατηρήσεις:**

- Θα πρέπει να επέμβετε **μόνο** στην είσοδο του 1<sup>ου</sup> και 2<sup>ου</sup> JK flip flop.
- Δεν χρειάζεται να χρησιμοποιήσετε κανένα επιπλέον κύκλωμα/στοιχείο.
- Όταν Enable=’1’ το κύκλωμα λειτουργεί όπως αυτό του A1  
Όταν Enable=’0’ ο μετρητής μένει (*παγώνει*) στην ίδια τιμή.

## ΑΠΑΝΤΗΣΗ

**Σύντομη δικαιολόγηση της επιλογής σχεδίασης και της λειτουργίας του κυκλώματος**

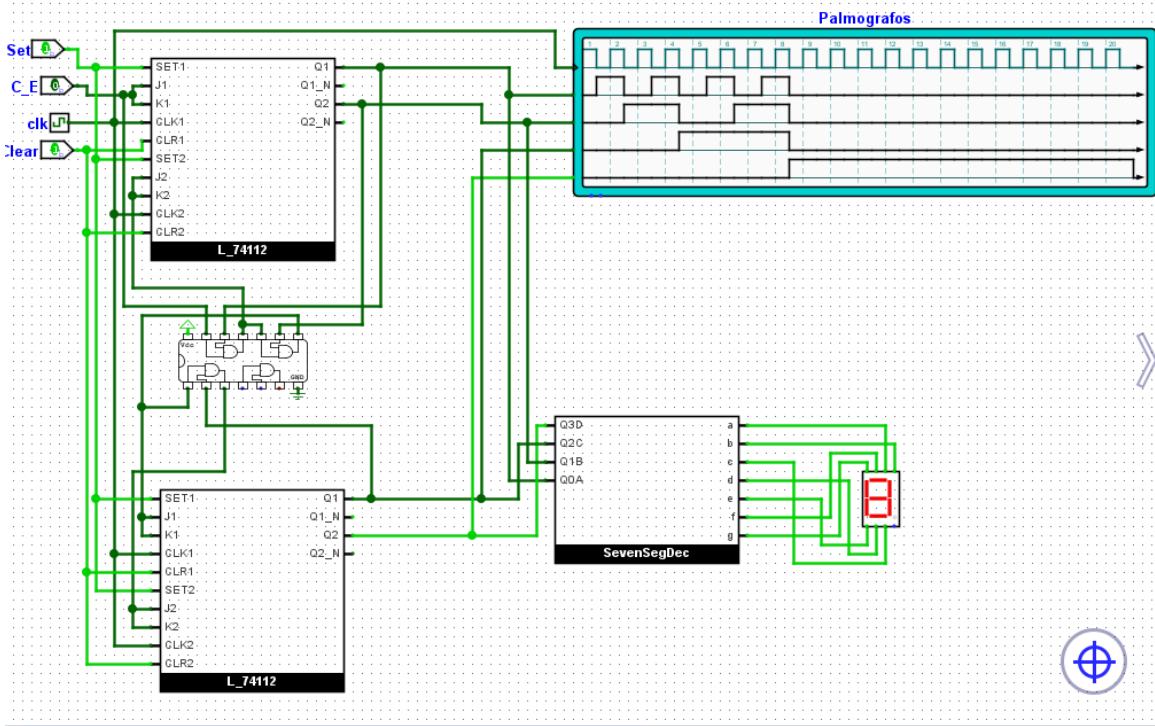
Ουσιαστικά χρησιμοποιήσαμε άλλη μία πύλη AND η οποία παίρνει ως εισόδους την είσοδο C\_E του πρώτου Flip-Flop και την έξοδό του. Αυτό γιατί σύμφωνα με τον πίνακα αληθείας για το J-K Flip-Flop:

J	K	CLK	Q
0	0	↑	$Q_0$ (no change)
1	0	↑	1
0	1	↑	0
1	1	↑	$\bar{Q}_0$ (toggles)

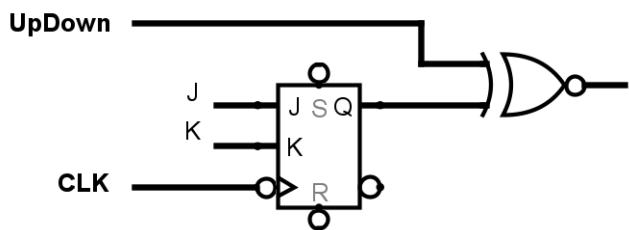
Όταν η C\_E είσοδος γίνει 0 τότε η έξοδος την πρώτης πύλης AND θα γίνει 0 και έτσι θα μεταφερθεί στις εισόδους του 2<sup>ου</sup> flip-flop και έτσι δεν θα υπάρχει αλλαγή κατάστασης. Με την ίδια λογική λειτουργούν και τα επόμενα flip-flop του κυκλώματός μας και έτσι όταν θέσουμε το C\_E στο 0 ο μετρητής παγώνει στην ίδια τιμή.

**Screenshot του κυκλώματος με παλμογράφο (για 20 καταστάσεις)**

Στο τέλος του κύκλου 8 αλλάζουμε το C\_E σε 0 και έτσι προκύπτει το παρακάτω:



**A2.** Με την βοήθεια του βασικού ακολουθιακού κυκλώματος του Σχ. 2 να σχεδιαστεί και να υλοποιηθεί στον simulator ένας **ασύγχρονος up/down δυναδικός μετρητής των 4-bit**. Η φορά της μέτρησης θα υπαγορεύεται από μία είσοδο UpDown. Συγκεκριμένα, όταν UpDown = “1” η μέτρηση πρέπει να γίνεται «προς τα πάνω» (0x0,0x1,0x2,...0xE,0xF, 0x0...,κ.ο.κ.), ενώ όταν UpDown = “0” η φορά της μέτρησης θα γίνεται «προς τα κάτω» (0x2,0x1,0x0,0xF, 0xE... κ.ο.κ).



**Σχήμα 1.** Μετατροπή τελευταίας βαθμίδας καταχωρητή ολίσθησης

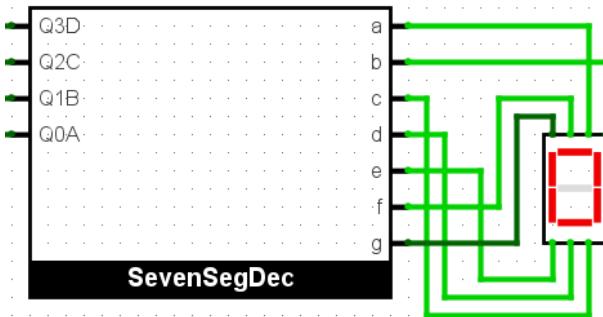
#### Παρατηρήσεις:

- **MHN** χρησιμοποιείτε διακριτά στοιχεία λογικών πυλών. **Η όποια χρήση πυλών πρέπει να γίνεται με το αντίστοιχο ολοκληρωμένο από την Βιβλιοθήκη TTL/CEID.**

Για τη σχεδίαση του κυκλώματος να χρησιμοποιείστε **MONO**:

- Από την βιβλιοθήκη **TTL**: Ένα ολοκληρωμένο 74266.

- Από την βιβλιοθήκη **CEID LogicDesign LogisimEV(v1.2)**: Δύο ολοκληρωμένα 74LS112 (L\_74112) και τον 7-segment Decoder (*SevenSegDec*),
- Από την βιβλιοθήκη **Input/Output-Extra**: Τον παλμογράφο (*Digital oscilloscope*)
- Από την βιβλιοθήκη **Input/Output**: Ένα 7-Segment Display  
Ρυθμίστε τον παλμογράφο να απεικονίζει **5 σήματα συνολικά**: το clock (με συχνότητα 1Hz) και τις εξόδους των flip-flop Q0-Q3 για **20 καταστάσεις**.
- Οι είσοδοι του 7-segment Decoder (*SevenSegDec*) Q0A-Q3D οδηγούνται από τις εξόδους των αντίστοιχων JK flip-flop, ενώ οι έξοδοι του  $a, b, \dots, f, g$  συνδέονται απευθείας στις αντίστοιχες εισόδους  $a, b, \dots, f, g$  του 7-Segment Display. Σε κάθε παλμό του ρολογιού θα πρέπει να εμφανίζεται το αντίστοιχο ψηφίο.



- **ΠΡΟΣΟΧΗ:** Τα JK flip-flop του 74112 είναι αρνητικής ακμής πυροδότησης και οι είσοδοι CLEAR(ή Reset,  $R, nCLR$ ) και PRESET(ή Set,  $S, nPRE$ ) είναι **Active Low!**
- **ΠΡΟΣΟΧΗ:** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή Reset,  $R, nCLR$ ) στο “0” (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό “1”. Η είσοδος PRESET( $S, nPRE$ ) πρέπει να συνδεθεί εξαρχής στο λογικό “1”
- Επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 1Hz**. (Συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα” του eclass του εργαστηρίου)

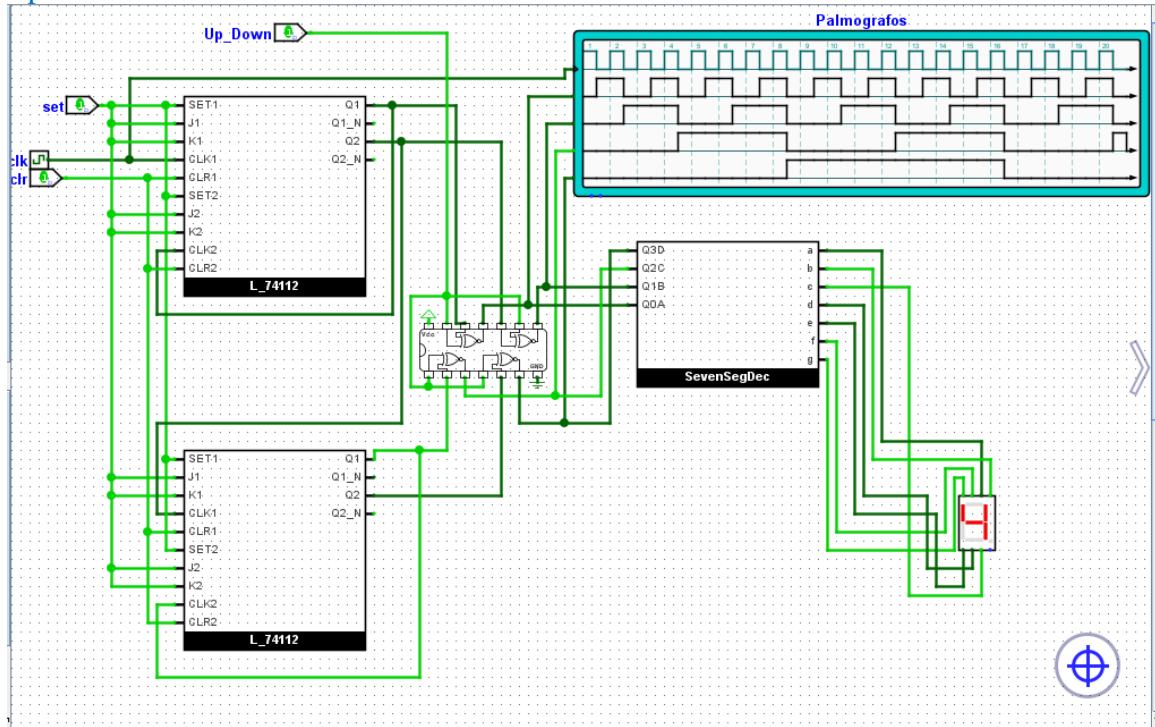
## ΑΠΑΝΤΗΣΗ

**Σύντομη επεξήγηση της λειτουργίας των κυκλώματος**

Σε κάθε πύλη XNOR συνδέεται η Up/Down και μια έξοδος από ένα Flip-Flop. Επίσης η έξοδος του κάθε Flip-Flop(εκτός του τελευταίου) συνδέεται ως ρολόι στο αμέσως επόμενο , ώστε να μπορεί να γινεί η κανονική και η αντίστροφη μετρήση.

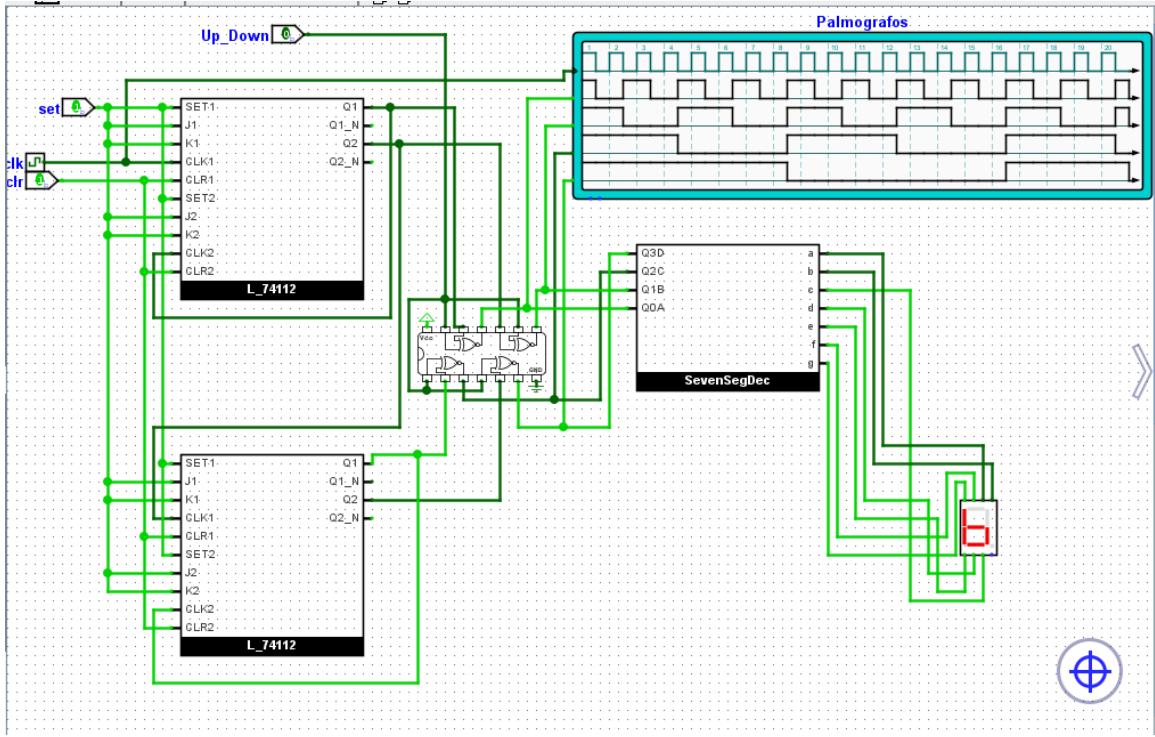
Screenshot του κυκλώματος με παλμογράφο (για 20 καταστάσεις)

Για Up/Down = 1:



Για Up/Down = 0:

## Σελίδα 11



## Μέρος Β – ΜΕΤΡΗΤΕΣ MOD-N

### MODulo N Μετρητής

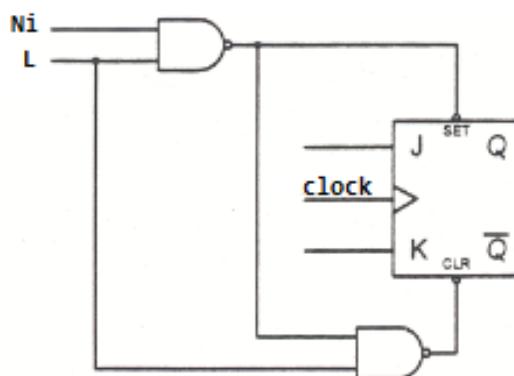
Ένας MODulo N μετρητής είναι ένας μετρητής (σύγχρονος ή ασύγχρονος), ο οποίος έχει N διαφορετικές καταστάσεις. Ο παραπάνω ορισμός του modulo N μετρητή, είναι πολύ γενικός χωρίς κανένα περιορισμό στο N. Στην πράξη ένας modulo N μετρητής συνήθως κατασκευάζεται συνδέοντας σειριακά m ΜΕΤΡΗΤΕΣ modulo  $N_{i, i=1, \dots, m}$  με τρόπο ώστε:

$$N = N_1 * N_2 * N_3 * \dots * N_m.$$

Π.χ. Ένας modulo 105 μετρητής μπορεί να υλοποιηθεί με σειριακή σύνδεση τριών μετρητών modulo 3, 5 και 7 αντίστοιχα, μια και  $3 * 5 * 7 = 105$ .

### Προγραμματιζόμενοι μετρητές (programmable counters).

Προγραμματιζόμενος counter, είναι κάθε counter του οποίου το modulo μπορεί να τροποποιηθεί με την βοήθεια κάποιων γραμμών ελέγχου και κάποιων γραμμών δεδομένων.



Σχήμα 3

## ΔΙΑΔΙΚΑΣΙΑ- Μέρος Β

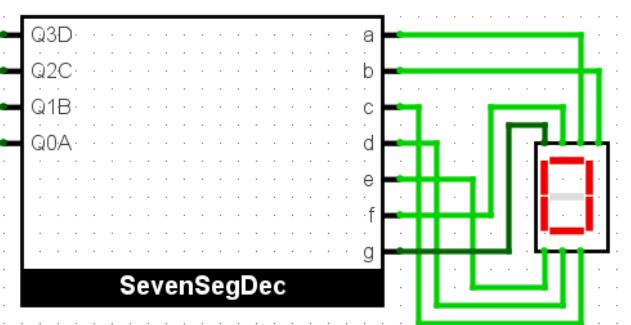
**B1** Εξηγείστε την λειτουργία του βασικού κυκλώματος του Σχ. 3 και βασιζόμενοι σε αυτό να σχεδιάσετε και να υλοποιήσετε στον simulator έναν προγραμματιζόμενο **σύγχρονο** counter των 4-bits, ο οποίος θα μπορεί να τοποθετείται σε οποιανδήποτε επιθυμητή τιμή,  $N$ , μεταξύ 1 και 15 με την βοήθεια τεσσάρων (4) γραμμών δεδομένων **και να απαριθμεί από την τιμή  $N$  έως και το 15 (0xF)**. Η φόρτωση της τιμής  $N(N_3N_2N_1N_0)$  και η εκκίνηση του counter θα γίνονται με την βοήθεια δύο (2) γραμμών ελέγχου, **Load** και **Enable**, αντίστοιχα.

### Παρατηρήσεις:

- Αν η είσοδος  $Enable=’1’$  τότε το κύκλωμα θα πρέπει να απαριθμεί από **n μέχρι και το 15 (0xF)**, δηλαδή :  $N \rightarrow N+1 \rightarrow \dots \rightarrow 15(0xF) \rightarrow N \rightarrow N+1 \dots$  κ.ο.κ . Άλλιώς θα πρέπει να παγώνει τη μέτρηση (κατά αντίστοιχία με το κύκλωμα του Ερωτ. A1β).
- Το κύκλωμα θα πρέπει να «φορτώνει» την τιμή  $N$  **στις εξής δύο περιπτώσεις** α) Αν  $Load=’1’$  ή κατά την μετάβαση από την τιμή 15 (0xF) (όπου πρέπει να λαμβάνει την τιμή ‘ $N$ ’ αντί της τιμής ‘0’). Για την φόρτωση του αριθμού  $N(N_3N_2N_1N_0)$  να **τροποποιήσετε κατάλληλα το κύκλωμα του Σχ.3.**
- **MHN** χρησιμοποιείτε σκέτα στοιχεία λογικών πυλών. Η όποια χρήση πυλών πρέπει να γίνεται με το αντίστοιχο ολοκληρωμένο από την Βιβλιοθήκη TTL/CEID.

Για την υλοποίηση του κυκλώματος χρησιμοποιείστε:

- Από την βιβλιοθήκη **TTL**: Όποια ολοκληρωμένα (λογικών πυλών) θέλετε
- Από την βιβλιοθήκη **CEID LogicDesign LogisimEV(v1.2)**: Δύο ολοκληρωμένα 74LS112 (L\_74112) και τον 7-segment Decoder (*SevenSegDec*)
- Από την βιβλιοθήκη **Input/Output**: Ένα 7-Segment Display
- Οι είσοδοι του 7-segment Decoder (*SevenSegDec*) Q0A-Q3D οδηγούνται από τις εξόδους των αντίστοιχων JK flip-flop, ενώ οι έξοδοι του  $a, b, \dots, f, g$  συνδέονται απευθείας στις αντίστοιχες εισόδους  $a, b, \dots, f, g$  του 7-Segment Display. Σε κάθε παλμό του ρολογιού θα πρέπει να εμφανίζεται το αντίστοιχο ψηφίο.



- ΠΡΟΣΟΧΗ:** Τα JK flip-flop του 74112 είναι αρνητικής ακμής πυροδότησης και οι είσοδοι CLEAR(ή Reset, R, nCLR) και PRESET(ή Set, S, nPRE) είναι **Active Low!**
- ΠΡΟΣΟΧΗ:** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή Reset, R, nCLR) στο “0” (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό “1”. Η είσοδος PRESET(Set, S, nPRE) πρέπει να συνδεθεί εξαρχής στο λογικό “1”
- Επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 1Hz.** (*Συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα” του eclass του εργαστηρίου*)

## ΑΠΑΝΤΗΣΗ

*Σύντομη επεξήγηση της λειτουργίας του κυκλώματος του Σχ.3*

L	Ni	Set	Clear	Επεξήγηση
0	0	1	1	
0	1	1	1	
1	0	1	0	
1	1	0	1	

*Σύντομη δικαιολόγηση της επιλογής σχεδίασης και της λειτουργίας του απαριθμητή*

Screenshot του κυκλώματος του απαριθμητή για  $n=10$  (0xA)

