

ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ
ΤΜΗΜΑ ΜΗΧ Η/Υ & ΠΛΗΡΟΦΟΡΙΚΗΣ
ΤΟΜΕΑΣ ΥΛΙΚΟΥ ΚΑΙ ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ ΥΠΟΛΟΓΙΣΤΩΝ
Εργαστήριο Ηλεκτρονικών & Λογικού Σχεδιασμού

**ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ
ΛΟΓΙΚΟΥ ΣΧΕΔΙΑΣΜΟΥ**

Γ.Φ. ΑΛΕΞΙΟΥ - Ε.Ζ. ΨΑΡΑΚΗΣ

Πάτρα 2018

Ακαδ. Έτος : 2020-21

Εαρινό Εξάμηνο : 2020-21

Όνοματεπώνυμο: Χουσελάς Νικόλαος Δημήτριος

Α.Μ. : 1067432

Όνομ/νυμο Συνεργάτη: Λουκάς Ιωάννης Προδρόμου

Α.Μ. : 1084590

Όνομ/νυμο Συνεργάτη: Ανδρέας Κατσαρός

Α.Μ. : 1084522

Τιμήμα : _____

Άσκηση: ΑΣΚΗΣΗ 6

Αναλυτική Βαθμολογία Πρακτικού Μέρους:

	Βαθμός Αριθ.	Αξιολογητή Ολογραφ.	Υπογραφή Αξιολογητή
<i>Άσκηση 1</i>			
<i>Άσκηση 3</i>			
<i>Άσκηση 5</i>			
<i>Άσκηση 6</i>			
<i>Άσκηση 7</i>			
M.O.			

ΑΣΚΗΣΗ 6

ΗΜΕΡΟΜΗΝΙΑ:

ΘΕΜΑ: ΚΑΤΑΧΩΡΗΤΕΣ - REGISTERS

(M. Mano, Γ' Έκδοση, Κεφ. 6, σελ. 301 - 315)

ΘΕΩΡΙΑ.

Ένας καταχωρητής (register) είναι μια ομάδα από δυαδικά κύτταρα αποθήκευσης (flip-flops) τα οποία όπως ξέρουμε είναι κατάλληλα για την αποθήκευση δυαδικών πληροφοριών. Ένας καταχωρητής των "n" bits περιέχει "n" flip-flops και επομένως μπορεί να αποθηκεύσει κάθε πληροφορία των "n" bits. Με την ευρύτερη έννοια, ένας καταχωρητής αποτελείται από ένα σύνολο flip-flops τα οποία όπως είπαμε κρατούν τις δυαδικές πληροφορίες και από ένα σύνολο πυλών για την επίτευξη της μεταφοράς των πληροφοριών.

Η μεταφορά νέων πληροφοριών μέσα σ' ένα καταχωρητή λέγεται "φόρτωση" του καταχωρητή. Ανάλογα με τον τρόπο μεταφοράς των δεδομένων στον καταχωρητή διακρίνουμε δύο τύπους καταχωρητών:

1. Τους καταχωρητές παράλληλης φόρτωσης (parallel load registers).
2. Τους καταχωρητές ολίσθησης (shift registers).

Στον τύπο (1) των καταχωρητών όλα τα bits του καταχωρητή φορτώνονται την ίδια χρονική στιγμή, δηλαδή η φόρτωση γίνεται παράλληλα. Στον τύπο (2) των καταχωρητών η πληροφορία διαδίδεται κατά μήκος του καταχωρητή. Ένας τέτοιος καταχωρητής αποτελείται από μία αλυσίδα από flip-flop συνδεδεμένα στη σειρά, με την έξοδο του ενός να τροφοδοτεί την είσοδο του γειτονικού του. Όλα τα flip-flops παίρνουν ένα κοινό ρολόι και το οποίο προκαλεί την ολίσθηση από την μία βαθμίδα στην επόμενη. Σ' ένα τέτοιο καταχωρητή η είσοδος της πρώτης βαθμίδας ονομάζεται "σειριακή είσοδος" (serial input) ενώ η έξοδος της τελευταίας βαθμίδας, ονομάζεται "σειριακή έξοδος" (serial output).

ΠΡΟΣΟΧΗ : Πριν ξεκινήσετε την υλοποίηση της άσκησης κατεβάστε **ΟΠΩΣΔΗΠΟΤΕ** από το eclass του εργαστηρίου (από την κατηγορία “Εγγραφα Logisim-Evolution”) το .zip αρχείο με την ανανεωμένη βιβλιοθήκη για το Logisim (**CEID_LogicDesign_LogisimEV_library_v1.1**). Για το πως εισάγουμε βιβλιοθήκη στο Logisim-En, συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα Logisim-Evolution” του eclass του εργαστηρίου.

ΜΑΖΙ με την αναφορά **ΠΡΕΠΕΙ ΟΠΩΣΔΗΠΟΤΕ** να παραδώστε και το αρχείο .circ του simulator

ΔΙΑΔΙΚΑΣΙΑ

1. Υλοποιήστε στον simulator έναν καταχωρητή ολίσθησης (shift-register) των 4-bit με D flip-flops, βεβαιωθείτε, με την χρήση παλμογράφου, για την σωστή λειτουργία του κυκλώματός σας και δώστε τα απαιτούμενα screenshots.

Παρατηρήσεις:

- Χρησιμοποιείστε **ΜΟΝΟ το ολοκληρωμένο 7474** από την βιβλιοθήκη **TTL** και τον παλμογράφο (*Digital oscilloscope*) από την βιβλιοθήκη **Input/Output-Extra**. Ρυθμίστε τον παλμογράφο να απεικονίζει **5 σήματα συνολικά**: το clock (με συχνότητα 1Hz) και τις εξόδους των flip-flop Q0-Q3 **για 8 καταστάσεις**. Μπορείτε επίσης να χρησιμοποιήσετε και leds για οπτική απεικόνιση των εξόδων των flip-flops
- **ΠΡΟΣΟΧΗ:** Οι είσοδοι CLEAR(ή Reset, R, nCLR) και PRESET(ή Set, S, nPRE) στο 7474 **είναι Active Low!**
- **ΠΡΟΣΟΧΗ:** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή Reset, R, nCLR) στο “0” (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό “1”. Η είσοδος PRESET(Set, S, nPRE) πρέπει να συνδεθεί εξαρχής στο λογικό “1”
- Χρησιμοποιήστε ένα pin εισόδου για να εισάγεται στην είσοδο του καταχωρητή το bit που θα “ολισθαίνει”. Το bit αυτό θα **έχει ΣΥΝΕΧΩΣ** την τιμή “1”.
- Επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 1Hz**. (*Συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα” του eclass του εργαστηρίου*)

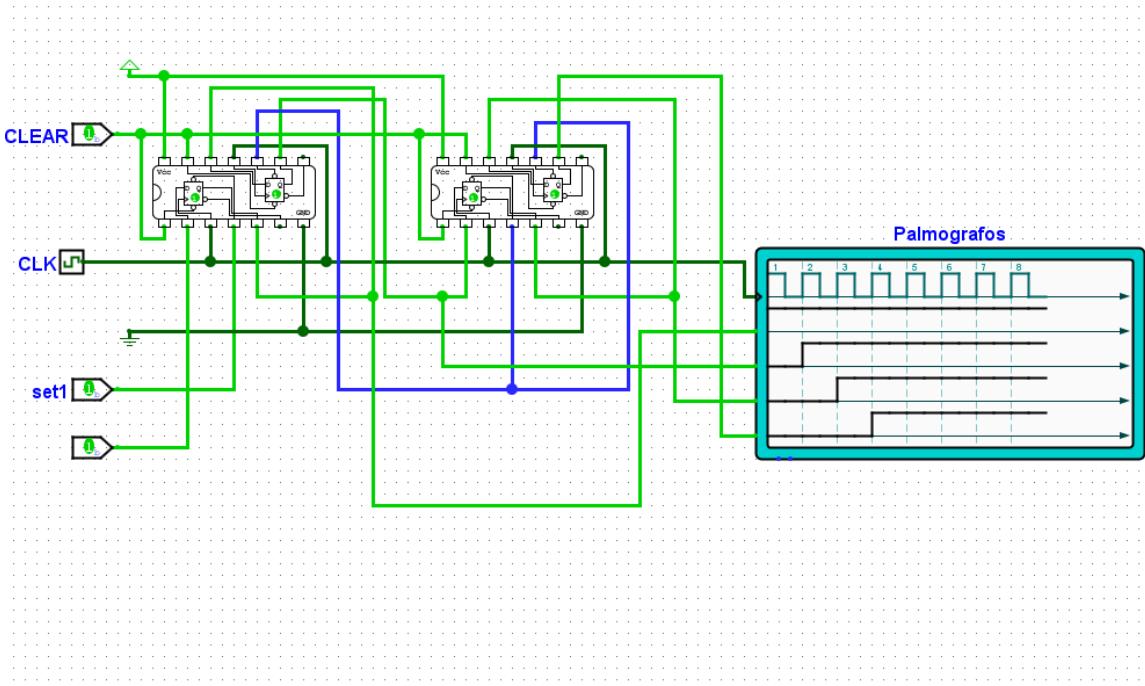
ΚΥΚΛΩΜΑ

Σύντομη επεξήγηση της επιλογής σχεδίασης

Ουσιαστικά χρησιμοποιούμε τις πληροφορίες που μας δίνονται παραπάνω για το ποια είναι η σύνδεση των Flip-Flop μεταξύ τους όπου η έξοδος του κάθε Flip-Flop συνδέεται με την είσοδο του επόμενου.

- **Screenshot shift-register των 4-bit με παλμογράφο (για 8 καταστάσεις)**

Σελίδα 5



2. Σκοπός του ερωτήματος αυτού είναι να σχεδιάσετε έναν καταχωρητή ολίσθησης των 4-bit «δυναμικής λειτουργίας». Δηλαδή θα πρέπει δηλαδή ο καταχωρητής να δημιουργεί έναν "1" ο οποίος θα διαδίδεται σειριακά από το κάθε flip-flop στο γειτονικό του με κυκλικό τρόπο. Για τον σκοπό τροποποιήστε το κύκλωμα του ερωτήματος 6.1 συνδέοντας την "σειριακή έξοδο" του στην "σειριακή" του είσοδο" και **τροποποιώντας την διασύνδεση των PRESET και CLEAR της τελευταίας βαθμίδα του**. Εξηγείστε σύντομα την λειτουργία του κυκλώματος και δώστε τα απαραίτητα screenshots. Που έχουν εφαρμογή τέτοιου είδους κυκλώματα;

Παρατηρήσεις:

- Χρησιμοποιείστε **MONO το ολοκληρωμένο 7474** από την βιβλιοθήκη **TTL** και τον παλμογράφο (*Digital oscilloscope*) από την βιβλιοθήκη **Input/Output-Extra**. Ρυθμίστε τον παλμογράφο να απεικονίζει **5 σήματα συνολικά**: το clock (με συχνότητα 1Hz) και τις εξόδους των flip-flop Q0-Q3 **για 8 καταστάσεις**. Μπορείτε επίσης να χρησιμοποιήσετε και leds για οπτική απεικόνιση των εξόδων των flip-flops
- **ΠΡΟΣΟΧΗ:** Οι είσοδοι CLEAR(ή *Reset*, *R*, *nCLR*) και PRESET(ή *Set*, *S*, *nPRE*) στο 7474 είναι **Active Low!**
- **ΠΡΟΣΟΧΗ:** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή *Reset*, *R*, *nCLR*) στο "0" (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό "1". Η είσοδος PRESET(*Set*, *S*, *nPRE*) πρέπει να συνδεθεί εξαρχής στο λογικό "1"
- Επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 1Hz**. (*Συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα "Εγγραφα" του eclass του εργαστηρίου*)

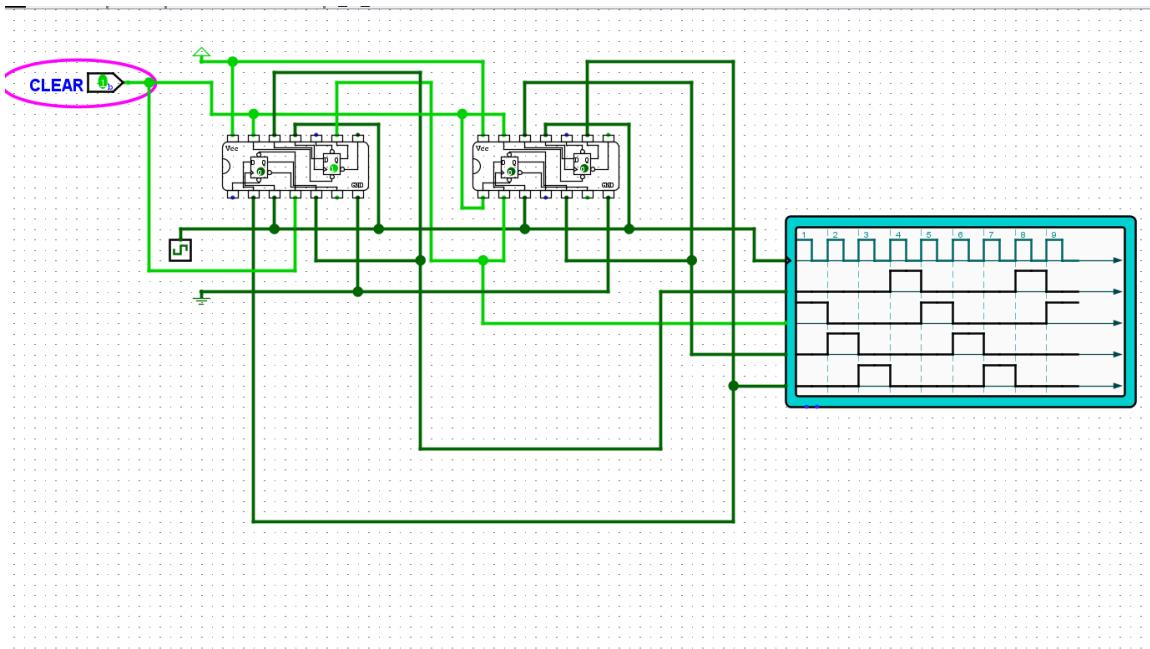
ΣΥΝΔΙΑΣΤΙΚΟ ΚΥΚΛΩΜΑ

Σύντομη δικαιολόγηση της επιλογής σχεδίασης και της λειτουργίας του κυκλώματος

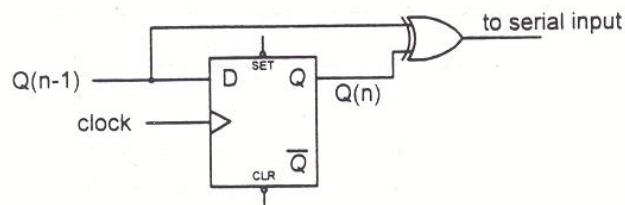
Για την κατασκευή του καταχωρητή «δυναμικής λειτουργίας» χρησιμοποιούμε πλεον, μονάχα ένα σήμα(CLEAR) το οποίο χειρίζεται την είσοδο SET του πρώτου FF και ταυτόχρονα , τις εισόδους CLEAR των υπόλοιπων FF. Μ' αυτό τον τρόπο, όταν θέτουμε το Clear=0 αποθηκεύεται και τίθεται ένας «1» στο πρώτο FF ενώ ταυτόχρονα μηδενίζεται η τιμή των άλλων FF.

Όταν στη συνέχεια θέσουμε το Clear=1 , πλέον τα Flip Flops λειτουργούν με βάση τα εισόδους D και το ρολόι. Έτσι , επειδή έχει αποθυκευτεί στο πρώτο FF η τιμή 1(και στα υπόλοιπα 0) και βάζοντας την έξοδο του τελευταίου FF ως είσοδο του πρώτου, πραγματοποιείται η σειριακή μετάδοση του πρώτου «1» κυκλικά.

- Screenshot του κυκλώματος με παλμογράφο (για 8 καταστάσεις)



3. Τροποποιήστε την τελευταία βαθμίδα του κυκλώματος του ερωτήματος 6.2 όπως φαίνεται στο Σχήμα 1. Καταγράψτε τις εξόδους $Q_0 - Q_3$ για τουλάχιστον 20 καταστάσεις και εξηγείστε την λειτουργία του κυκλώματος.



Σχήμα 1. Μετατροπή τελευταίας βαθμίδας καταχωρητή ολίσθησης

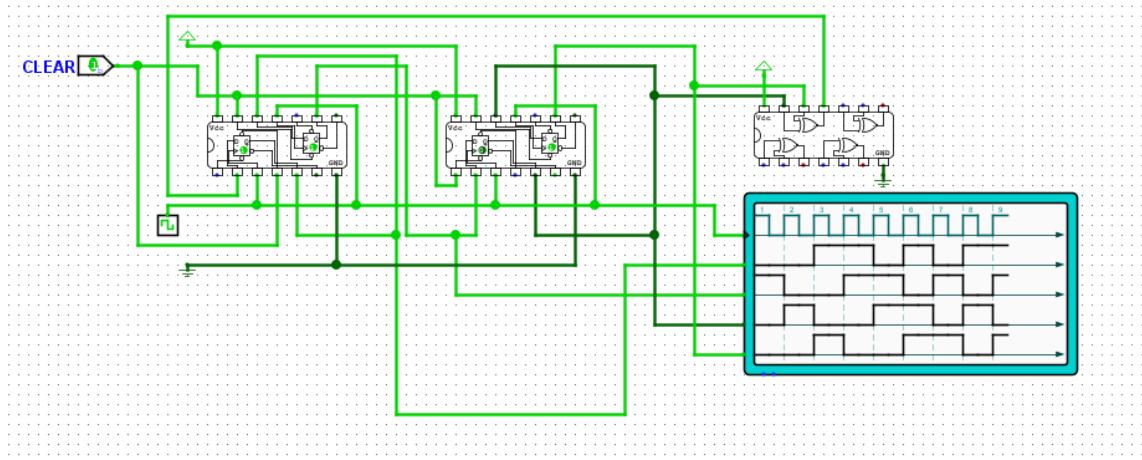
Παρατηρήσεις:

- Χρησιμοποιείστε **MONO** τα ολοκληρωμένα **7474** και **7486** από την βιβλιοθήκη **TTL** καθώς και τον παλμογράφο (*Digital oscilloscope*) από την βιβλιοθήκη **Input/Output-Extra**. Ρυθμίστε τον παλμογράφο να απεικονίζει **5 σύματα συνολικά**: Το clock (με συχνότητα **0,5Hz**) και τις εξόδους των flip-flop Q_0-Q_3 για **25 καταστάσεις**. Μπορείτε επίσης να χρησιμοποιήσετε και leds για οπτική απεικόνιση των εξόδων των flip-flops
- **ΠΡΟΣΟΧΗ:** Οι είσοδοι CLEAR(ή *Reset, R, nCLR*) και PRESET(ή *Set, S, nPRE*) στο 7474 είναι **Active Low!**

- ΠΡΟΣΟΧΗ:** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή Reset, R , $nCLR$) στο “0” (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό “1”. Η είσοδος PRESET(Set , S , $nPRE$) πρέπει να συνδεθεί εξαρχής στο λογικό “1”
- Επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 0,5Hz** (συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα” του eclass του εργαστηρίου), ώστε να προλαβαίνετε να καταγράφετε τις εξόδους των flip-flops.

ΚΥΚΛΩΜΑ

- Screenshot του κυκλώματος με παλμογράφο (για 8 καταστάσεις)



Έξοδοι των flip-flops

#Clocks	Q0	Q1	Q2	Q3
1	0	1	0	0
2	0	0	1	0
3	1	0	0	1
4	1	1	0	0
5	0	1	1	0
6	1	0	1	1
7	0	1	0	1
8	1	0	1	0
9	1	1	0	1

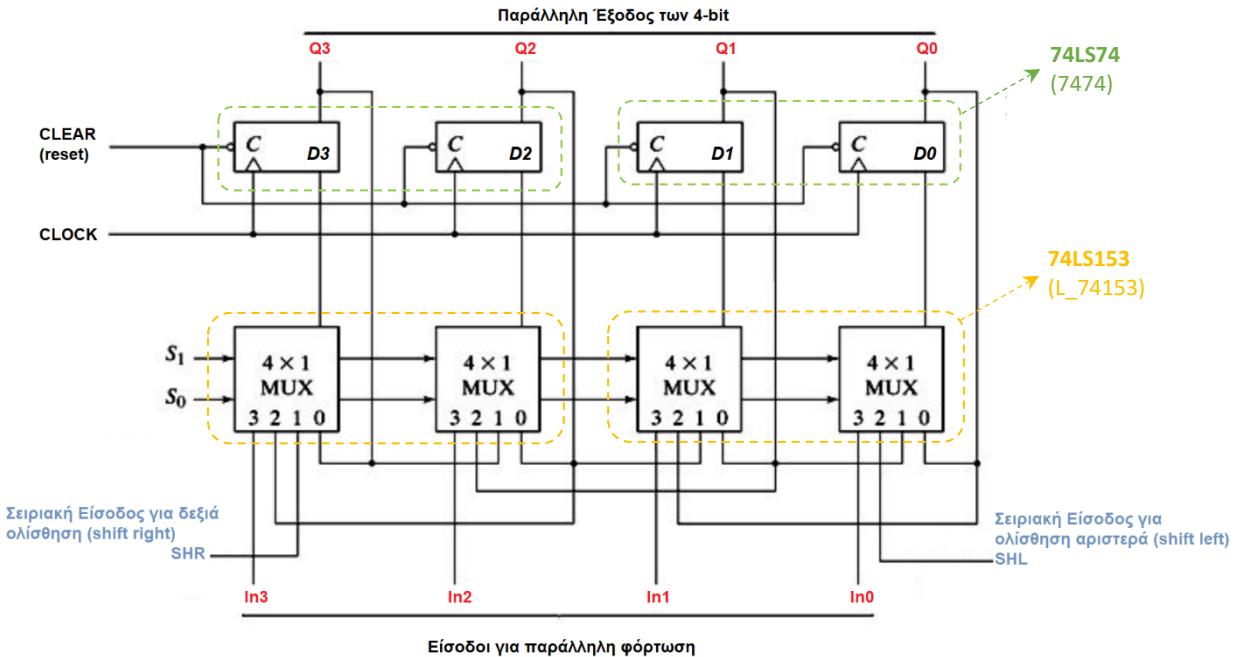
10	1	1	1	0
11	1	1	1	1
12	0	1	1	1
13	0	0	1	1
14	0	0	0	1
15	1	0	0	0
16	0	1	0	0
17	0	0	1	0
18	1	0	0	1
19	1	1	0	0
20	0	1	1	0
21	1	0	1	1
22	0	1	0	1
23	1	0	1	0
24	1	1	0	1
25	1	1	1	0

Σύντομη επεξήγηση της λειτουργίας του κυκλώματος

Η έξοδος της πύλης XOR συνδέεται με την είσοδο του πρώτου Flip-Flop που σημαίνει πως το Q0 γίνεται 1 μόνο όταν η έξοδος της XOR είναι 1. Αυτό συμβαίνει όταν είτε το Q2 είτε το Q3 γίνεται 1. Για αυτό βλέπουμε ότι στον κύκλο 3 η έξοδος Q0 γίνεται 1 αφού στον προηγούμενο κύκλο παρατηρούμε ότι η έξοδος Q2 είναι 1 (λόγω τη ολίσθησης που εκτελεί ο καταχωρητής). Στον κύκλο 6 παρατηρούμε ότι δημιουργούνται 3 άσσοι τώρα οι οποίοι προκύπτουν με την ίδια ακριβώς λογική που εξηγήσαμε παραπάνω. Το ίδιο ακριβώς ισχύει και για τον κύκλο 11 όπου εμφανίζονται 4 άσσοι. Στον επόμενο κύκλο το Q0 όμως γίνεται 0 αφού στον κύκλο 11 το Q2 και το Q3 ήταν 1 επομένως η έξοδος της XOR γίνεται 0 άρα το Q0 στον κύκλο 12 θα είναι επίσης 0. Για τους επόμενους κύκλους ισχύει η ίδια λογική.

4. Το κύκλωμα του καταχωρητή του Σχήματος 2 εκτελεί, σύμφωνα με τις τιμές των σημάτων επιλογής S_1, S_0 , τις λειτουργίες που περιγράφονται στον παρακάτω πίνακα. Αφού μελετήσετε και κατανοήσετε τον τρόπο λειτουργίας του, να υλοποιήσετε στον simulator το κύκλωμα αυτό.

S_1	S_2	Λειτουργία του Καταχωρητή
0	0	<i>Διατηρεί την παρούσα κατάσταση</i>
0	1	<i>Δεξιά Ολίσθηση</i>
1	0	<i>Αριστερή Ολίσθηση</i>
1	1	<i>Παράλληλη Φόρτωση</i>



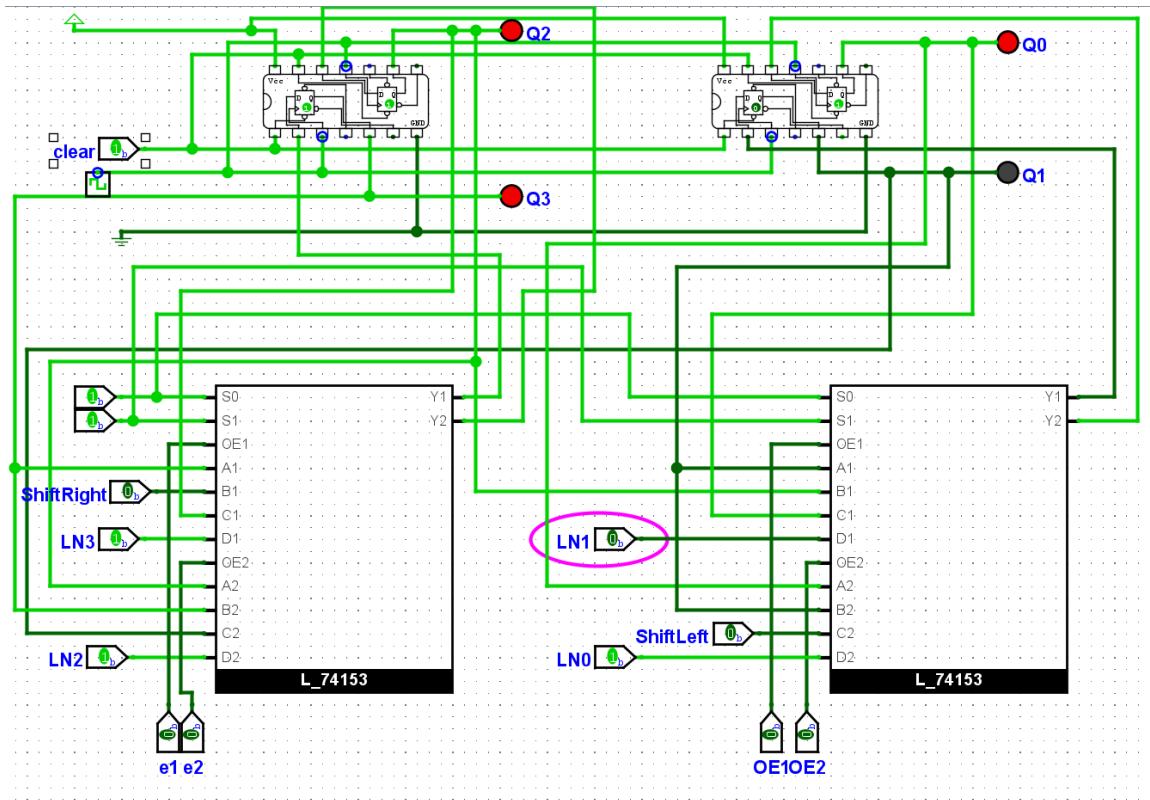
Σχήμα 2. Κύκλωμα καταχωρητή παράλληλης φόρτωσης/σειριακής ολίσθησης

Παρατηρήσεις:

- Από την βιβλιοθήκη **CEID_LogicDesign_LogisimEV** χρησιμοποιείστε **MONO** ολοκληρωμένο **L_74153**. Από την βιβλιοθήκη **TTL MONO** το ολοκληρωμένο **7474**.
- **ΠΡΟΣΟΧΗ:** Οι είσοδοι CLEAR(ή *Reset, R, nCLR*) και PRESET(ή *Set, S, nPRE*) στο 7474 είναι **Active Low!** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή *Reset, R, nCLR*) στο “0” (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό “1”. Η είσοδος PRESET(*Set, S, nPRE*) πρέπει να συνδεθεί εξαρχής στο λογικό “1”
- **ΠΡΟΣΟΧΗ:** Οι είσοδοι Enable (*oE1, oE2*) του 74153 είναι **Active Low!**
- Χρησιμοποιείστε pins εξόδου για τις εξόδους Q3-Q0 του καταχωρητή γιατί **θα τον χρησιμοποιήσετε ως υποκύκλωμα στο επόμενο ερώτημα**
- Επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 1Hz**. (Συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα” του eclass του εργαστηρίου)
- Σε περίπτωση σχεδίασης/χρήσης υποκυκλώματος **πρέπει** να συμπεριλάβετε και ξεχωριστό screenshot για το υποκύκλωμα που χρησιμοποιείτε!!

ΚΥΚΛΩΜΑ

- **Screenshot του κυκλώματος καταχωρητή του Σχήματος 2 για S0=1, S1=1, In3-In0=1101**



Σύντομη επεξήγηση της λειτουργίας των κυκλώματος

Το παραπάνω κύκλωμα είναι ένας καταχωρητής που εκτελεί 4 λειτουργίες ταυτόχρονα σύμφωνα με τον παραπάνω πίνακα, δηλαδή είναι καταχωρητής πολλαπλών λειτουργειών.

5. Χρησιμοποιώντας το κύκλωμα του Ερωτήματος 6.4 (ως υποκύκλωμα) να υλοποιήσετε στον simulator ένα κύκλωμα που να εκτελεί σειριακή πρόσθεση. Θα πρέπει να φορτώνετε παράλληλα 2 αριθμούς των 4-bits σε 2 καταχωρητές (του Ερωτ. 6.4), και έπειτα να τους ρυθμίσετε να εκτελέσουν δεξιά ολίσθηση. Κάθε ζεύγος bits σειριακής εξόδου των καταχωρητών πρέπει να προστίθεται σε έναν πλήρη αθροιστή και το κρατούμενο να αποθηκεύεται σε ένα D flip-flop, ώστε προστεθεί μαζί με το αμέσως επόμενο σημαντικό ζεύγος bits που προκύπτουν από τις σειριακές εξόδους των καταχωρητών. Η διαδικασία της πρόσθεσης πρέπει να ολοκληρώνεται μετα από **4 παλμούς ρολογιού** (clocks) **και το αποτέλεσμα της πράξεως να αποθηκεύεται στον πάλι καταχωρητή A.**

Παρατηρήσεις:

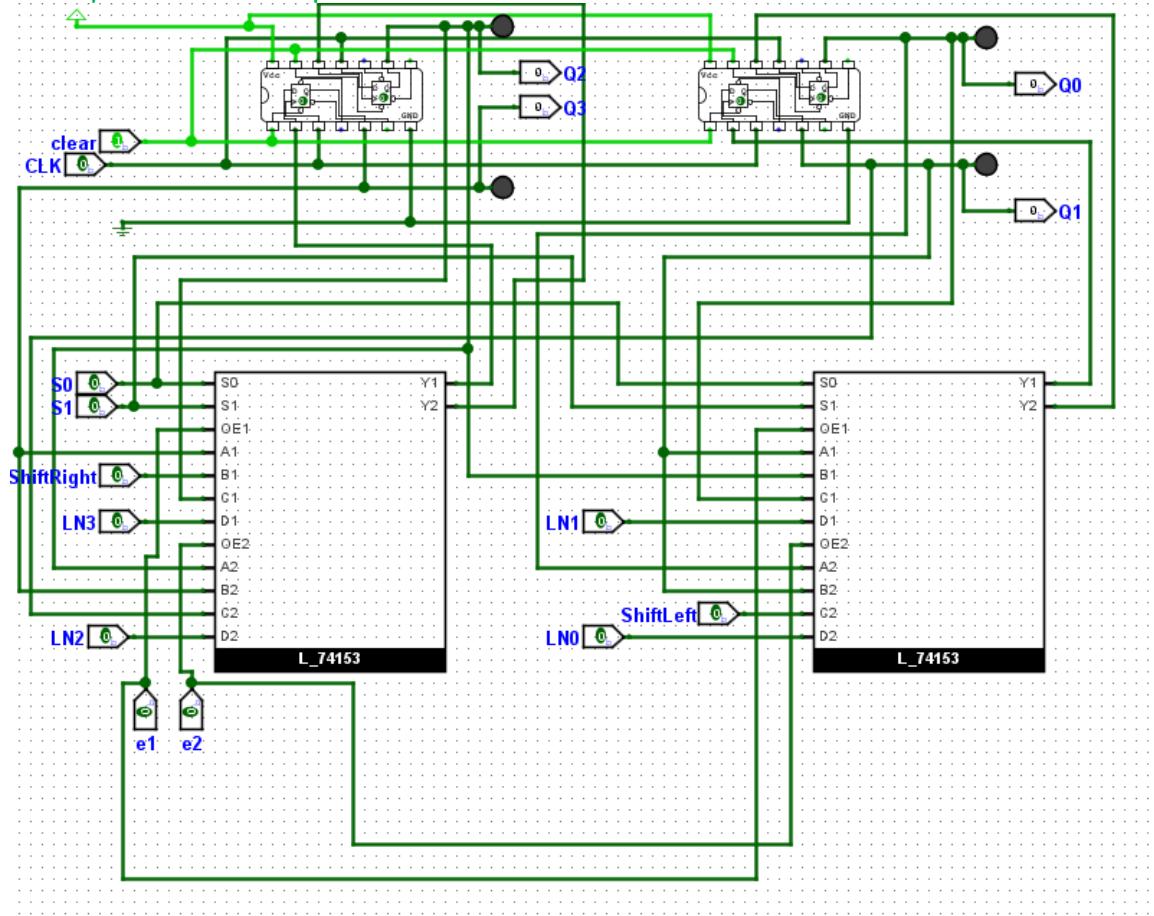
- Από την βιβλιοθήκη **CEID_LogicDesign_LogisimEV** χρησιμοποιείστε **MONO** το ολοκληρωμένα **L_74153**. Από την βιβλιοθήκη **TTL MONO** τα ολοκληρωμένο **7474** και **74283**. Χρησιμοποιείστε το 74283 ως αθροιστή του 1-bit (**τα pins A1, B1, S1, S2**).
- **ΠΡΟΣΟΧΗ:** Οι είσοδοι CLEAR(ή *Reset*, R, nCLR) και PRESET(ή *Set*, S, nPRE) στο 7474 είναι **Active Low!** Για να ξεκινήσει το Flip-Flop να λειτουργεί σωστά πρέπει πρώτα να θέσετε την είσοδο CLEAR(ή *Reset*, R, nCLR) στο “0” (**CLEAR=0, εκκαθάριση**) και έπειτα να τη θέσετε στο λογικό “1”. Η είσοδος PRESET(*Set*, S, nPRE) πρέπει να συνδεθεί εξαρχής στο λογικό “1”
- Για να ελέγξετε τη σωστή λειτουργία του κυκλώματος πιο εύκολα (αλλαγή τιμών των σημάτων Select, κτλ), προτείνεται να χρησιμοποιήσετε α) ένα απλό στοιχείο Pin (της βιβλιοθήκης Wiring), όπου θα του αναθέτετε εσείς τιμές “0” - “1”, προσομοιώνοντας έτσι τους παλμούς ρολογιού (αντί για το στοιχείο Clock) και β) leds στις εξόδους του καταχωρητή A. Αν όμως επιλέξετε την χρήση του στοιχείου Clock, επιβεβαιώστε πριν την έναρξη της εξομοίωσης ότι η συχνότητα λειτουργίας (tick frequency) του CLOCK **είναι ίση με 0.5Hz**. (*Συμβουλευτείτε την παρουσίαση για τον simulator που βρίσκεται στα “Εγγραφα” του eclass του εργαστηρίου*)
- Σε περίπτωση σχεδίασης/χρήσης υποκύκλωματος **πρέπει** να συμπεριλάβετε και ξεχωριστό screenshot για το υποκύκλωμα που χρησιμοποιείτε!!
- Η ακολουθία των ενεργειών που πρέπει να ακολουθήσετε είναι η εξής:
 - Reset
 - Ρύθμιση των καταχωρητών για **Παράλληλη Φόρτωση**
 - Παράλληλη Φόρτωση
 - Ρύθμιση των καταχωρητών για **Δεξιά Ολίσθηση**
 - Τέσσερις Δεξιές ολισθήσεις.

Το αποτέλεσμα της πρόσθεσης πρέπει να φαίνεται στον καταχωρητή A

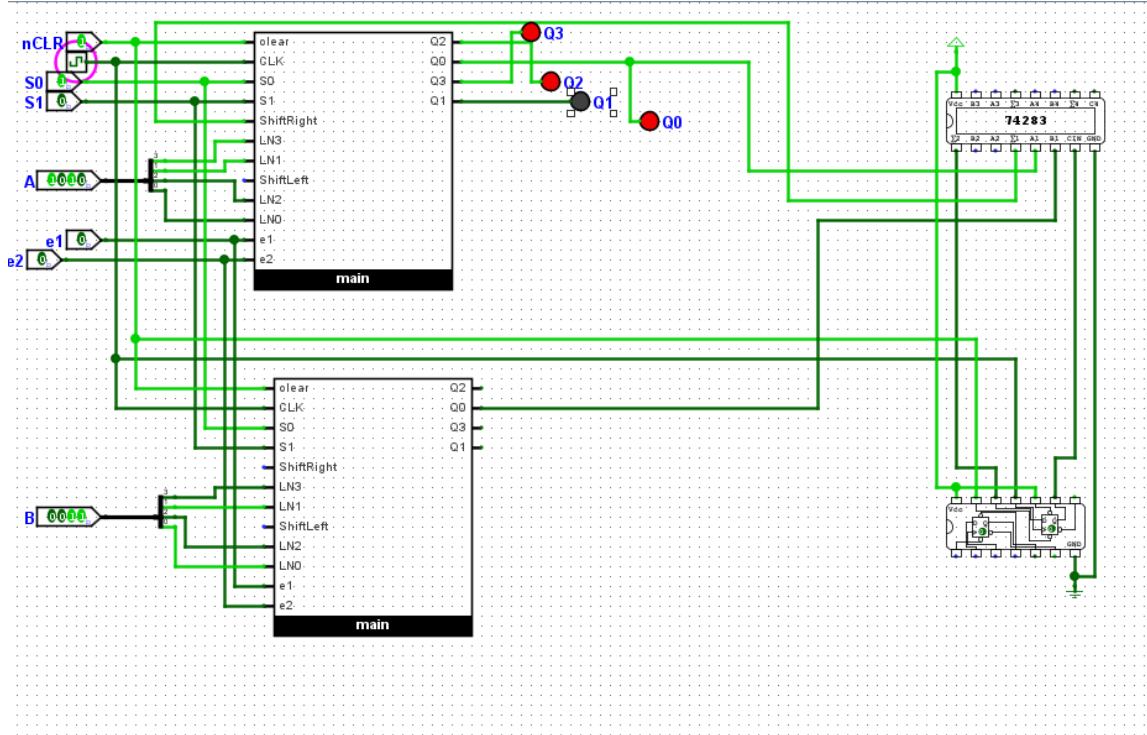
ΚΥΚΛΩΜΑ

- Screenshot του κυκλώματος του σειριακού αθροιστή για $A=1010$, $B=0011$ όπου να φαίνεται το τελικό αποτέλεσμα σε LEDs/Output pins**

Χρησιμοποιήσαμε και το κύκλωμα της 6.4 το οποίο τροποποιήσαμε λίγο για να γίνει πιο ενανάγνωστο το κύκλωμα.



Το κύκλωμα που ζητείται είναι το παρακάτω:



Αναλυτική επεξήγηση της επιλογής σχεδίασης και της λειτουργίας των κυκλώματος.

Για την σειριακή πρόσθεση που θέλουμε να κάνουμε είναι απαραίτητη η χρήση 2 έως 3 bit κάθε φορά. Ο καταχωρητής εφόσον κάνει ολίσθηση προς τα δεξιά τα bit ολισθαίνουν από το Q3 στο Q0 άρα συνδέουμε τα Q0 των καταχωρητών A και B στα A1 και B1 του full-adder. Για κάθε πρόσθεση που γίνεται το αποτέλεσμα είναι το πολύ 2 bit, έτσι το Σ1 το οποίο είναι το LSB (Least Significant Bit) το μεταφέρουμε στον καταχωρητή A και στο Pin της δεξιάς ολίσθησης για να εμφανιστεί αργότερα το αποτέλεσμα. Το Σ2 ως MSB (Most Significant Bit) αλλά και κρατούμενο της πρόσθεσης το μεταφέρουμε στο D-FlipFlop για να το προσθέσουμε στην επόμενη περίοδο μαζί με τα A και B ενώ η έξοδος Q του FlipFlop συνδέεται με το Cin του FA για να γίνει η πρόσθεση. Με αυτό τον τρόπο εμφανίζεται το αποτέλεσμα που φαίνεται παραπάνω.

ΤΕΛΟΣ ΑΝΑΦΟΡΑΣ!!!!!!

