



计算机组成原理总结

主讲：张健

E-mail:pcadiy@126.com



考试题型分布

- 判断对错题： 10%
- 单项选择题： 20%
- 填空题： 20%
- 综合应用题： 50%

计算机系统概论

- 二进制、十进制、八进制、十六进制、BCD码与真值
 - 表示方法
 - 转换方法
- 奇偶校验
 - 奇偶校验的含义
 - 能检出奇数个错误，不能确定出错位置

运算方法和运算器

真值	原码	反码	补码	补码的偶校验位(1位)
	0.1010101			
		11001101		
			0100111 1	
		1.0101		
-25/32				

运算方法和运算器

○ 定点运算题

- 已知 $X=27$ 和 $Y=31$ ，用变形补码计算 $X+Y$ 和 $X-Y$ ，同时指出运算结果是否溢出？
- 解：首先将 X 、 Y 转化为二进制真值
- 分别求出 $[X]_{\text{原}}$ 、 $[Y]_{\text{原}}$ ，再求出 $[X]_{\text{补}}$ 、 $[Y]_{\text{补}}$ 以及 $[-Y]_{\text{补}}$ 。
- 用变形补码分别计算 $X+Y$ 和 $X-Y$ （列竖式）
- 结果用十进制真值表示。

运算方法和运算器

○ 定点运算题

- 已知 $X=27$ 和 $Y=31$ ，用单符号补码计算 $X+Y$ 和 $X-Y$ ，同时指出运算结果是否溢出？
- 解：首先将 X 、 Y 转化为二进制真值
- 分别求出 $[X]_{\text{原}}$ 、 $[Y]_{\text{原}}$ ，再求出 $[X]_{\text{补}}$ 、 $[Y]_{\text{补}}$ 以及 $[-Y]_{\text{补}}$ 。
- 用单符号补码分别计算 $X+Y$ 和 $X-Y$ （列竖式）
- 结果用十进制真值表示。

运算方法和运算器

○ 定点乘法运算

- 原码并行乘法
- 不带符号的阵列乘法（阵列乘法器通常由与门阵列和一位全加器组成）
- 带符号的阵列乘法（不带符号的阵列乘法器和**3**个求补器组成）

运算方法和运算器

○ 定点除法运算

- 恢复余数法
- 不恢复余数法（部分余数为负 商**0**，左移 加除数 部分余数为正 商**1**，左移 减除数 ）

多层次的存储器

- 主存与辅存的特点

- 容量、速度、价格

- 地址译码

- 容量与地址线数的关系

- 静态RAM与动态RAM

- 刷新：集中刷新、分散（异步）刷新，以行为单位进行。

多层次的存储器

○ Cache

- 主存与CPU速度不匹配
- 全相连、组相联、直接映射均由硬件完成
- 直接映射无需替换策略

○ 相联存储器

- 特点按内容寻址的存储器

多层次的存储器

○ 例：P112、第15题

- 主存的块数： 2^{22} ，块号的位数22 位
 $16\text{M} \times 32 = 2^4 \times 2^{20} \times 32 = 2^{22} \times 2^2 \times 32$
- Cache的行数： 2^{14} ，行号的位数14 位
 $64\text{K} \times 32 = 2^6 \times 2^{10} \times 32 = 2^{14} \times 2^2 \times 32$
- 块内容量： $2^2 \times 32$ ，块内地址位数2位

标记 s-r

行 r

字 w



22位

14位

2位

多层次的存储器

○ 存储器地址映射

- 主存共4096块，每块16个字，则其块地址（ 12 ）位，块内地址（ 4 ）位，字块标记（ 9 ）位。
- 组相联Cache共32块，每组4块（4路组相联），Cache地址（ 5 ）位，其中组地址（ 3 ）位。
- 主存的地址格式： $2^{12} \times 2^4 = 2^7 \times 2^5 \times 2^4$
- $= 2^9 \times 2^3 \times 2^4$
- Cache的地址格式： $2^5 \times 2^4 = 2^3 \times 2^2 \times 2^4$

-
- 某计算机主存8MB，分成4096块。Cache64KB，分成和主存同样大小的块，地址映像采用直接映像方式，见下图。求：
 - （1）Cache有多少块？
 - （2）Cache的块内地址为多少位？
 - （3）Cache的行号为多少位？
 - （4）设Cache中的主存标记如图所示，当CPU送出地址为6807FFH时，能否在Cache中访问到该单元？若送出地址为2D07FFH时，能否在Cache中访问到该单元？上述两个地址若不在Cache中，应如何映射到Cache中？

多层次的存储器

- (1) 每块的大小：
 $8\text{MB}/4096 = 2^3 \times 2^{20}/2^{12} = 2^{11}(\text{B})$
Cache 64KB: $64\text{KB} = 2^6 \times 2^{10} = 2^5 \times 2^{11}(\text{B})$, $2^5 = 32$ 块。
- (2) Cache的块内地址为11位。
- (3) Cache的行号5位。
- $7\text{F}1057\text{H} = \text{111 1111 0001 0000 1001 1111}$
- $2\text{D}07\text{FFH} = \text{010 1101 0000 0111 1111 1111}$

标记↕	Cache 块↕
0101010↕	0 块↕
1101101↕	1 块↕
0111111↕	2 块↕
0000001↕	3 块↕
1011001↕	4 块↕
.....↕↕
0000111↕	n-2 块↕
1111000↕	n-1 块↕

多层次的存储器

- 某机器中，已知配有一个地址空间为0000H~1FFFH的ROM（采用8K×8的EPROM）区域。现在再用一个RAM芯片（8K×4）形成一个16K×8的RAM区域，起始地址为2000H。假设RAM芯片有/CS和/WE信号控制端。CPU地址总线为A15~A0，数据总线为D7~D0，控制信号R/W（读/写），/MREQ（当存储器进行读或写操作时，该信号指示地址总线上的地址是有效的）。要求：
 - （1）计算分别需要的芯片数
 - （2）画出地址译码方案。
 - （3）将ROM和RAM同CPU连接。

多层次的存储器

- 解：ROM:1片、RAM:16K×8/ 8K×4=4片
- ROM地址范围：
0 0000 0000 0000 (0000H)
1 1111 1111 1111 (1FFFH)
ROM容量： $2^{13}=2^3 \times 2^{10}=8\text{KB}$
- RAM容量：16KB= $2^4 \times 2^{10}=2^{14}$
- RAM地址范围：
01 0 0000 0000 0000 (2000H)
01 1 1111 1111 1111 (3FFFH)
10 0 0000 0000 0000 (4000H)
10 1 1111 1111 1111 (5FFFH)
11 0 0000 0000 0000 (6000H)
11 1 1111 1111 1111 (7FFFH)

指令系统

- 指令的类型
 - RR、RS、SS
- 指令的寻址方式
 - 隐含、立即、直接、间接、寄存器、寄存器间接。

中央处理器

- 指令周期
- 机器指令与微程序、微指令的关系
- 主要寄存器
 - IR、AR、DR、PC、.....
- 控制器的功能
 - 取指、译码、生成控制信号
- 硬布线控制器：操作码译码、状态反馈、时序控制
- 微程序控制器：用软件方法实现控制

中央处理器

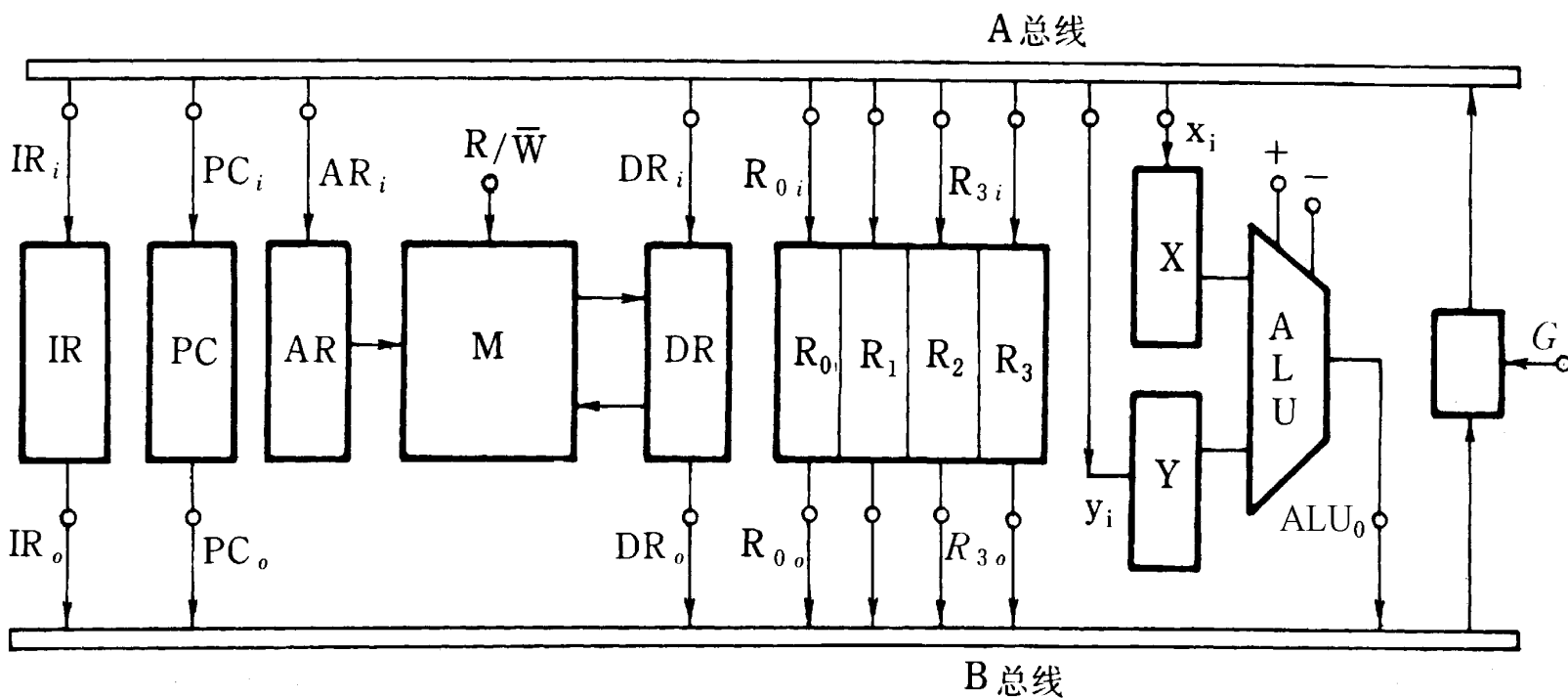
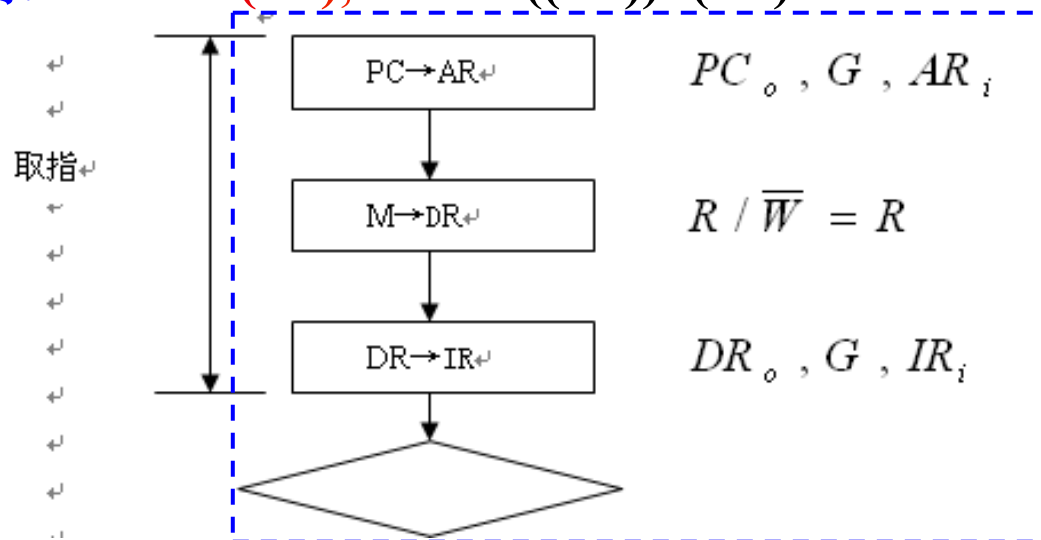
○ 微程序控制

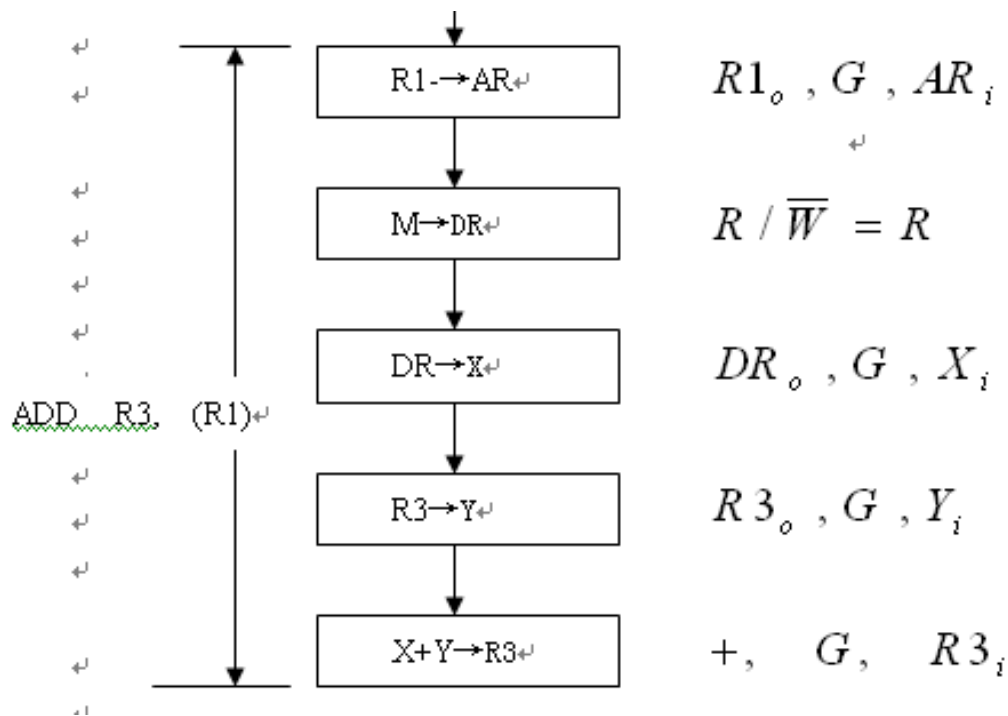
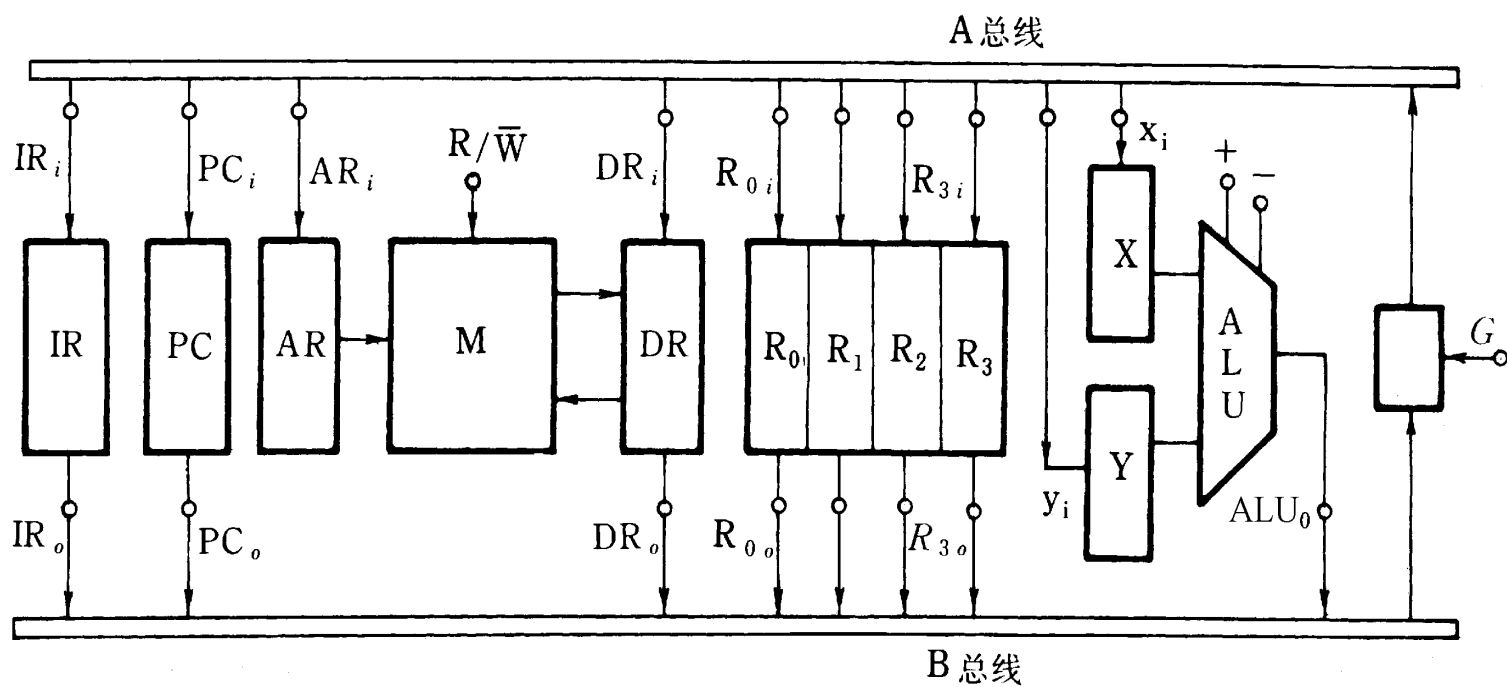
- 水平型微指令与垂直型微指令
- 水平微指令的格式

控制字段（编码）+测试字段+微地址字段（编码）

- 例：控存 $256 \times 48\text{b}$ ，采用水平微指令格式，有3个测试条件，微指令各字段的位数是多少？
 - 256单元需要 8b =下地址字段
 - 测试字段 3b
 - 控制字段 $=48-8-3=37\text{b}$
- 编码方式的微指令，同一段内需满足互斥

例: **ADD (R1), R3** $((R1))+(R3) \rightarrow R3$





例: ADD (R1), R3

((R1))+(R3)→R3

中央处理器

○ 流水线

- 流水线周期：子任务周期的最大值
- 非流水与流水线的时间计算
- 流水线存在的问题
 - 资源相关
 - 数据相关
 - 控制相关

总线系统等

- 引入总线的目的
- 总线的仲裁
 - 集中式（连接、计数、独立请求）
- 中断：慢速外设
- 中断向量：中断服务程序入口地址。
- **DMA**：数据传送全由**DMA**控制器（硬件）控制完成，以数据块为单位，传送完成发中断；
- 通道：可以执行I/O指令。