

概念

CPU ALU 运算器 数据 字节 字

字长 地址 存储器 硬件 软件 总线

控制器 输入设备 输出设备 应用软件

系统软件 操作系统 编译程序 解释程序

数据库管理系统 原码 补码 反码 阶码 尾数 机器零 校验码 纠错码 检 错 码

定点数 浮点数 BCD 码 RAM ROM SRAM DRAM 单译码 双译码 刷 新

刷新周期 死时间 集中式刷新 分散式刷新 异步式刷新 高速缓冲存储器(CACHE)

虚拟储器 页式管理段式管理 段页式管理 程序访问的局部性 LRU FIFO

物理地址(实地址) 逻辑地址(虚地址) 指令 指令系统 指令操作码 定长指令 变 长 指 令

寻址方式 指令周期 机器周期 时钟周期 IR PC PSW 数据通路 指令流程图同

步控制方式 异步控制方式 联合控制方式 微命令 微操作 微指令 微程序 控制存储器

水平型微指令 垂直型微指令 内部总线 系统总线 单总线结构 双总线结构

三总线结构 串行传送 并行传送 图形 图象 像素 分辨率 灰度级

存储密度 存储容量 平均定位时间定位时间 找道时间 等待时间 数据传输速率

接口 程序直接控制 程序中断控制方式 DMA 方式 通道方式 中断 内中断

外中断 通道 字节多路通道 选择通道 成组多路通道

选择题练习

- 1、若浮点数用补码表示，则判断运算结果是否为规格化数的方法是___C___。
 - A. 阶符与数符相同为规格化数
 - B. 阶符与数符相异为规格化数
 - C. 数符与尾数小数点后第一位数字相异为规格化数
 - D. 数符与尾数小数点后第一位数字相同为规格化数
- 2、16 位字长的定点数，采用 2 的补码形式表示时,所能表示的整数范围是__A__。
 - A. $-2^{15} \sim +(2^{15}-1)$
 - B. $-(2^{15}-1) \sim +(2^{15}-1)$
 - C. $-(2^{15}+1) \sim +2^{15}$
 - D. $-2^{15} \sim +2^{15}$
- 3、容量是 128M*32 的内存，若以字节编址，至少需要___B___根地址线。
 - A. 16
 - B. 29
 - C. 27
 - D. 32
- 4、某计算机字长 16 位，它的存贮容量是 64KB，若按字编址，那么它的寻址范围是__B__。
 - A. 0~64K
 - B. 0~32K
 - C. 0~64KB
 - D. 0~32KB
- 5、主存贮器和 CPU 之间增加 cache 的目的是___B___。
 - A. 扩大主存贮器的容量
 - B. 解决 CPU 和主存之间的速度匹配问题
 - C. 扩大 CPU 中通用寄存器的数量
 - D. 既扩大主存的容量，又扩大 CPU 通用寄存器的数量
- 6、以某个寄存器的内容为操作数地址的寻址方式称为___D___寻址。
 - A. 直接
 - B. 间接
 - C. 寄存器直接
 - D. 寄存器间接
- 7、在 cache 的映射方式中不需要替换策略的是___B___。
 - A. 全相联映射方式
 - B. 直接映射方式
 - C. 组相联映射方式
- 8、在 CPU 中跟踪指令后继地址的寄存器是___B___。
 - A. 主存地址寄存器
 - B. 程序计数器
 - C. 指令寄存器
 - D. 状态条件寄存器
- 9、微程序控制器中，机器指令与微指令的关系是___B___。
 - A. 每一条机器指令由一条微指令来执行
 - B. 每一条机器指令由一段微程序来解释执行

C. 每一段机器指令组成的程序可由一条微指令来执行

D. 每一条微指令由机器指令来解释执行

10、微程序控制存储器容量为 128×36 位，测试条件有 4 个，微指令采用水平格式，则对应的 3 个字段长度分配是___C___。

A. 控制字段 29 位，测试字段 2 位，微地址字段 5 位

B. 控制字段 26 位，测试字段 4 位，微地址字段 6 位

C. 控制字段 25 位，测试字段 4 位，微地址字段 7 位

D. 控制字段 26 位，测试字段 2 位，微地址字段 8 位

11、SRAM 芯片，存储容量为 $64K \times 16$ 位，该芯片的地址线和数据线数目为___D___。

A 64, 16 B 16, 64 C 64, 8 D 16, 16 。

12、四片 74181ALU 和一片 74182CLA 器件相配合，具有如下进位传送功能___B___。

A.行波进位 B.组内先行进位，组间先行进位

C.组内先行进位，组间行波进位 D.组内行波进位，组间先行进位

13、以下四种类型的半导体存储器中，以传输同样多的字为比较条件，则读出数据传输率最高的是___B___。

A.DRAM B.SRAM C.闪速存储器 D.EPROM

14、相联存储器是按___C___ 进行寻址的存储器。

A. 地址指定方式 B. 堆栈存取方式

C. 内容指定方式 D. 地址指定与堆栈存取方式结合

15、操作控制器的功能是___D___。

A.产生时序信号 B.从主存取出一条指令 C.完成指令操作的译码

D.从主存取出指令，完成指令操作码译码，并产生有关的操作控制信号，以解释执行该指令

16、以下四种类型指令中，执行时间最长的是___C___。

A .RR 型指令 B. RS 型指令 C SS 型指令 D. 程序控制指令

17、在多级存储体系中，“cache—主存”结构的作用是解决___D___的问题。

A.主存容量不足 B.主存与辅存速度不匹配

C.辅存与 CPU 速度不匹配 D.主存与 CPU 速度不匹配

18、采用虚拟存贮器的主要目的是__B__。

- A. 提高主存贮器的存取速度
- B. 扩大主存贮器的存贮空间，并能进行自动管理和调度
- C. 提高外存贮器的存取速度
- D. 扩大外存贮器的存贮空间

19、程序控制类指令的功能是__D__。

- A.进行算术运算和逻辑运算
- B.进行主存与 CPU 之间的数据传送
- C.进行 CPU 和 I/O 设备之间的数据传送
- D.改变程序执行的顺序

20 由于 CPU 内部的操作速度较快，而 CPU 访问一次主存所花的时间较长，因此机器周期通常用__B__来规定。

- A.主存中读取一个指令字的最短时间
- B.主存中读取一个数据字的最长时间
- C.主存中写入一个数据字的平均时间
- D.主存中取一个数据字的平均时间

21、某机字长 32 位，其中 1 位符号位，31 位表示尾数。若用定点整数表示，则最大正整数是__A__。

- A. $+ (2^{31}-1)$
- B. $+ (2^{30}-1)$
- C. $+2^{31}$
- D. $+2^{32}$

22、在定点运算器中，无论采用双符号位还是单符号位，必须有____，它一般用__C__来实现。

- A.译码电路 与非门
- B.编码电路 或非门
- C.溢出判断电路 异或门
- D.移位电路 与或非门

23、双端口存储器所以能高速进行读写，是因为采用__B__。

- A.高速芯片
- B.两套相互独立的读写电路
- C.流水技术
- D.新型器件

24、某计算机字长 32 位，其存储容量为 4MB，若按字编址，它的寻址范围是__A__。

- A.0-1M
- B.0-4MB
- C.0-4M
- D.0-1MB

25、寄存器间接寻址方式中，操作数处在__B__。

- A.通用寄存器
- B.主存单元
- C.程序计数器
- D.堆栈

26、存贮单元是指__B__。

- A. 存放一个二进制信息位的存贮元 B. 存放一个机器字的所有存贮元集合
C. 存放一个字节的存贮元集合 D. 存放两个字节的存贮元集合

27、计算机字长 16 位，它的存贮容量是 64KB，若按字编址，那么它的寻址范围是__B__。

- A. 0~64K B. 0~32K C. 0~64KB D. 0~32KB

28、对于对某个寄存器中操作数的寻址方式称为__C__寻址。

- A. 直接 B. 间接 C. 寄存器 D. 寄存器间接

29、没有外存贮器的计算机监控程序可以存放在__B__。

- A. RAM B. ROM C. RAM 和 ROM D. CPU

30、定点二进制运算其中，减法运算一般通过__D__来实现

- A. 原码运算的二进制减法器 B. 补码运算的二进制减法器
C. 补码运算的十进制加法器 D. 补码运算的二进制加法器

31、在虚拟存贮器中，当程序正在执行时，由__D__完成地址映射。

- A. 程序员 B. 编译器 C. 装入程序 D. 操作系统

32、指令系统中采用不同寻址方式的目的主要是__B__。

- A. 实现存贮程序和程序控制 B. 缩短指令长度，扩大寻址空间，提高编程灵活性
C. 可以直接访问外存 D. 提供扩展操作码的可能并降低指令译码难度

33、用 16 位字长（其中一位符号位）表示定点小数时，所能表示的数值范围是__C__。

- A. $0 \leq |N| \leq 1-2^{-(16+1)}$ B. $0 \leq |N| \leq 1-2^{-16}$
C. $0 \leq |N| \leq 1-2^{-(16-1)}$ D. $0 \leq |N| \leq 1$

34、运算器虽有许多部件组成，但核心部件是__BC__。

A. 数据总线 B. 算术逻辑运算单元 C. 多路开关 D. 累加寄存器

35、为确定下一条微指令的地址，通常采用断定方式，其基本思想是_____。

A. 用程序计数器 PC 来产生后继微指令地址

B. 用微程序计数器 μPC 来产生后继微指令地址

C. 通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址

D. 通过指令中指定一个专门字段来控制产生后继微指令地址

36、单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数以外，

另一个数常需采用__C__。

A. 堆栈寻址方式 B. 立即寻址方式 C. 隐含寻址方式 D. 间接寻址方式

37、某 DRAM 芯片，其存储容量为 $512K \times 8$ 位，该芯片的地址线和数据线数目为__D__。

A 8, 512 B 512, 8 C 18, 8 D 19, 8

38、在机器数__B__中，零的表示是唯一的。

A 原码 B 补码 C 移码 D 反码

39、微程序控制器中，机器指令与微指令的关系是__B__。

A 每一条机器指令由一条微指令来执行；

B 每一条机器指令由一段用微指令编成的微程序来解释执行；

C 一段机器指令组成的程序可由一条微指令来执行；

D 一条微指令由若干条机器指令组成；

40、32 位字长（其中 1 位符号位）表示定点小数是，所能表示的数值范围是__B__。

A $[0, 1 - 2^{-32}]$ B $[0, 1 - 2^{-31}]$ C $[0, 1 - 2^{-30}]$ D $[0, 1]$

41、CPU 中跟踪指令后继地址的寄存器是__B__。

A 主存地址寄存器 B 程序计数器 C 指令寄存器 D 状态条件寄存器

填空题练习

1、真值为 -1011011 则它的原码为 11011011，反码为 10100100，

补码为 10100101，移码为 00100101。

2、微程序控制器主要由 控制存储器，微指令寄存器 和 地址转移逻辑 三大部分组成。

- 3、流水线 CPU 存在的主要问题是相关冲突，主要包括 数据相关、资源相关、和 控制相关
- 4、Cache 的地址映射方式有 全相联映射、组相联映射和 直接 映射方式。
- 5、128K*8 的 DRAM 芯片内部采用行列相等的双译码结构，则共有 1024 行和 1024 列，若单元刷新闻隔不超过 2mm，采用异步刷新方式，则刷新信号的间隔是 2 μ S。
- 6、虚拟存储器通常由主存和 辅存 两级存贮系统组成。为了在一台特定的机器上执行程序，必须把 程序的逻辑地址 映射到这台机器主存贮器的 物理地址 空间上，这个过程称为地址映射。
- 7、并行处理技术已经成为计算机技术发展的主流。从原理上概括，主要有三种形式：时间 并行、空间并行和 时间加空间并行。
- 8、操作控制器依据 指令操作码译码器的输出 信号、执行部件的反馈 信号和 时序产生器的时序 信号来产生控制命令信号的。
- 9、指令的寻址方式有 顺序 寻址和 跳跃 寻址两种。
- 10、为了兼顾速度、容量和价格的要求，计算机存储体系一般由 高速缓冲存储器、主存 和 辅存 组成三级存储系统。
- 11、硬布线控制器的基本思想是：某一微操作控制信号是 指令操作码 译码输出，执行部件 信号和 时序产生器的时序 信号的逻辑函数。
- 12、CPU 周期也称为 机器周期；一个 CPU 周期包含若干个 时钟周期。任何一条指令的指令周期至少需要 2 个 CPU 周期。
- 13、移码表示法主要用于表示 浮点 数的阶码，以利于比较两个 浮点数 的大小和 移位 操作。
- 14、微程序设计技术是利用 软件 方法设计 计算机硬件 的一门技术。具有规整性、可维护性、灵活性 等一系列优点。
- 15、广泛使用的 SRAM 和 DRAM 都是半导体随机读写存储器。前者的速度比后者快，但 集成度 不如后者高。
- 16、形成指令地址的方式，称为 指令建起 方式，有 顺序 寻址和 跳跃 寻址。
- 17、CPU 从 主存 取出一条指令并执行这条指令的时间和称为 指令周期。由于各种指令的操作功能不同，各种指令的指令周期是 长短也不同。
- 18、一个定点数由 符号 和 数值 两部分组成。根据小数点位置不同，定点数有 纯小数 和 纯整数 之分。
- 19、总线是构成计算机系统的 公共数据通路，是多个 部件 之间进行数据传送的

___公共___通道

20、主存与 cache 的地址映射有 ___、___、___三种方式。其中组相连

方式适度地兼顾了前二者的优点，又尽量避免其缺点，从灵活性、命中率、硬件投资来说较为理想。

21、并行处理技术已成为计算机技术发展的主流。它可贯穿于信息加工的各个步骤和阶段。

概括起来，主要有三种形式 ___并行； ___并行； ___并行。

22、Cache 是一种 ___调整缓冲___存储器，是为了解决 CPU 和主存之间 ___速度___不匹配而采用的一项重要硬件技术。现发展为多级 cache 体系， ___分设体系。

23、设 D 为指令中的形式地址，I 为基址寄存器，PC 为程序计数器。若有效地址 $E = (PC) + D$ ，则为___相对___寻址方式；若 $E = (I) + D$ ，则为___基址___；若为相对间接寻址方式，则有效地址为___ $E = (\{PC\} + D)$ ___。

24、在进行浮点加减法运算时，需要完成___对阶___、尾数求和、___结果规格化___、合入处理和___溢出判断___等步骤。

25、动态半导体存储器的刷新一般有___集中式___、___分散___和___异步___三种方式。

26、CPU 中至少有如下六类寄存器___指令___寄存器，___程序___计数器，___地址___寄存器，通用寄存器，状态条件寄存器，缓冲寄存器。

27、CPU 从___取出一条指令并执行这条指令的时间和称为___。由于各种指令的操作功能不同，各种指令的时间和是不同的，但在流水线 CPU 中要力求做到___。

28、在计算机系统中，CPU 对外围设备的管理除程序查询方式、程序中断方式外，还有___DMA___方式，___通道___方式，和___外围处理机___方式。

29、微程序控制器主要由___、___、___三大部分组成。

30、CPU 中，保存当前正在执行的指令的寄存器为___指令寄存器___，保存当前正在执行的指令的地址的寄存器为___程序计数器___，保存 CPU 访存地址的寄存器为___地址寄存器___。

31、 $\{ (26)_{16} \vee (63)_{16} \} \oplus (135)_8$ 的值是___(3AH)___。

32、正数补码算术移位时，符号位不变，空位补___0___。负数补码算术左移时，符号位不变，低位补___0___。负数补码算术右移时，符号位不变，高位补___1___，低位舍去。

33、并行处理技术已经成为计算机技术发展的主流。从原理上概括，主要有三种形式：___并行，___并行，___并行。

计算练习

[1] 已知一个数的真值，原码，反码或补码，写出其余的值及补码的奇校验位。

真值	原码	反码	补码	补码的奇校验位（一位）
	0.11001			0
		1.01110		
			1.11101	
97/128				
			1000000	

[2] 已知一个数的真值，原码，反码，补码或移码，写出其余的值及补码的偶校验位。

真值	原码	反码	移码	补码	补码的偶校验位（一位）
	10111				
		110011			
				10111	
63					
			101 01		

[3] 定点数计算

1、已知 $X = -0.1110$ 和 $Y = 0.0101$ ，用变形补码计算 $X+Y$ 和 $X-Y$ ，同时指出运算结果是否溢出？

2、已知 $X = -43/64$ 和 $Y = 25/32$ ，用变形补码计算 $X+Y$ 和 $X-Y$ ，同时指出运算结果是否溢出？

3、用补码阵列乘法计算 $X \times Y$

$$x = -\frac{51}{64} \quad y = -\frac{21}{32}$$

[4] 设阶码为 4 位，尾数为 8 位，均包括一位符号位，阶码和尾数都采用补码表示；按机器浮点运算方法计算

1、 $x-y$ 的浮点数的值。

$$x = (2^{-3} \times \frac{27}{32}) \quad y = -(2^{-2} \times \frac{19}{32})$$

2、计算 $x+y$ 的浮点数的值

3、有以下两浮点数（阶码和尾数都用补码表示）

X 阶码 0001 尾数 0.10110101

Y 阶码 1111 尾数 1.01100110

求 $X-Y$ 之值。

三、简答题

- 1、移码和补码的关系是怎样的？（范围一样，符号位相反）
- 2、指令中操作数所在的位置有哪些？（1、指令中：立即数寻址，2、寄存器中：寄存器寻址，3、存储器中：其它寻址方式）
- 3、定点运算溢出的判断方法有哪些？分别是怎么判断的？（单符号、双符号判断法）
- 4、存取时间、存储周期、存取周期各是什么？
- 5、DRAM 刷新方式有哪些？什么是刷新周期？（集中式，分散式）
- 6、CPU 中 PC、IR、AR、DR、PSW 各是什么部件，其作用是什么？
- 7、程序查询方式、程序中断方式、DMA 方式、通道方式哪些方式的 CPU 能够和外部设备并行工作？
- 8、程序中断方式和 DMA 方式中，CPU 在响应时间上有什么差异？（中断响应必须在一条指令执行完后，DMA 可以在指令执行中响应）
- 9、在微命令编码中，同一段中微命令相互间有什么要求？（必须是互斥的）
- 10、流水线中通常有哪几种冲突？怎么解决？（资源相关、数据相关、控制相关）
- 11、什么是 DMA 方式？它是在什么部件间实现传送？
- 12、通道分哪几类，各适用哪些外部设备？
- 13、水平型微指令和垂直型微指令性特点是什么？
- 14、存储器扩展有哪几种方式？连接上有什么特点？（位数扩展、字存储单元扩展、字向和位向同时扩展）
- 15、主存与 CACHE 的地址映射方式有哪几种？哪种方式不用替换策略？（直接映射、全相联映射、组相联映射）
- 16、标量流水线和超标量流水线有什么区别？
- 17、一个 10 位二进制数补码，用 6 个 1 和 4 个 0 表示时，其最大值和最小值分别是多少？
(0111111000 (504)、100011111 (-481))

18、某微机的 CPU 主频为 100MHz，CPU 时钟周期是多少？（10ns）

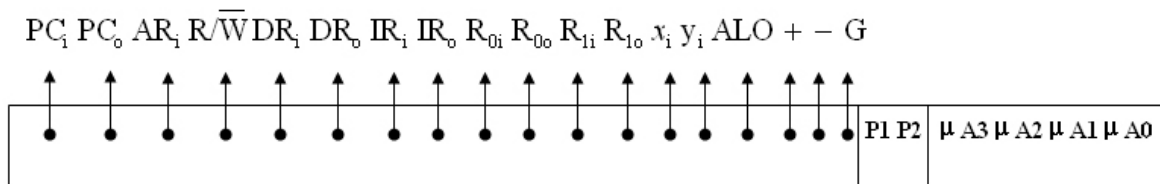
指令执行速度为 0.5MIPS，则该机的平均指令周期是多少？（2us）

19、设字长和指令长度均为 30 若指令系统可完成 180 操作，且具有 5 寻址方式，则在保证最大范围内直接寻址的前提下，指令字中操作码占多少位，直接寻址的最大范围是多少？（8 位，512K）

20、设计计算机的存储器为 $128K \times 16$ 位，cache 容量为 1KW (KW, 千字)，每块 16 字。cache 字地址有多少位？(10 位) cache 中可装入多少块数据。(64 块)

四、 $64K \times 1$ 位双译码结构存储芯片的存储体阵列的行数和列数是多少？(256, 256)。若使用的存储芯片为动态 RAM, 设该存储器的刷新一行的时间是 $0.5\mu s$, 该存储器的在一个刷新周期中实际刷新时间是多少？($256 \times 0.5 = 128 \mu s$)。刷新周期为 8MS, 采用分散式刷新时每间隔多少时间刷新一行？($8/256 \times 1000 = 312 \mu s$)

五、设 ADD R1, R0 的操作码为 0100, 根据指令流程图和微操作序列, 按下列微指令格式, 设计出微代码, 填到控制存储器的表格里, 并将每条微指令地址标在指令流程图上。微指令 24 位, 其中顺序字段 $\mu A_3 \mu A_2 \mu A_1 \mu A_0$ 为下微地址, P1、P2 为测试字段, P1=1 表示按指令操作码进行微地址转移, P2 这里取 0。要求: 取指微指令从 0000 连续存放, 本条机器指令的解释微指令也连续存放。



微地址	微指令					
	PC _i PC _o AR _i R/W	DR _i DR _o IR _i IR _o	R _{0i} R _{0o} R _{1i} R _{1o}	x _i y _i AL0+	—G P1P2	μA3 ~ μA0
0000	0110	0000	0000	0000	0100	0001
0001	0001	0000	0000	0000	0000	0010
0010	0000	0110	0000	0000	0110	0011
0011						
0100	0000	0000	0001	0100	0100	0101
0101	0000	0000	0100	1000	0100	0110
0110	0000	0000	1000	0011	0000	0000
0111						
1000						
1001						

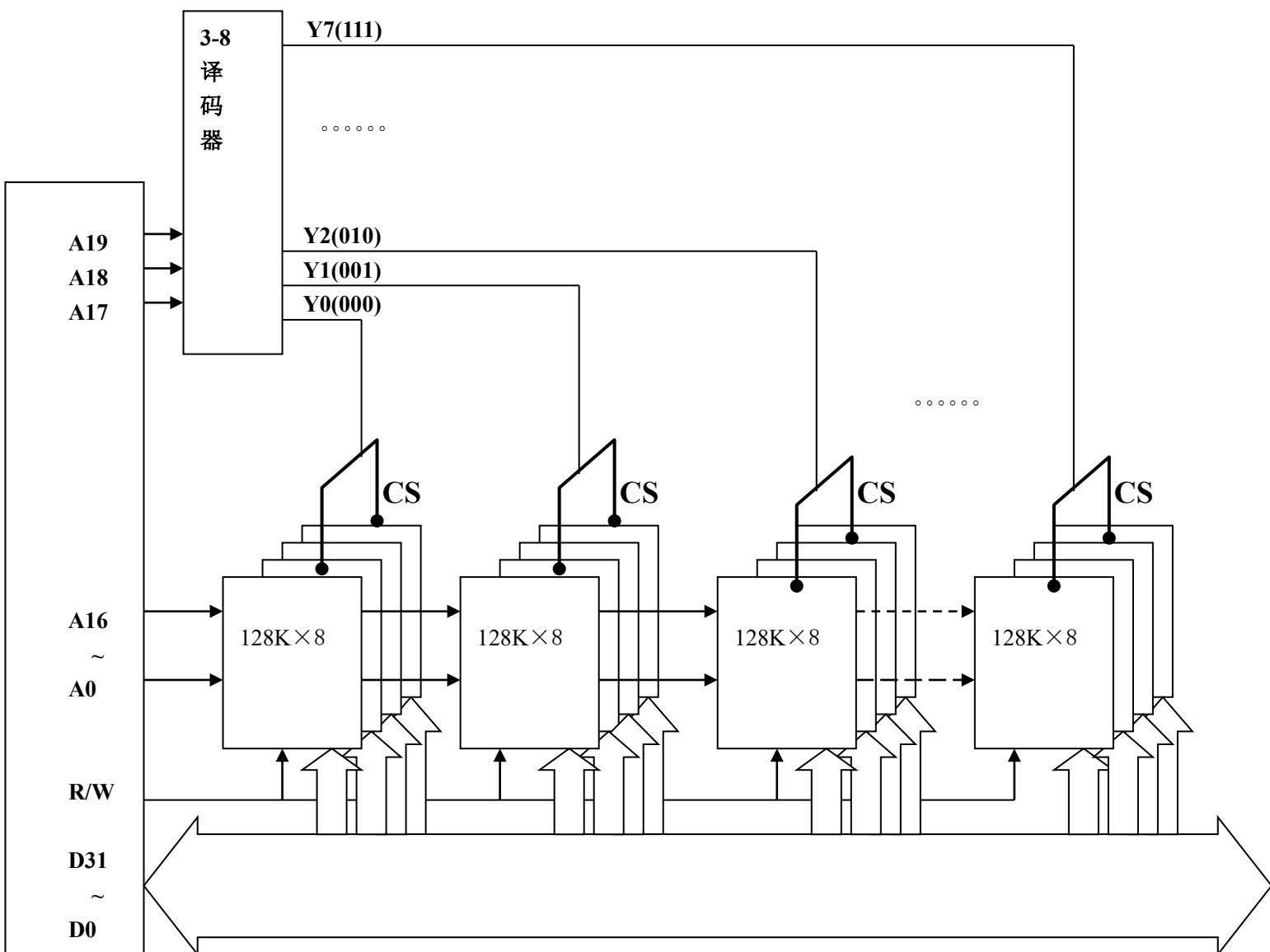
存储器设计

[1]有一个 $1024\text{K} \times 32$ 位的存储器，由 $128\text{K} \times 8$ 位的 DRAM 芯片组成。问：

- (1) 总共需要多少 DRAM 芯片？
- (2) 此存储体组成框图。
- (3) 采用异步刷新方式，如果单元刷新间隔不超过 8 ms ，则刷新周期（一行）是多少？

解：

- (1) 需要 $(1024\text{K}/128\text{K}) \times (32/8) = 8(\text{组}) \times 4(\text{片堆叠}) = 32(\text{片})$
- (2) 存储器组成框图



(3) 新周期即单芯片刷新时间间隔

$$128\text{K} = 2^7 \times 2^{10} = 2^{17} = 2^8 \times 2^9 = 256(\text{行}) \times 512(\text{列})$$

$$\text{刷新周期} = 8\text{ms} / 256 = 8000\text{ }\mu\text{S} / 256 = 31.25\text{ }\mu\text{S}$$

[2] 某计算机中, 已知配有一个地址空间为 0000H~3FFFH 的 ROM 区域采用 16K×8 的 EPROM。现在再用一种 SRAM 芯片 (8K×8) 形成 32K×16 的 RAM 区域, 起始地址为 8000H。假设 RAM 芯片有片选 \overline{CS} 和 \overline{WE} 信号控制, CPU 的地址总线为 A15-A0, 数据总线为 D15-D0, 控制信号为 R/W(读/写), \overline{MREQ} (访存), 要求:

- (1) 画出地址译码方案.
- (2) 将 ROM 与 RAM 同 CPU 连接.

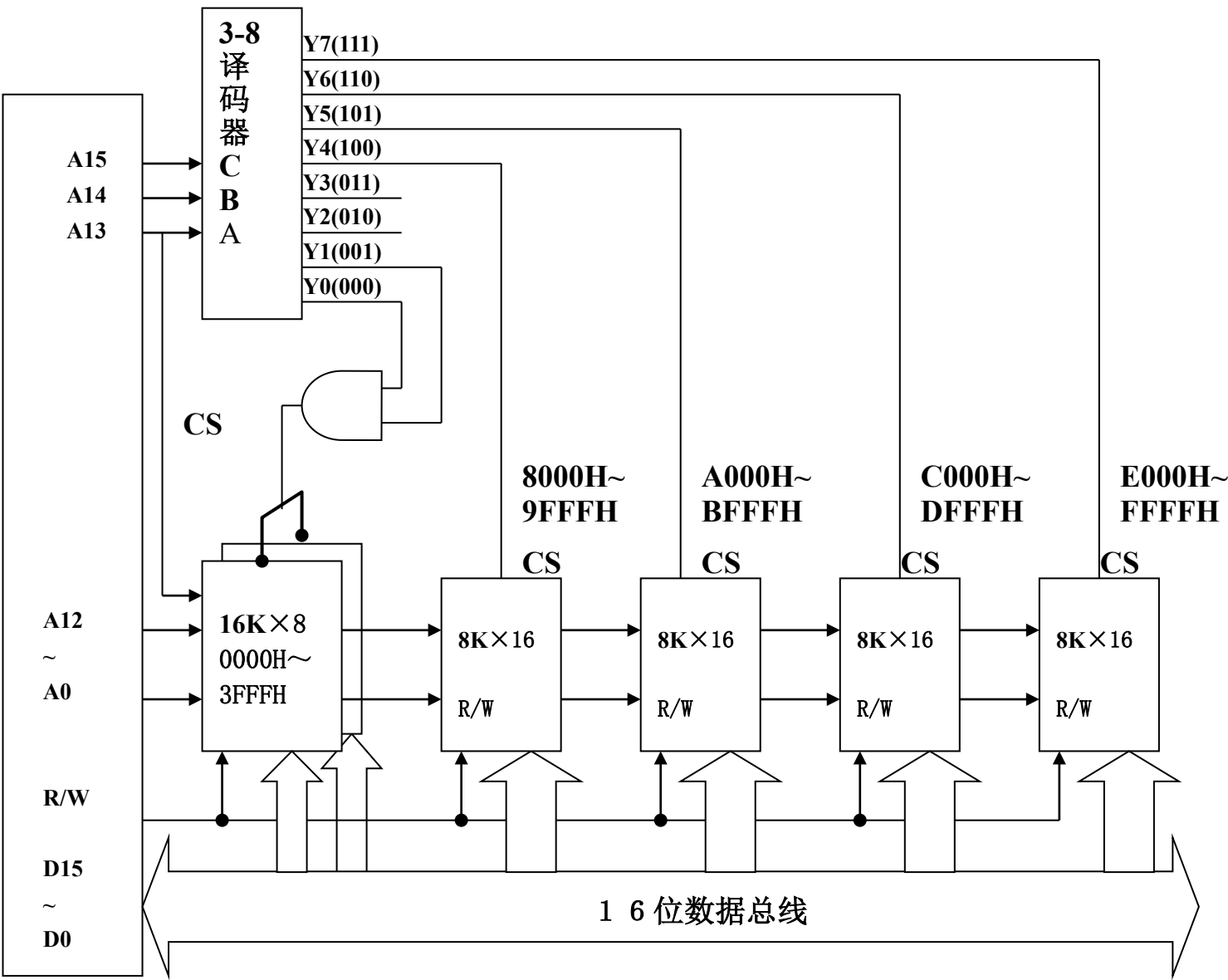
解:

ROM 区地址范围 0000—3FFFH 片内地址需要 14 根地址线. A0~A13
 构成 ROM 需要的 EPROM= (16K/16K) × (16/8) =1 (组字扩展) ×2 (片字扩展)

构成 RAM 需要的 SRAM=(32K/8K) × (16/16)=5 (组字扩展) ×1 (片位扩展)
 片内地址需要 A0~A12 13 根地址线

将 CPU 的 A0~A12 并接到每个芯片的片内地址 A0~A12, 用 CPU 的高 3 位地址 A13~A15 进行地址译码作为每个存储芯片的片选, 由于 A13 是 ROM 的地址重复参加译码产生 Y0, Y1 两个译码输出, 故用一与门, 这样无论 A13=0 还是 A13=1, 都会选中同一片 ROM。整个地址分配如下:

地址	存储器	对应的译码
0000—3FFF	ROM	Y0, Y1 (000, 001)
4000—7FFF	空	
8000—9FFF	RAM1	Y4 (100)
A000—BFFF	RAM2	Y5 (101)
C000—DFFF	RAM3	Y6 (110)
E000—FFFF	RAM4	Y7 (111)

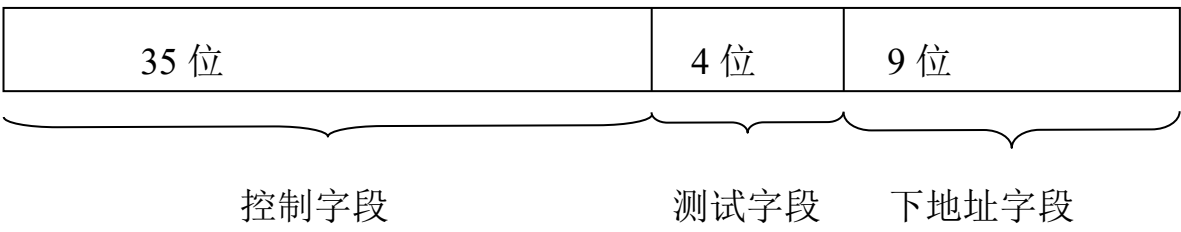


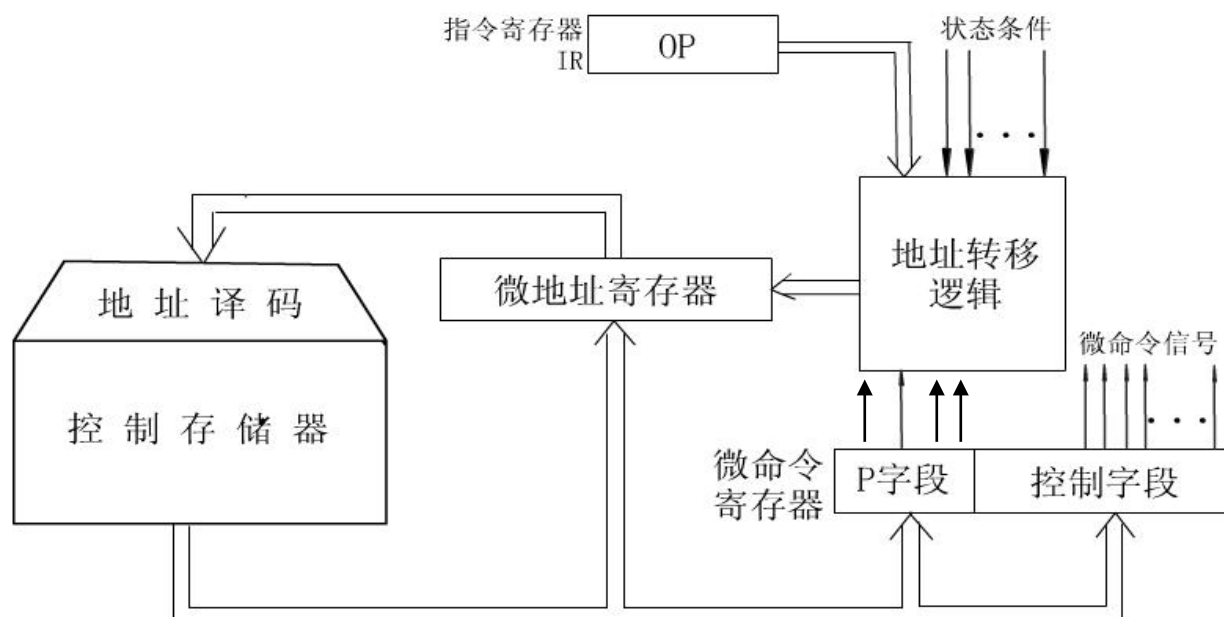
四、微程序控制器

[1] 已知某机采用微程序控制方式，控制存储器容量为 512*48 位，微程序在整个控存中实现转移，控制微程序转移的条件共 4 个，微指令采用水平格式，后继微指令地址采用断定方式。请问：

- (1) 微指令的三个字段分别应是多少？
- (2) 画出这种微指令格式的微程序控制器逻辑图。

[解] (1) 控存容量 $512 * 48 = 2^9 * 48$ 故微地址有 9 位 下地址字段为 9 位，控制转移条件 4 个，占用测试字段 4 位，控制字段为 $48 - 9 - 4 = 35$ 位。

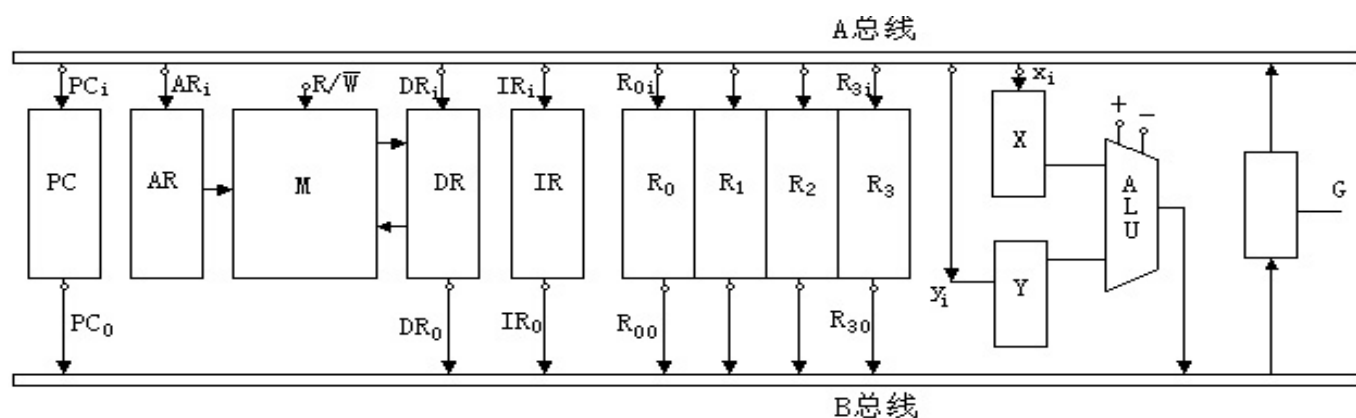




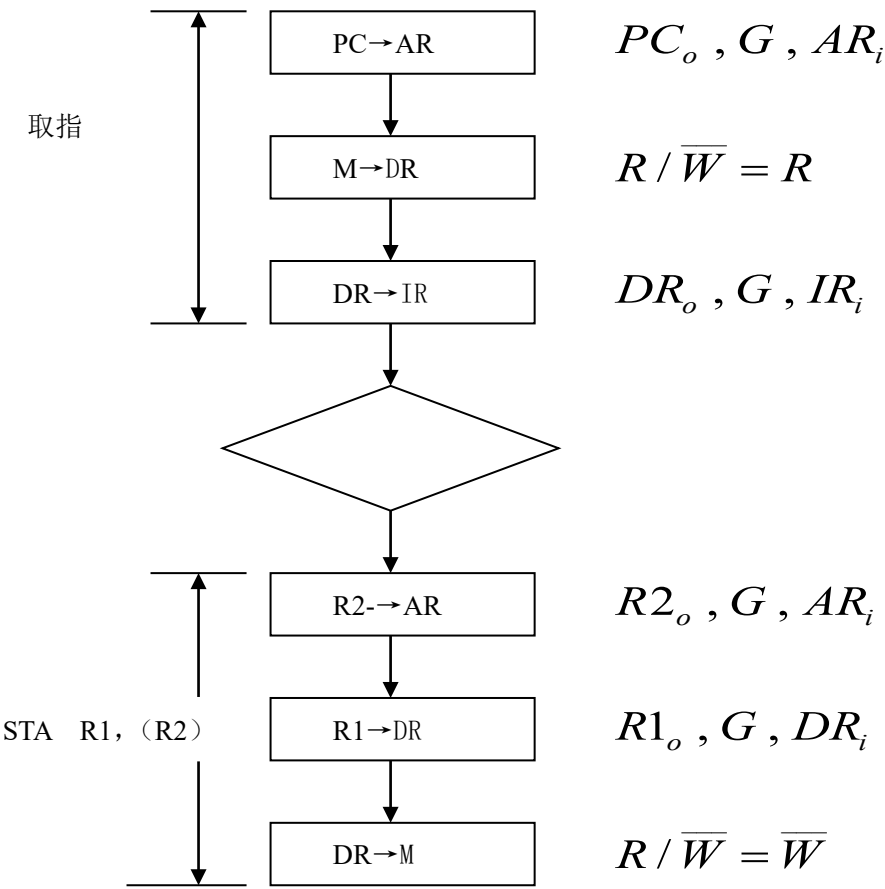
微程序控制器组成原理

[2]如图所示，双总线结构机器的数据通路，图中 IR 为指令寄存器，PC 为程序计数器，M 为存储器，AR 为地址寄存器，A 总线与个寄存器的输入相联， B 总线与寄存器的输出总线相联，请画出以下指令的周期流程图，并标出每个微操作信号序列。

- (1) 存数指令，STA R1, (R2)；含义是将寄存器 R1 的内容传送到以 R2 内容为地址的主存单元中去；
- (2) 取数指令，LDA (R3), R0；含义是将 (R3) 为地址主存单元的内容取到寄存器中 R0；
- (3) 加法指令，ADD (R1), R3；含义是将 R1 间址的存储单元与 R3 相加，结果再送到 R3。



解：（1）STA R1，（R2）



(2) LDA (R3), R0

