

- 1 从器件角度看, 计算机经历了五代变化。但从系统结构看, 至今绝大多数计算机仍属于 (B) 计算机。
- A 并行 B 冯·诺依曼 C 智能 D 串行
- 2 某机字长 32 位, 其中 1 位表示符号位。若用定点整数表示, 则最小负整数为 (A) 。
- A $-(2^{31}-1)$ B $-(2^{30}-1)$ C $-(2^{31}+1)$ D $-(2^{30}+1)$
- 3 以下有关运算器的描述, (C) 是正确的。
- A 只做加法运算 B 只做算术运算 C 算术运算与逻辑运算 D 只做逻辑运算
- 4 EEPROM 是指 (D) 。
- A 读写存储器 B 只读存储器 C 闪速存储器 D 电擦除可编程只读存储器
- 5 常用的虚拟存储系统由 (B) 两级存储器组成, 其中辅存是大容量的磁表面存储器。
- A cache-主存 B 主存-辅存 C cache-辅存 D 通用寄存器-cache
- 6 RISC 访内指令中, 操作数的物理位置一般安排在 (D) 。
- A 栈顶和次栈顶 B 两个主存单元 C 一个主存单元和一个通用寄存器 D 两个通用寄存器
- 7 当前的 CPU 由 (B) 组成。
- A 控制器 B 控制器、运算器、cache C 运算器、主存 D 控制器、ALU、主存
- 8 流水 CPU 是由一系列叫做“段”的处理部件组成。和具备 m 个并行部件的 CPU 相比, 一个 m 段流水 CPU 的吞吐能力是 (A) 。
- A 具备同等水平 B 不具备同等水平 C 小于前者 D 大于前者
- 9 在集中式总线仲裁中, (A) 方式响应时间最快。
- A 独立请求 B 计数器定时查询 C 菊花链 D 优先级
- 10 CPU 中跟踪指令后继地址的寄存器是 (C) 。
- A 地址寄存器 B 指令计数器 C 程序计数器 D 指令寄存器
- 11 从信息流的传输速度来看, (A) 系统工作效率最低。
- A 单总线 B 双总线 C 三总线 D 多总线
- 12 单级中断系统中, CPU 一旦响应中断, 立即关闭 (C) 标志, 以防止本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。
- A 中断允许 B 中断请求 C 中断屏蔽 D DMA 请求
- 13 下面操作中应该由特权指令完成的是 (B) 。
- A 设置定时器的初值 B 从用户模式切换到管理员模式 C 开定时器中断 D 关中断
- 14 冯·诺依曼机工作的基本方式的特点是 (B) 。
- A 多指令流单数据流 B 按地址访问并顺序执行指令 C 堆栈操作 D 存储器按内容选择地址
- 15 在机器数 (B) 中, 零的表示形式是唯一的。
- A 原码 B 补码 C 移码 D 反码
- 16 在定点二进制运算器中, 减法运算一般通过 (D) 来实现。
- A 原码运算的二进制减法 B 补码运算的二进制减法器 C 原码运算的十进制加法器 D 补码运算的二进制加法器
- 17 某计算机字长 32 位, 其存储容量为 256MB, 若按单字编址, 它的寻址范围是 (D) 。
- A 0—64MB B 0—32MB C 0—32M D 0—64M
- 18 主存贮器和 CPU 之间增加 cache 的目的是 (A) 。
- A 解决 CPU 和主存之间的速度匹配问题 B 扩大主存贮器容量 C 扩大 CPU 中通用寄存器的数量 D 既扩大主存贮器容量, 又扩大 CPU 中通用寄存器的数量
- 19 单地址指令中为了完成两个数的算术运算, 除地址码指明的一个操作数外, 另一个常需采用 (C) 。
- A 堆栈寻址方式 B 立即寻址方式 C 隐含寻址方式 D 间接寻址方式
- 20 同步控制是 (C) 。
- A 只适用于 CPU 控制的方式 B 只适用于外围设备控制的方式 C 由统一时序信号控制的方式 D 所有指令执行时间都相同的方式
- 21 描述 PCI 总线中基本概念不正确的句子是 (CD) 。
- A PCI 总线是一个与处理
器无关的高速外围设备 B PCI 总线的基本传输机制是猝发式传送 C PCI 设备一定是主设备 D 系统中只允许有一条 PCI 总线

22 CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256，则刷新存储器的容量为 (B)

A 512KB B 1MB C 256KB D 2MB

23 为了便于实现多级中断，保存现场信息最有效的办法是采用 (B)。

A 通用寄存器 B 堆栈 C 存储器 D 外存

24 特权指令是由 (C) 执行的机器指令。

A 中断程序 B 用户程序 C 操作系统核心程序 D I/O 程序

25 虚拟存储技术主要解决存储器的 (B) 问题。

A 速度 B 扩大存储容量 C 成本 D 前三者兼顾

26 引入多道程序的目的在于 (A)。

A 充分利用 CPU，减少等待 CPU 时间 B 提高实时响应速度 C 有利于代码共享，减少主辅存信息交换量 D 充分利用存储器

27 下列数中最小的数是 (C)

A $(101001)_2$ B $(52)_8$ C $(101001)_{BCD}$ D $(233)_{16}$

28 某 DRAM 芯片，其存储容量为 512×8 位，该芯片的地址线和数据线的数目是 (D)。

A 8, 512 B 512, 8 C 18, 8 D 19, 8

29 在下面描述的汇编语言基本概念中，不正确的表述是 (D)。

A 对程序员的训练要求来说，需要硬件知识 B 汇编语言对机器的依赖性高 C 用汇编语言编写程序的难度比高级语言小 D 汇编语言编写的程序执行速度比高级语言慢

30 交叉存储器实质上是一种多模块存储器，它用 (A) 方式执行多个独立的读写操作。

A 流水 B 资源重复 C 顺序 D 资源共享

31 寄存器间接寻址方式中，操作数在 (B)。

A 通用寄存器 B 主存单元 C 程序计数器 D 堆栈

32 机器指令与微指令之间的关系是 (A)。

A 用若干条微指令实现一条机器指令 B 用若干条机器指令实现一条微指令 C 用一条微指令实现一条机器指令 D 用一条机器指令实现一条微指令

33 描述多媒体 CPU 基本概念中，不正确的是 (CD)。

A 多媒体 CPU 是带有 MMX 技术的处理器 B MMX 是一种多媒体扩展结构 C MMX 指令集是一种多指令流多数据流的并行处理指令 D 多媒体 CPU 是以超标量结构为基础的 CISC 机器

34 在集中式总线仲裁中，(A) 方式对电路故障最敏感。

A 菊花链 B 独立请求 C 计数器定时查询 D 优先级仲裁

35 流水线中造成控制相关的原因是执行 (A) 指令而引起。

A 条件转移 B 访内 C 算逻 D 无条件转移

36 PCI 总线是一个高带宽且与处理器无关的标准总线。下面描述中不正确的是 (B)。

A 采用同步定时协议 B 采用分布式仲裁策略 C 具有自动配置能力 D 适合于低成本的小系统

37 下面陈述中，不属于外围设备三个基本组成部分的是 (D)。

A 存储介质 B 驱动装置 C 控制电路 D 计数器

38 中断处理过程中，(B) 项是由硬件完成。

A 关中断 B 开中断 C 保存 CPU 现场 D 恢复 CPU 现场

39 IEEE1394 是一种高速串行 I/O 标准接口。以下选项中，(D) 项不属于 IEEE1394 的协议集。

A 业务层 B 链路层 C 物理层 D 串行总线管理

40 运算器的核心功能部件是 (B)。

A 数据总线 B ALU C 状态条件寄存器 D 通用寄存器

41 某单片机字长 32 位，其存储容量为 4MB。若按字编址，它的寻址范围是 (A)。

A 1M B 4MB C 4M D 1MB

42 某 SRAM 芯片，其容量为 $1M \times 8$ 位，除电源和接地端外，控制端有 E 和 R/W#，该芯片的管脚引出线数目是 (D)。

A 20 B 28 C 30 D 32

43 双端口存储器所以能进行高速读/写操作，是因为采用 (D)。

A 高速芯片 B 新型器件 C 流水技术 D 两套相互独立的读写电路

44 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数以外，另一个数常需采用（ C ）。

- A 堆栈寻址方式 B 立即寻址方式 C 隐含寻址方式 D 间接寻址方式

45 为确定下一条微指令的地址，通常采用断定方式，其基本思想是（ C ）。

- A 用程序计数器 PC 来产生后继微指令地址 B 用微程序计数器 μPC 来产生后继微指令地址 C 通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址 D 通过指令中指定一个专门字段来控制产生后继微指令地址

简答+证明	计算题+分析题+设计题	36 设两个浮点数 $N_1 =$
1 假设主存容量 $16M \times 32$ 位	3 设 $x = -18$, $y = +$	49 刷新存储器（简称刷存
2 指令和数据都用二进制	5 图 1 所示的系统中	50 一盘组共 11 片，记录面
4 用定量分析方法证明多	6 某计算机有图 2 所	45 图 1 所示为传送（M
10 列表比较 CISC 处理机	7 参见图 1，这是一个	
11 设存储器容量为 128M	8 已知 $x = -00111$	
15 PCI 总线中三种桥的	13 机器字长 32 位，常规设	
17 画图说明现代计算	12 有两个浮点数 N_1	
18 CPU 中有哪几类主	9 图 2 所示为双总线结构	
24 简要总结一下，采用	14 某机的指令格式	
7 一台机器的指令系统	15 图 1 为某机运算器框	
25 求证： $[-y]$ 补 $= -[y]$ 补	19 CPU 执行一段程序时，	
29 设由 S，E，M 三个域组	20 某机器单字长指令为	
30 画出单级中断处理	21 一条机器指令的指令	
35 写出下表寻址方式	22 CPU 的数据通路如	
40 为什么在计算机系	4 CPU 执行一段程序时	
41 何谓指令周期？C	27 某计算机的存储系	
47 比较 cache 与虚存	28 图 1 所示为双总线	
48 设 $[N]$ 补 $= a_n a_{n-1} \cdots a_1 a_0$	31 某加法器进位链小	

1 假设主存容量 $16M \times 32$ 位，Cache 容量 $64K \times 32$ 位，主存与 Cache 之间以每块 4×32 位大小传送数据，请确定直接映射方式的有关参数，并画出内存地址格式。

解：64 条指令需占用操作码字段（OP）6 位，源寄存器和目标寄存器各 4 位，寻址模式（X）2 位，形式地址（D）16 位，其指令格式如下：

31	26 25	22 21	18 17	16 15	0
OP	目标			D	

- 寻址模式定义如下：
- X= 0 0 寄存器寻址 操作数由源寄存器号和目标寄存器号指定
 - X= 0 1 直接寻址 有效地址 $E = (D)$
 - X= 1 0 变址寻址 有效地址 $E = (R_x) + D$
 - X= 1 1 相对寻址 有效地址 $E = (PC) + D$

其中 R_x 为变址寄存器（10 位），PC 为程序计数器（20 位），位移量 D 可正可负。该指令格式可以实现 RR 型，RS 型寻址功能。

2 指令和数据都用二进制代码存放在内存中，从时空观角度回答 CPU 如何区分读出的代码是指令还是数据。

解：计算机可以从时间和空间两方面来区分指令和数据，在时间上，取指周期从内存中取出的是指令，而执行周期从内存取出或往内存中写入的是数据，在空间上，从内存中取出指令送控制器，而执行周期从内存从取的数据送运算器、往内存写入的数据也是来自于运算器。

4 用定量分析方法证明多模块交叉存储器带宽大于顺序存储器带宽。

- 证明：假设
- (1) 存储器模块字长等于数据总线宽度
 - (2) 模块存取一个字的存储周期等于 T.
 - (3) 总线传送周期为 τ
 - (4) 交叉存储器的交叉模块数为 m.

交叉存储器为了实现流水线方式存储，即每通过 τ 时间延迟后启动下一模块，应满足

$$T = m \tau, \tag{1}$$

交叉存储器要求其模块数 $\geq m$ ，以保证启动某模块后经过 $m \tau$ 时间后再次启动该模块时，它的上次存取操作已经完成。这样连续读取 m 个字所需要时间为

$$t_1 = T + (m - 1) \tau = m \tau + m \tau - \tau = (2m - 1) \tau \tag{2}$$

$$\text{故交叉存储器带宽为 } W_1 = 1/t_1 = 1/(2m-1) \tau \tag{3}$$

$$\text{而顺序方式存储器连续读取 m 个字所需时间为 } t_2 = mT = m^2 \times \tau \tag{4}$$

$$\text{存储器带宽为 } W_2 = 1/t_2 = 1/m^2 \times \tau \tag{5}$$

比较(3)和(2)式可知，交叉存储器带宽 > 顺序存储器带宽。

10 列表比较 CISC 处理机和 RISC 处理机的特点。

比较内容	CISC	RISC
指令系统	复杂、庞大	简单、精简
指令数目	一般大于 200	一般小于 100
指令格式	一般大于 4	一般小于 4
寻址方式	一般大于 4	一般小于 4
指令字长	不固定	等长
可访存指令	不加限定	只有 LOAD/STORE 指令
各种指令使用频率	相差很大	相差不大
各种指令执行时间	相差很大	绝大多数在一个周期内完成
优化编译实现	很难	较容易
程序源代码长度	较短	较长
控制器实现方式	绝大多数为微程序控制	绝大部分为硬布线控制
软件系统开发时间	较短	较长

11 设存储器容量为 128M 字，字长 64 位，模块数 $m=8$ ，分别用顺序方式和交叉方式进行组织。存储周期 $T=200\text{ns}$ ，数据总线宽度为 64 位，总线传送周期 $\tau=50\text{ns}$ 。问顺序存储器和交叉存储器的带宽各是多少？

顺序存储器和交叉存储器连续读出 8 个字的信息总量都是：

$q = 64 \text{ 位} \times 8 = 512 \text{ 位}$

顺序存储器和交叉存储器连续读出 8 个字所需的时间分别是：

$t_2 = MT = 8 \times 200\text{ns} = 1600\text{ns} = 16 \times 10^{-7}\text{s}$

$t_1 = T + (m-1)\tau = 200 + 7 \times 50\text{ns} = 550\text{ns} = 5.5 \times 10^{-7}\text{s}$

顺序存储器和交叉存储器的带宽分别是：

$w_2 = q/t_2 = 512 / (16 \times 10^{-7}) = 32 \times 10^7 \text{ bit/s}$

$w_1 = q/t_1 = 512 / (5.5 \times 10^{-7}) = 93.1 \times 10^7 \text{ bit/s}$

15 PCI 总线中三种桥的名称是什么？简述其功能。

解：PCI 总线有三种桥，即 HOST / PCI 桥（简称 HOST 桥），PCI / PCI 桥，PCI / LAGACY 桥。在 PCI 总线体系结构中，桥起着重要作用：

- （1）它连接两条总线，使总线间相互通信。
- （2）桥是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上，从而使系统中任意一个总线主设备都能看到同样的一份地址表。
- （3）利用桥可以实现总线间的猝发式传送。

17 画图说明现代计算机系统的层次结构。P13-14

5 级	高级语言级	编译程序
4 级	汇编语言级	汇编程序
3 级	操作系统级	操作系统
2 级	一般机器级	微程序
1 级	微程序设计级	直接由硬件执行

18 CPU 中有哪几类主要寄存器？用一句话回答其功能。

解：A，数据缓冲寄存器（DR）；B，指令寄存器（IR）；C，程序计数器 PC；D，数据地址寄存器（AR）；通用寄存器（R0~R3）；F，状态字寄存器（PSW）

24 简要总结一下，采用哪几种技术手段可以加快存储系统的访问速度？

- ①内存采用更高速的技术手段，②采用双端口存储器，③采用多模交叉存储器

7. 一台机器的指令系统有哪几类典型指令？列出其名称。（此题很大可能不属于简答题考试范围）

答：A. 数据传送类指令 B. 算术运算类指令 C. 逻辑运算类指令 D. 程序控制类指令 E. 输入输出类指令 F. 字符串类指令 G. 系统控制类指令 H. 特权指令

25 求证： $[-y]补 = -[y]补 \pmod{2^{n+1}}$

证明：因为 $[x-y]补 = [x]补 - [y]补 = [x]补 + [-y]补$
又因为 $[x+y]补 = [x]补 + [y]补 \pmod{2^{n+1}}$ 所以 $[y]补 = [x+y]补 - [x]补$
又 $[x-y]补 = [x+(-y)]补 = [x]补 + [-y]补$ 所以 $[-y]补 = [x-y]补 - [x]补$
 $[y]补 + [-y]补 = [x+y]补 + [x-y]补 - [x]补 - [x]补 = 0$ 故 $[-y]补 = -[y]补 \pmod{2^{n+1}}$

29 设由 S, E, M 三个域组成的一个 32 位二进制字所表示的非零规格化数 x, 真值表示为 $x = (-1)^s \times (1.M) \times 2^{E-127}$
 问：它所能表示的规格化最大正数、最小正数、最大负数、最小负数是多少？

解：（1）最大正数

	11 111	111 111 111 111 111 111
	111	11

$$X = [1+(1-2^{-23})] \times 2^{127}$$

（3）最小负数

	111 111	111 111 111 111 111 111
	11	111 11

$$X = -[1+(1-2^{-23})] \times 2^{127}$$

（2）最小正数

	00 000	000 000 000 000 000 000
	000	00

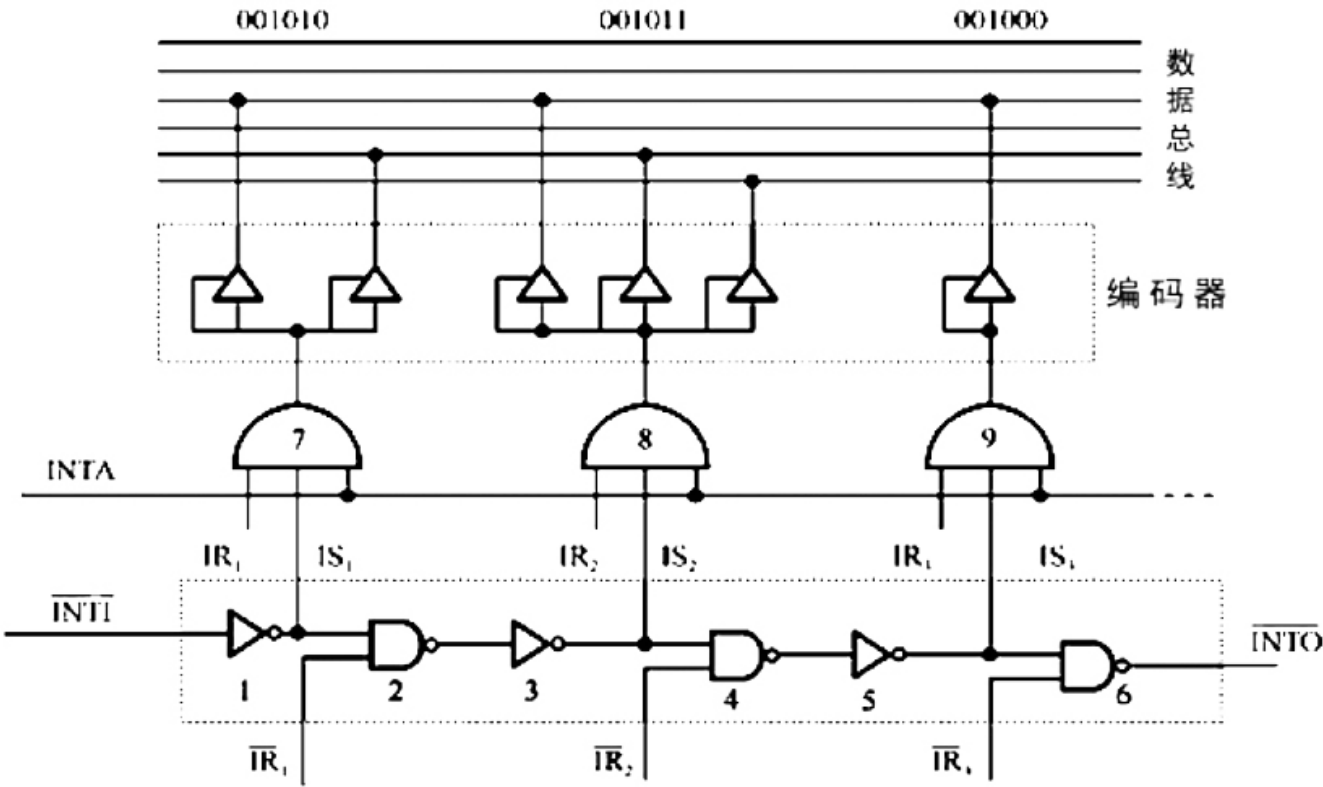
$$X=1.0 \times 2^{-128}$$

（4）最大负数

	00 000	000 000 000 000 000 000
	000	000 00

$$X=-1.0 \times 2^{-128}$$

30 画出单级中断处理过程流程图（含指令周期）。



35 写出下表寻址方式中操作数有效地址 E 的算法。

序号	寻址方式名称	有效地址 E	说明
1	立即	A	操作数在指令中
2	寄存器	Ri	操作数在某通用寄存器 Ri 中
3	直接	D	D 为偏移量
4	寄存器间接	(Ri)	(Ri) 为主存地址指示器
5	基址	(B)	B 为基址寄存器
6	基址+偏移量	(B) + D	
7	比例变址+偏移量	(I) *S+ D	I 为变址寄存器，S 比例因子
8	基址+变址+偏移量	(B) + (I) +D	
9	基址+比例变址+偏移量	(B)+(I)*S+D	
10	相对	(PC) +D	PC 为程序计数器

40 为什么在计算机系统中引入 DMA 方式来交换数据？若使用总线周期挪用方式，DMA 控制器占用总线进行数据交换期间，CPU 处于何种状态？P253 、254

为了减轻 cpu 对 I/O 操作的控制，使得 cpu 的效率有了提高。

可能遇到两种情况：一种是此时 CPU 不需要访内，如 CPU 正在执行乘法命令；另一种情况是，I/O 设备访内优先，因为 I/O 访内有时间要求，前一个 I/O 数据必须在下一个访内请求到来之前存取完毕。

41 何谓指令周期？CPU 周期？时钟周期？它们之间是什么关系？

指令周期是执行一条指令所需要的时间，一般由若干个机器周期组成，是从取指令、分析指令到执行完所需的全部时间。CPU 周期又称机器周期，CPU 访问一次内存所花的时间较长，因此用从内存读取一条指令字的最短时间来定义。一个指令周期常由若干 CPU 周期构成

时钟周期是由 CPU 时钟定义的定长时间间隔，是 CPU 工作的最小时间单位，也称节拍脉冲或 T 周期

47 比较 cache 与虚存的相同点和不同点。

相同点：（1）出发点相同；都是为了提高存储系统的性能价格比而构造的分层存储体系。（2）原理相同；都是利用了程序运行时的局部性原理把最近常用的信息块从相对慢速而大容量的存储器调入相对高速而小容量的存储器。

不同点：（1）侧重点不同；cache 主要解决主存和 CPU 的速度差异问题；虚存主要是解决存储容量问题。（2）数据通路不同；CPU 与 cache、主存间有直接通路；而虚存需依赖辅存，它与 CPU 间无直接通路。（3）透明性不同；cache 对系统程序员和应用程序员都透明；而虚存只对应用程序员透明。（4）未命名时的损失不同；主存未命中时系统的性能损失要远大于 cache 未命中时的损失。

48 设 $[N]_{\text{补}} = a_n a_{n-1} \cdots a_1 a_0$ ，其中 a_n 是符号位。

求证：
$$N = -a_n 2^n + \sum_{i=0}^{n-1} a_i 2^i$$

证明：

当 $N \geq 0$ ， $a_n = 0$ ，真值 $N = [N]_{\text{补}} = a_{n-1} \cdots a_1 a_0 =$

$$\sum_{i=0}^{n-1} a_i 2^i$$

②当 $N < 0$ ， $a_n = 1$ ， $[N]_{\text{补}} = 1 a_{n-1} \cdots a_1 a_0$ 依补码的定义，

真值 $N = [N]_{\text{补}} - 2^{(n+1)} = a_n a_{n-1} \cdots a_1 a_0 - 2^{(n+1)} =$

$$-a_n 2^n + \sum_{i=0}^{n-1} a_i 2^i$$

综合以上结果有

$$N = -a_n 2^n + \sum_{i=0}^{n-1} a_i 2^i$$

3 设 $x=-18$, $y=+26$, 数据用补码表示, 用带求补器的阵列乘法器求出乘积 $x \times y$, 并用十进制数乘法进行验证。

解: 符号位单独考虑: X 为正符号用二进制表示为 0, Y 为负值符号用 1 表示。

【 X 】补 = 101110 【 Y 】补 = 011010

两者做乘法 1 0 0 1 0

x 1 1 0 1 0

0 0 0 0 0

1 0 0 1 0

0 0 0 0 0

1 0 0 1 0

1 0 0 1 0

1 1 1 0 1 0 1 0 0

结果化为 10 进制就是 468

符号位进行异或操作 0 异或 1 得 1

所以二进制结果为 1 1 1 1 0 1 0 1 0 0

化为十进制就是 -468

十进制检验: $-18 \times 26 = -468$

5 图 1 所示的系统中, A、B、C、D 四个设备构成单级中断结构, 它要求 CPU 在执行完当前指令时转向对中断请求进行服务。现假设:

① T_{DC} 为查询链中每个设备的延迟时间;

② T_A 、 T_B 、 T_C 、 T_D 分别为设备 A、B、C、D 的服务程序所需的执行时间;

③ T_S 、 T_R 分别为保存现场和恢复现场所需的时间;

④ 主存工作周期为 T_M ;

⑤ 中断批准机构在确认一个新中断之前, 先要让即将被中断的程序的一条指令执行完毕。

试问: 在确保请求服务的四个设备都不会丢失信息的条件下, 中断饱和的最小时间是多少?
中断极限频率是多少?

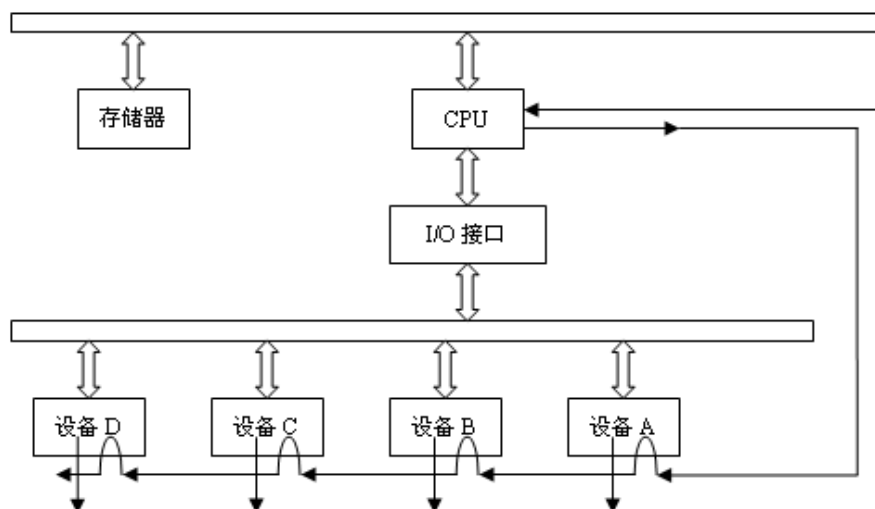


图 1

解: 假设主存工作周期为 T_M , 执行一条指令的时间也设为 T_M 。则中断处理过程和各时间段如图 B17.3 所示。当三个设备同时发出中断请求时, 依次处理设备 A、B、C 的时间如下:

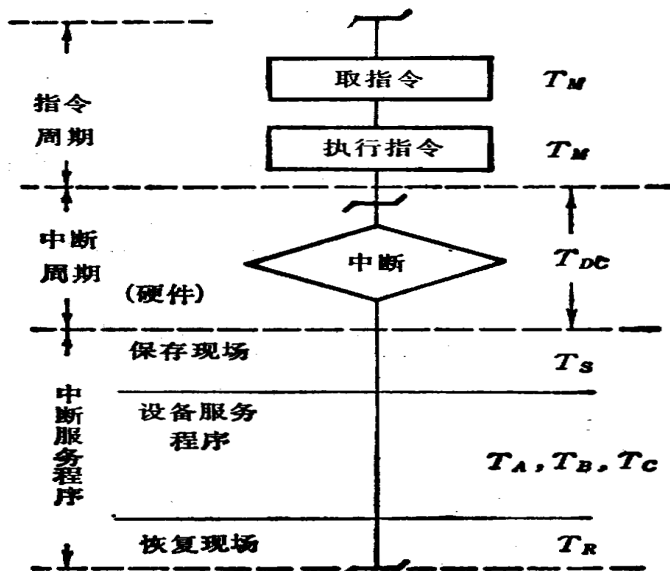
$$t_A = 2T_M + 3T_{DC} + T_S + T_A + T_R \quad (\text{下标分别为 A, M, DC, S, A, R})$$

$$t_B = 2T_M + 2T_{DC} + T_S + T_B + T_R \quad (\text{下标分别为 B, M, DC, S, B, R})$$

$$t_C = 2T_M + T_{DC} + T_S + T_C + T_R \quad (\text{下标分别为 C, M, DC, S, C, R})$$

达到中断饱和的时间为: $T = t_A + t_B + t_C$

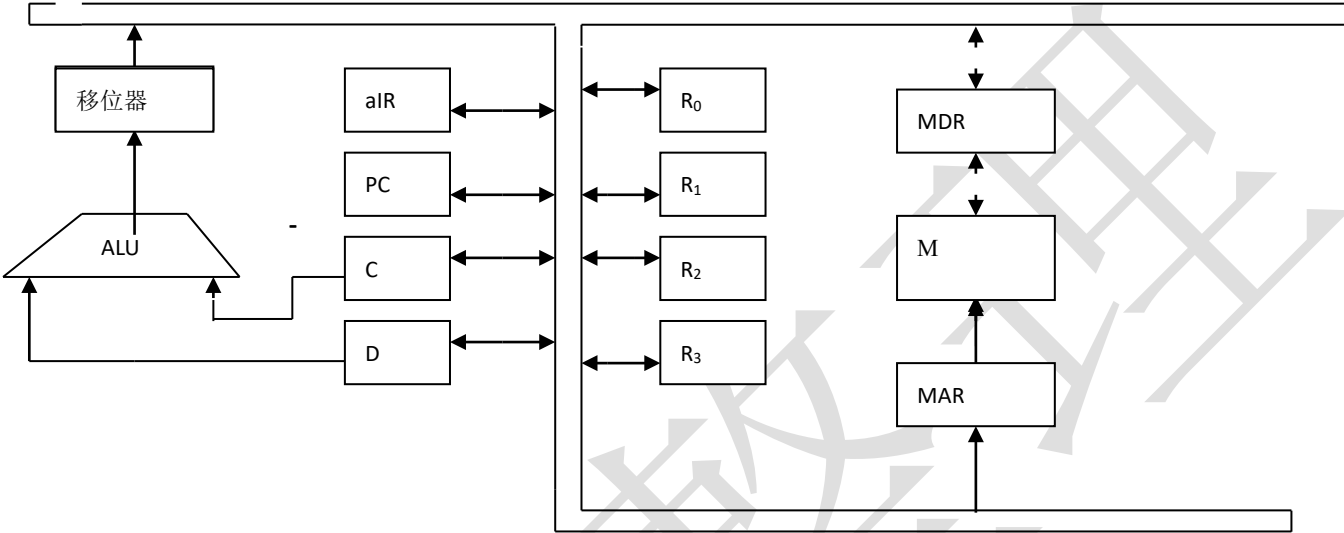
中断极限频率为: $f = 1 / T$



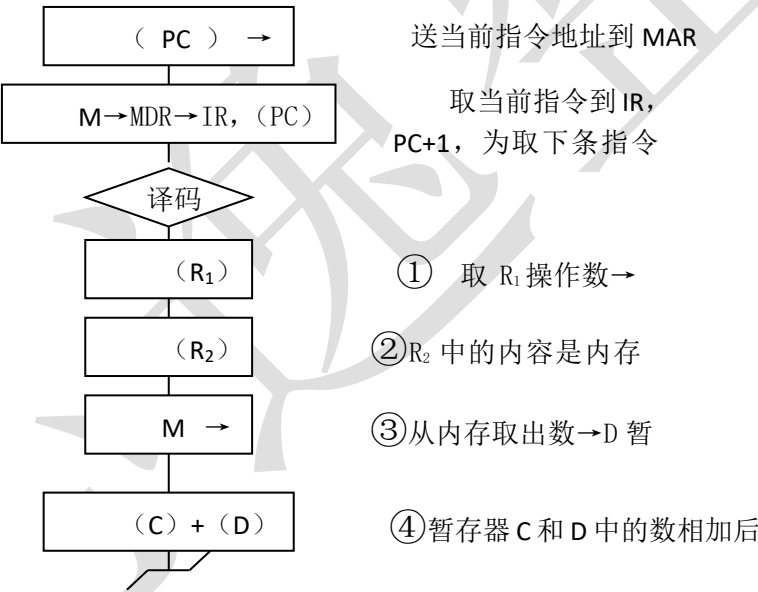
6 某计算机有图 2 所示的功能部件，其中 M 为主存，指令和数据均存放在其中，MDR 为主存数据寄存器，MAR 为主存地址寄存器，R0~R3 为通用寄存器，IR 为指令寄存器，PC 为程序计数器（具有自动加 1 功能），C、D 为暂存寄存器，ALU 为算术逻辑单元，移位器可左移、右移、直通传送。

- (1) 将所有功能部件连接起来，组成完整的数据通路，并用单向或双向箭头表示信息传送方向。
- (2) 画出“ADD R1, (R2)”指令周期流程图。该指令的含义是将 R₁ 中的数与 (R₂) 指示的主存单元中的数相加，相加的结果直通传送至 R₁ 中。
- (3) 若另外增加一个指令存储器，修改数据通路，画出(2)的指令周期流程图。

解：（1）各功能部件联结成如图所示数据通路：



(2) 此指令为 RS 型指令，一个操作数在 R₁ 中，另一个操作数在 R₂ 为地址的内存单元中，相加结果放在 R₁ 中。



7 参见图 1，这是一个二维中断系统，请问：

- ① 在中断情况下，CPU 和设备的优先级如何考虑？请按降序排列各设备的中断优先级。
- ② 若 CPU 现执行设备 C 的中断服务程序，IM2，IM1，IM0 的状态是什么？如果 CPU 执行设备 H 的中断服务程序，IM2，IM1，IM0 的状态又是什么？
- ③ 每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽？如果不能，采取什么方法可达到目的？
- ④ 若设备 C 一提出中断请求，CPU 立即进行响应，如何调整才能满足此要求？

解： (1) 在中断情况下，CPU 的优先级最低。
各设备优先级次序

是：A-B-C-D-E-F-G-H-I-CPU

(2) 执行设备 B 的中断服务程序时 $IM_0IM_1IM_2=111$ ；

执行设备 D 的中断服务程序时 $IM_0IM_1IM_2=011$ 。

(3) 每一级的 IM 标志不能对某优先级的个别设备进行单独屏蔽。可将接口中的 BI（中断允许）标志清“0”，它禁止设备发出中断请求。

(4) 要使 C 的中断请求及时得到响应，可将 C 从第二级取出，单独放在第三级上，使第三级的优先级最高，即令 $IM_3=0$ 即可。

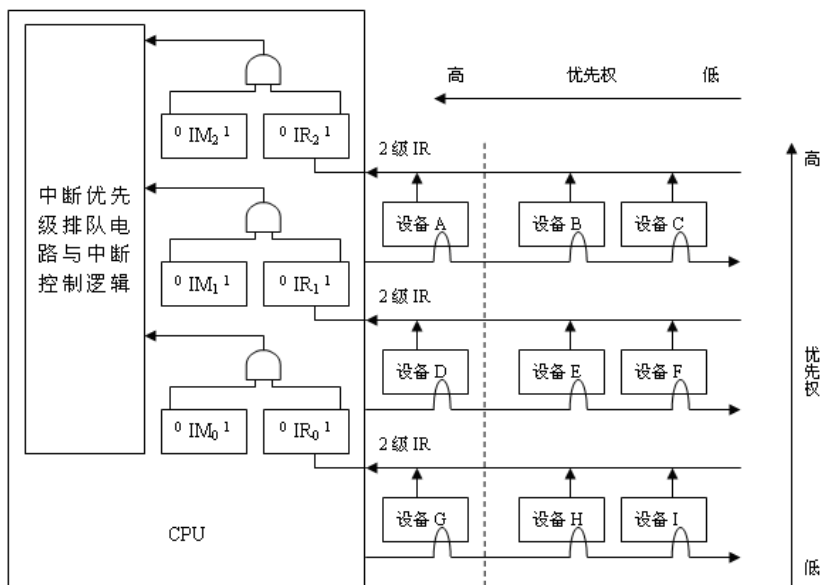


图 1

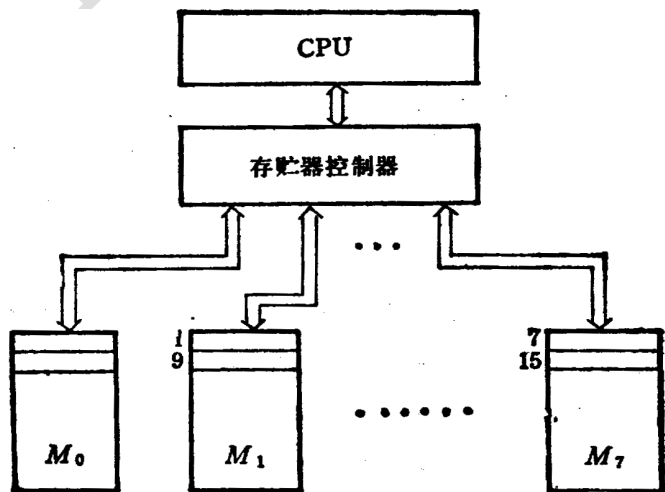
8 已知 $x=-001111$ ， $y=+011001$ ，求：

- ① $[x]$ 补， $[-x]$ 补， $[y]$ 补， $[-y]$ 补；
- ② $x+y$ ， $x-y$ ，判断加减运算是否溢出。

解： $[x]$ 原=100111 $[x]$ 补=1110001 $[-x]$ 补=0001111
 $[y]$ 原=0011001 $[y]$ 补=0011001 $[-y]$ 补=1100111
 $X+y=0001010$ $x-y=1011000$

13 机器字长 32 位，常规设计的物理存储空间 $\leq 32M$ ，若将物理存储空间扩展到 256M，请提出一种设计方案。

解： 用多体交叉存取方案，即将主存分成 8 个相互独立、容量相同的模块 $M_0, M_1, M_2, \dots, M_7$ ，每个模块 $32M \times 32$ 位。它们各自具备一套地址寄存器、数据缓冲器，各自以等同的方式与 CPU 传递信息，其组成如图



12 有两个浮点数 $N_1=2^{j_1} \times S_1$ ， $N_2=2^{j_2} \times S_2$ ，其中阶码用 4 位移码、尾数用 8 位原码表示（含 1 位符号位）。设 $j_1=(11)_2$ ， $S_1=(+0.0110011)_2$ ， $j_2=(-10)_2$ ， $S_2=(+0.1101101)_2$ ，求 N_1+N_2 ，写出运算步骤及结果。

解： (1) 浮点乘法规则：

$$N_1 \times N_2 = (2^{j_1} \times S_1) \times (2^{j_2} \times S_2) = 2^{(j_1+j_2)} \times (S_1 \times S_2)$$

(2) 码求和：

$$j_1 + j_2 = 0$$

(3) 尾数相乘：

被乘数 $S_1=0.1001$ ，令乘数 $S_2=0.1011$ ，尾数绝对值相乘得积的绝对值，积的符号位 = $0 \oplus 0 = 0$ 。按无符号阵列乘法器运算得： $N_1 \times N_2 = 2^0 \times 0.01100011$

(4) 尾数规格化、舍入（尾数四位）

$$N_1 \times N_2 = (+0.01100011)_2 = (+0.1100)_2 \times 2^{(-01)}_2$$

9 图 2 所示为双总线结构机器的数据通路，IR 为指令寄存器，PC 为程序计数器（具有自增功能），M 为主存（受 R/W#信号控制），AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 由加、减控制信号决定完成何种操作，控制信号 G 控制的是一个门电路。另外，线上标注有小圈表示有控制信号，例如 y_i 表示 y 寄存器的输入控制信号， R_{1o} 为寄存器 R_1 的输出控制信号，未标字符的线为直通线，不受控制。

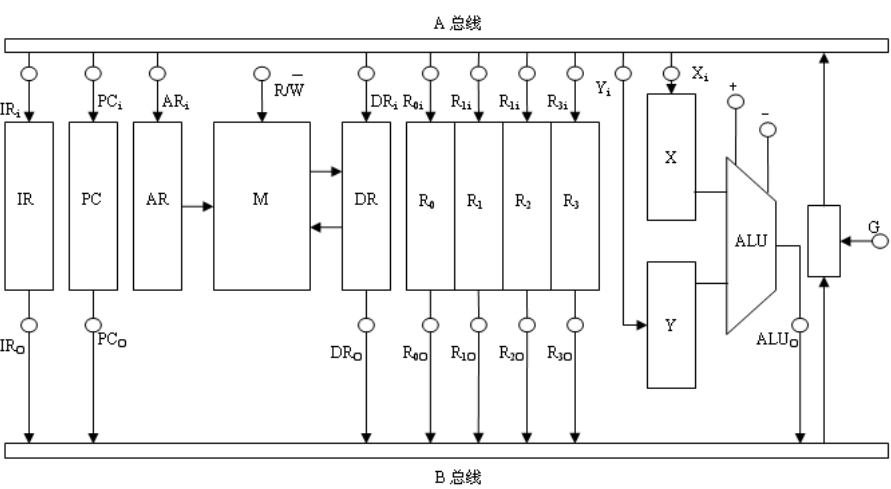


图 2

① “ADD R2, R0” 指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作，画出其指令周期流程图，假设该指令的地址已放入 PC 中。并在流程图每一个 CPU 周期右边列出相应的微操作控制信号序列。

② 若将（取指周期）缩短为一个 CPU 周期，请先画出修改数据通路，然后画出指令周期流程图。
解：（1）“ADD R2, R0” 指令是一条加法指令，参与运算的两个数放在寄存器 R2 和 R0 中，指令周期流程图包括取指令阶段和执行指令阶段两部分（为简单起见，省去了“→”号左边各寄存器代码上应加的括号）。根据给定的数据通路图，“ADD R2, R0” 指令的详细指令周期流程图下图 a 所示，图的右边部分标注了每一个机器周期中用到的微操作控制信号序列。（2）SUB 减法指令周期流程图见下图 b 所示。

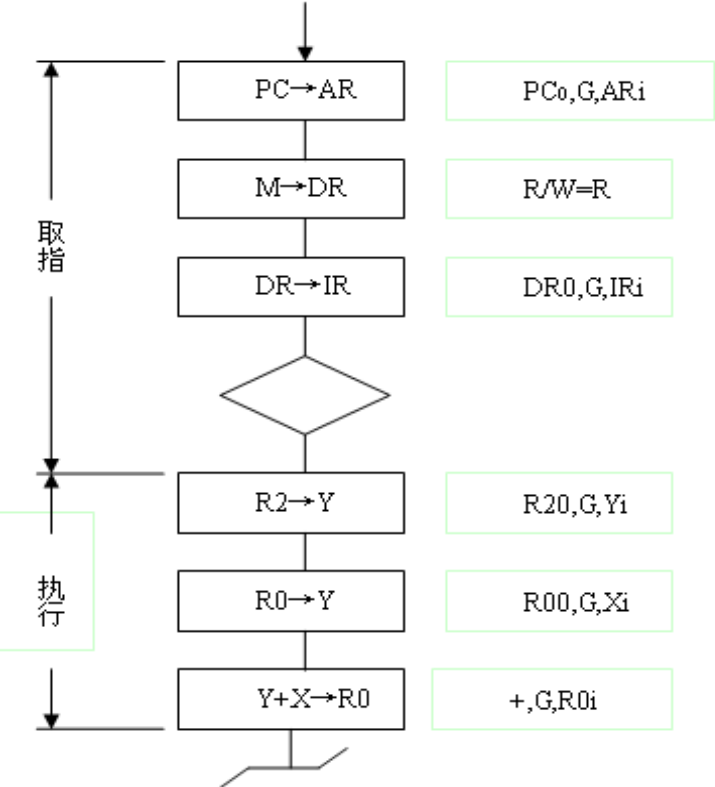


图 a

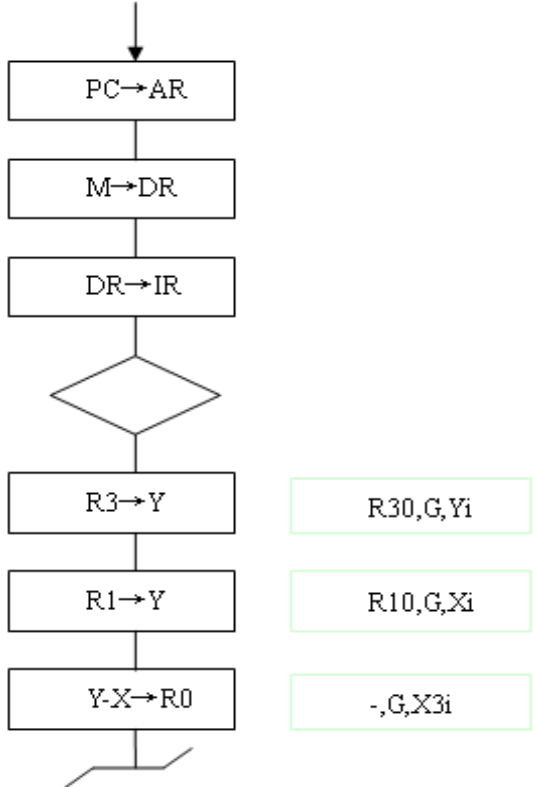
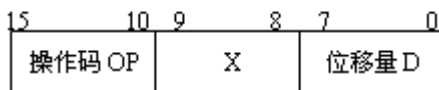


图 b

14 某机的指令格式如下所示



X 为寻址特征位: X=00: 直接寻址; X=01: 用变址寄存器 R_{X1} 寻址; X=10: 用变址寄存器 R_{X2} 寻址; X=11: 相对寻址
 设 (PC)=1234H, (RX1)=0037H, (RX2)=1122H (H 代表十六进制数), 请确定下列指令中的有效地址:

- ①4420H ②2244H ③1322H ④3521H

解: 1) X=00, D=20H, 有效地址 E=20H
 2) X=10, D=44H, 有效地址 E=1122H+44H=1166H
 3) X=11, D=22H, 有效地址 E=1234H+22H=1256H
 4) X=01, D=21H, 有效地址 E=0037H+21H=0058H
 5) X=11, D=23H, 有效地址 E=1234H+23H=1257H

15 图 1 为某机运算器框图, $BUS_1 \sim BUS_3$ 为 3 条总线, 期于信号如 a、h、 $LDR_0 \sim LDR_3$ 、 $S_0 \sim S_3$ 等均为电位或脉冲控制信号。

① 分析图中哪些是相容微操作信号? 哪些是相斥微操作信号?

② 采用微程序控制方式, 请设计微指令格式, 并列出各控制字段的编码表。

解: 1) 相容微操作信号 LRSN 相斥微操作信号 a, b, c, d

2) 当 24 个控制信号全部用微指令产生时, 可采用字段译码法进行编码控制, 采用的微指令格式如下 (其中目地操作数字段与打入信号段可结合并公用, 后者加上节拍脉冲控制即可)。

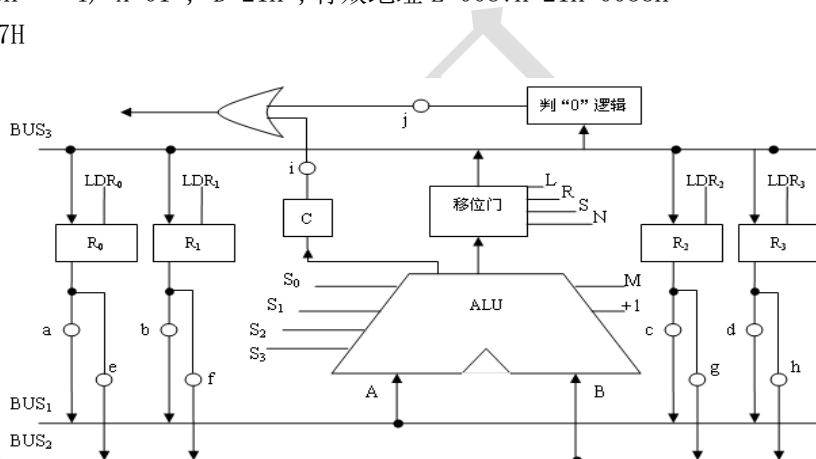


图 1 运算器框图

3 位 3 位 5 位 4 位 3 位 2 位

×××	×××	××××	×	×××	×	×××	×
-----	-----	------	---	-----	---	-----	---

目的操作数 源操作数 运算操作 移动操作 直接控制 判别 下址字段

编码表如下:

目的操作数字段	源操作数字段	运算操作字段	移位门字段	直接控制字段
001 a,	001 e	$MS_0S_1S_2S_3$	L, R,	i, j,
LDR ₀	010 f		S, N	+1
010 b,	011 g			
LDR ₁	100 h			
011 c,				
LDR ₂				
100 d,				
LDR ₃				

19 CPU 执行一段程序时, cache 完成存取的次数为 2420 次, 主存完成的次数为 80 次, 已知 cache 存储周期为 40ns, 主存存储周期为 200ns, 求 cache/主存系统的效率和平均访问时间。P94 例 6

解: 先求命中率 h

$$h = n_c / (n_c + n_m) = 2420 \div (2420 + 80) = 0.968$$

则平均访问时间为 t_a

$$t_a = 0.968 \times 40 + (1 - 0.968) \times 240 = 46.4 (ns)$$

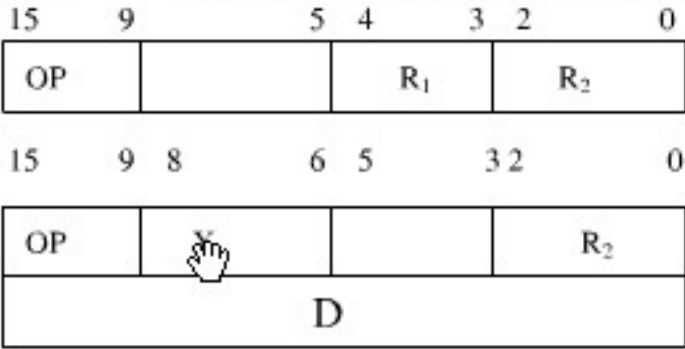
$$r = 240 \div 40 = 6$$

cache/主存系统的效率为 e

$$e = 1 / [r + (1 - r) \times 0.968] = 86.2\%$$

20 某机器单字长指令为 32 位，共有 40 条指令，通用寄存器有 128 个，主存最大寻址空间为 64M。寻址方式有立即寻址、直接寻址、寄存器寻址、寄存器间接寻址、基值寻址、相对寻址六种。请设计指令格式，并做必要说明。

解：由已知条件，机器字长 16 位，主存容量 $128KB / 2 = 64KB$ 字，因此 MAR = 18 位，共 128 条指令，故 OP 字段占 7 位。采用单字长和双字长两种指令格式，其中单字长指令用于算术逻辑和 I / O 类指令，双字长用于访问主存的指令。



寻址方式由寻址模式 X 定义如下：

- X = 000 直接寻址 E = D (64K)
- X = 001 立即数 D = 操作数
- X = 010 相对寻址 E = PC + D PC = 16 位
- X = 011 基值寻址 E = R_b + D , R_b=16 位
- X = 100 间接寻址 E = (D)
- X = 101 变址寻址 E = R_X + D , R_X = 10 位

21 一条机器指令的指令周期包括取指（IF）、译码（ID）、执行（EX）、写回（WB）四个过程段，每个过程段 1 个时钟周期 T 完成。

先段定机器指令采用以下三种方式执行：①非流水线（顺序）方式，②标量流水线方式，③超标量流水线方式。

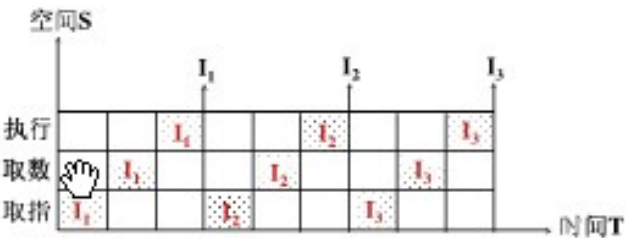
请画出三种方
时空图，证明流
算机比非流水
机具有更高的
率。P163

式的
水计
计算
吞吐

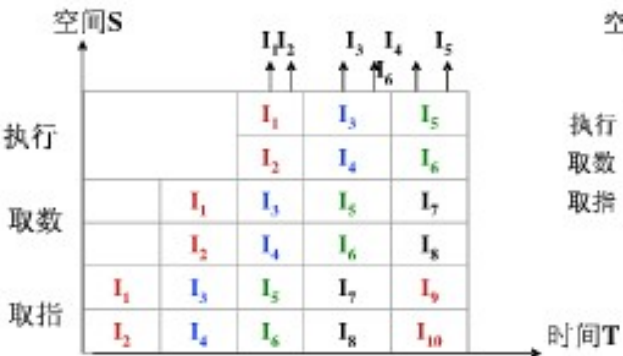
a. 非流水线时空图

b. 标量流水线时空图

c. 超标量流水线时空图



(a) 非流水线时空图



(b) 标量流水线时空图

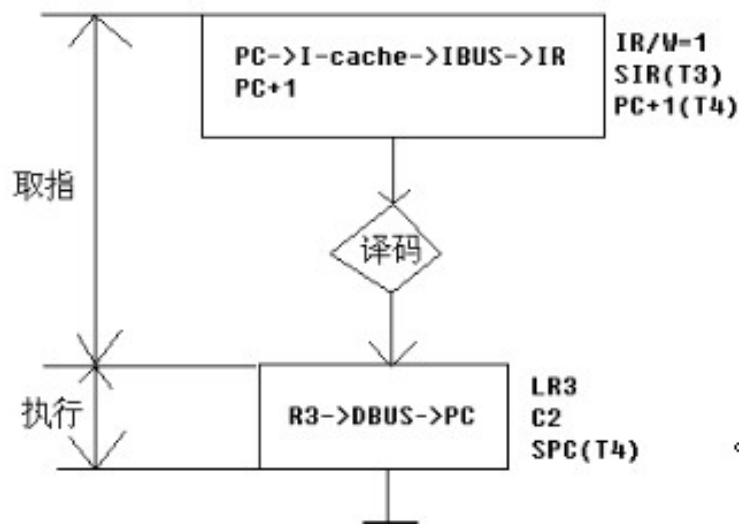
图5.31 非流水线与流水线对比

(C) 超标量流水线时空图

机器指令“STO R1, (R2)”实现的功能是：将寄存器 R1 中的数据写入到以 (R2) 为地址的数存单元中。

[illegible]

姐：



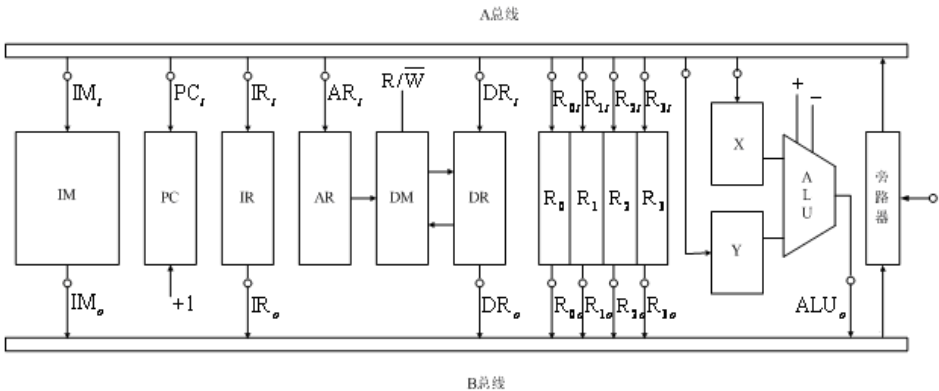
CPU 执行一段程序时, cache 完成存取次数为 2420 次, 主存完成的次数为 80 次, 已知 cache 存储周期为 40ns, 主存存储周期为 200ns, 求 cache/主存系统的效率和平均访问时间。

平均访问时间 : $t_a = t_c / e = 40\text{ns} / e$

27 某计算机的存储系统由 cache、主存和磁盘构成。cache 的访问时间为 15ns；如果被访问的单元在主存中但不在 cache 中，需要用 60ns 的时间将其装入 cache，然后再进行访问；如果被访问的单元不在主存中，则需要 10ms 的时间将其从磁盘中读入主存，然后再装入 cache 中并开始访问。若 cache 的命中率为 90%，主存的命中率为 60%，求该系统中访问一个字的平均时间。

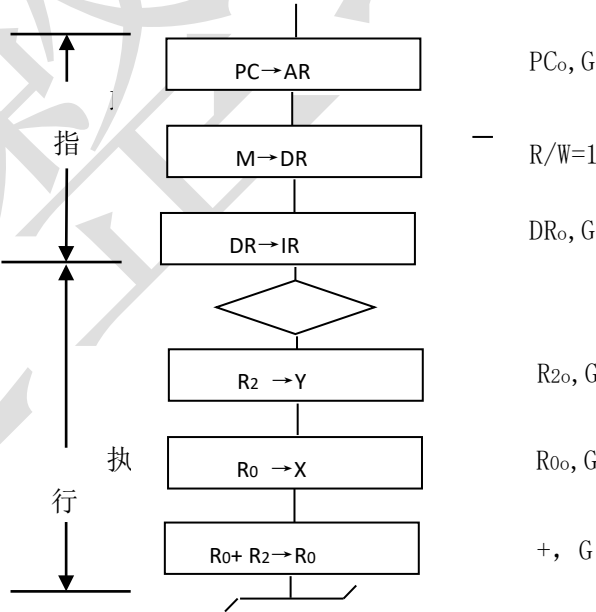
解：t_a=90%t_c+10%*60%(t_m+t_c)+10%*40%（t_k+t_m+t_c）(m 表示未命中时的主存访问时间；c 表示命中时的 cache 访问时间；k 表示访问外存时间)

28 图 1 所示为双总线结构机器的数据通路，IR 为指令寄存器，PC 为程序计数器（具有自增功能），DM 为数据存储器（受 R/\overline{W} 信号控制），AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 由加、减控制信号决定完成何种操作，控制信号 G 控制的是一个门电路。另外，线上标注有小圈表示有控制信号，例中 y_i 表示 y 寄存器的输入控制信号，R_{1o} 为寄存器 R₁ 的输出控制信号，未标字符的线为直通线，不受控制。旁路器可视为三态门传送通路。



- ① “SUB R₃, R₀” 指令完成 $(R_0)-(R_3) \rightarrow R_0$ 的功能操作，画出其指令周期流程图，并列出相应的微操作控制信号序列，假设该指令的地址已放入 PC 中。
- ② 若将“取指周期”缩短为一个 CPU 周期，请在图上先画出改进的数据通路，然后在画出指令周期流程图。此时 SUB 指令的指令周期是几个 CPU 周期?与第①种情况相比，减法指令速度提高几倍？

解：ADD 指令是加法指令，参与运算的二数放在 R0 和 R2 中，相加结果放在 R0 中。指令周期流程图图 A3.3 包括取指令阶段和执行指令阶段两部分。每一方框表示一个 CPU 周期。其中框内表示数据传送路径，框外列出微操作控制信号。，流程图见左



- 31 某加法器进位链小组信号为 C4C3C2C1，低位来的进位信号为 C0，请分别按下述两种方式写出 C4C3C2C1 的逻辑表达式：
- ① 串行进位方式
 - ② 并行进位方式

解：（1）串行进位方式：C₁ = G₁ + P₁ C₀ 其中：G₁ = A₁ B₁ , P₁ = A₁ ⊕ B₁
C₂ = G₂ + P₂ C₁ G₂ = A₂ B₂ , P₂ = A₂ ⊕ B₂
C₃ = G₃ + P₃ C₂ G₃ = A₃ B₃ , P₃ = A₃ ⊕ B₃
C₄ = G₄ + P₄ C₃ G₄ = A₄ B₄ , P₄ = A₄ ⊕ B₄

(2) 并行进位方式：C₁ = G₁ + P₁ C₀
C₂ = G₂ + P₂ G₁ + P₂ P₁ C₀
C₃ = G₃ + P₃ G₂ + P₃ P₂ G₁ + P₃ P₂ P₁ C₀
C₄ = G₄ + P₄ G₃ + P₄ P₃ G₂ + P₄ P₃ P₂ G₁ + P₄ P₃ P₂ P₁ C₀
其中 G₁—G₄ , P₁—P₄ 表达式与串行进位方式相同。

- 36 设两个浮点数 N₁=2^{j₁}×S₁, N₂=2^{j₂}×S₂，其中阶码 3 位（移码），尾数 4 位，数符 1 位。设：
j₁=(-10)₂, S₁=(+0.1001)₂
j₂=(+10)₂, S₂=(+0.1011)₂
求：N₁×N₂，写出运算步骤及结果，积的尾数占 4 位，按原码阵列乘法器计算步骤求尾数之积。

解：因为 X+Y=2^{Ex}×（S_x+S_y）（Ex=E_y），所以求 X+Y 要经过对阶、尾数求和及规格化等步骤。

(1) 对阶:

$\Delta J = E_x - E_y = (-10)_2 - (+10)_2 = (-100)_2$ 所以 $E_x < E_y$, 则 S_x 右移 4 位, $E_x + (100)_2 = (10)_2 = E_y$ 。 S_x 右移四位后 $S_x = 0.00001001$, 经过舍入后 $S_x = 0001$, 经过对阶、舍入后, $X = 2^{(10)_2} \times (0.0001)_2$

(2) 尾数求和: $S_x + S_y$

$$\begin{array}{r} 0.0001 (S_x) \\ + 0.1011 (S_y) \\ \hline 0.1100 (S_x + S_y) \end{array}$$

结果为规格化数。所以:

$$X + Y = 2^{(10)_2} \times (S_x + S_y) = 2^{(10)_2} \times (0.1100)_2 = (11.00)_2$$

49 刷新存储器(简称刷存)的重要性能指标是它的带宽。实际工作中,显示适配器的几个功能部分要争取刷存的带宽。假设总带宽 50%用于刷新屏幕,保留 50%带宽用于其他非刷新功能。

(1) 若显示工作方式采用分辨率为 1024×768 ,颜色深度为 3Byte,刷新频率为 72Hz,计算刷存总带宽应为多少?

(2) 为达到这样高的刷存带宽,应采取何种技术措施?

解: (1) 因为刷新所需带宽 = 分辨率 \times 每个像素点颜色深度 \times 刷新速率

$$\text{所以 } 1024 \times 768 \times 3B \times 72/S = 165888 \text{ KB/S} = 162 \text{ MB/S}$$

$$\text{刷新总带宽应为 } 162\text{MB/S} \times 100/50 = 324\text{MB/S}$$

(2) 为达到这样高的刷存带宽,可采取如下技术措施:

使用高速 DRAM 芯片组成刷存

刷存采用多体交叉结构

刷存至显示控制器的内部总线宽度由 32 位提高到 64 位,甚至 128 位

刷存采用双端口存储器,将刷新端口与更新端口分开。

50 一盘组共 11 片,记录面为 20 面,每面上外道直径为 14 英寸,内道直径为 10 英寸,分 203 道。数据传输率为 983040B/S,磁盘转速为 3600 转/分。假定每个记录块记录 1024B,且系统可挂多达 16 台这样的磁盘,请给出适当的磁盘地址格式,并计算盘组总的存储容量。

解: 设数据传输率为 C,每一磁道的容量为 N,磁盘转速为 r,则根据公式 $C = N \cdot r$,可求得:

$$N = C/r = 983040 \div (3600/60) = 16384 \text{ (字节)}$$

$$\text{扇区数} = 16384 \div 1024 = 16$$

故表示磁盘地址格式的所有参数为: 台数 16,记录面 20,磁道数 203 道,扇区数 16,由此可得磁盘地址格式为:

20	17 16	9 8	4 3	0
台号	柱面号	盘面号	扇区号	

磁盘总存储容量为:

$$16 \times 20 \times 203 \times$$

$$16384 = 1064304640 \text{ (字节)}$$

45 图 1 所示为传送(MOV, OP 码 IR_0IR_100)、加法(ADD, OP 码 IR_0IR_101)、取反(COM, OP 码 IR_0IR_110)、十进制加法(ADT, OP 码 IR_0IR_111)四条指令的微程序流程图,每一框表示一个 CPU 周期。其中 r_s, r_d 为 8 个通用寄存器 $R_0 \sim R_7$,每个 CPU 周期含 4 个时钟脉冲 $T_1 \sim T_4$ 。

① 设微指令的微命令字段为 12 位,判别字段和下址字段是多少位?

② 控制存储器 $E^2\text{PROM}$ 存储容量至少是多少?

③ 给每条微指令分配一个确定的微地址(二进制编

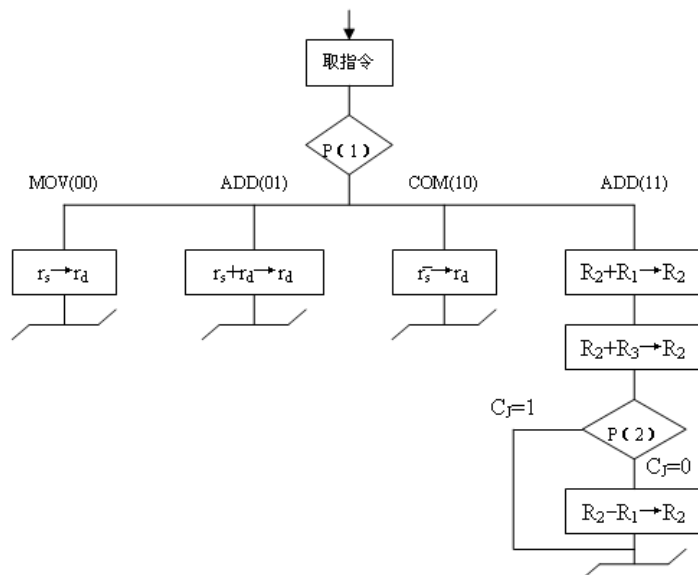


图 1

码表示)。

- ④ 写出微地址转移逻辑表达式和转移逻辑图。
- ⑤ 画出微程序控制器结构图。

解：(3) 因 EPROM 容量为 16 单元，微地址寄存器 4 位即可，设为 $\mu A_3 \sim \mu A_0$
七条微指令地址分配如下表所示，一条微指令只占一个微地址，(可直接填写在流程图右上角和右下角)

微指令序号	当前微地址	下一微地址
1	0000	1000
2	1000	0000
3	1001	0000
4	1010	0000
5	1011	1111
6	1111	0000
7	0100	0000

(2) 从流程图看出，P1 处微程序出现四个分支，对应 4 个微地址，用 OP 码作为测试条件。P2 处微程序出现 2 个分支，对应 2 个微地址

微地址转移逻辑表达式如下：

$$\mu A_2 = P2 \times \overline{C_j} \times T4$$
$$\mu A_1 = P1 \times IR1 \times T4$$
$$\mu A_0 = P1 \times IR0 \times T4$$

其中 IR1，IR0 是指令类寄存器中存放操作码的触发器，T4 表示某个节拍脉冲时修改微地址寄存器。

(3) 画出逻辑图如图 A9.5

