数字逻辑课程设计报告

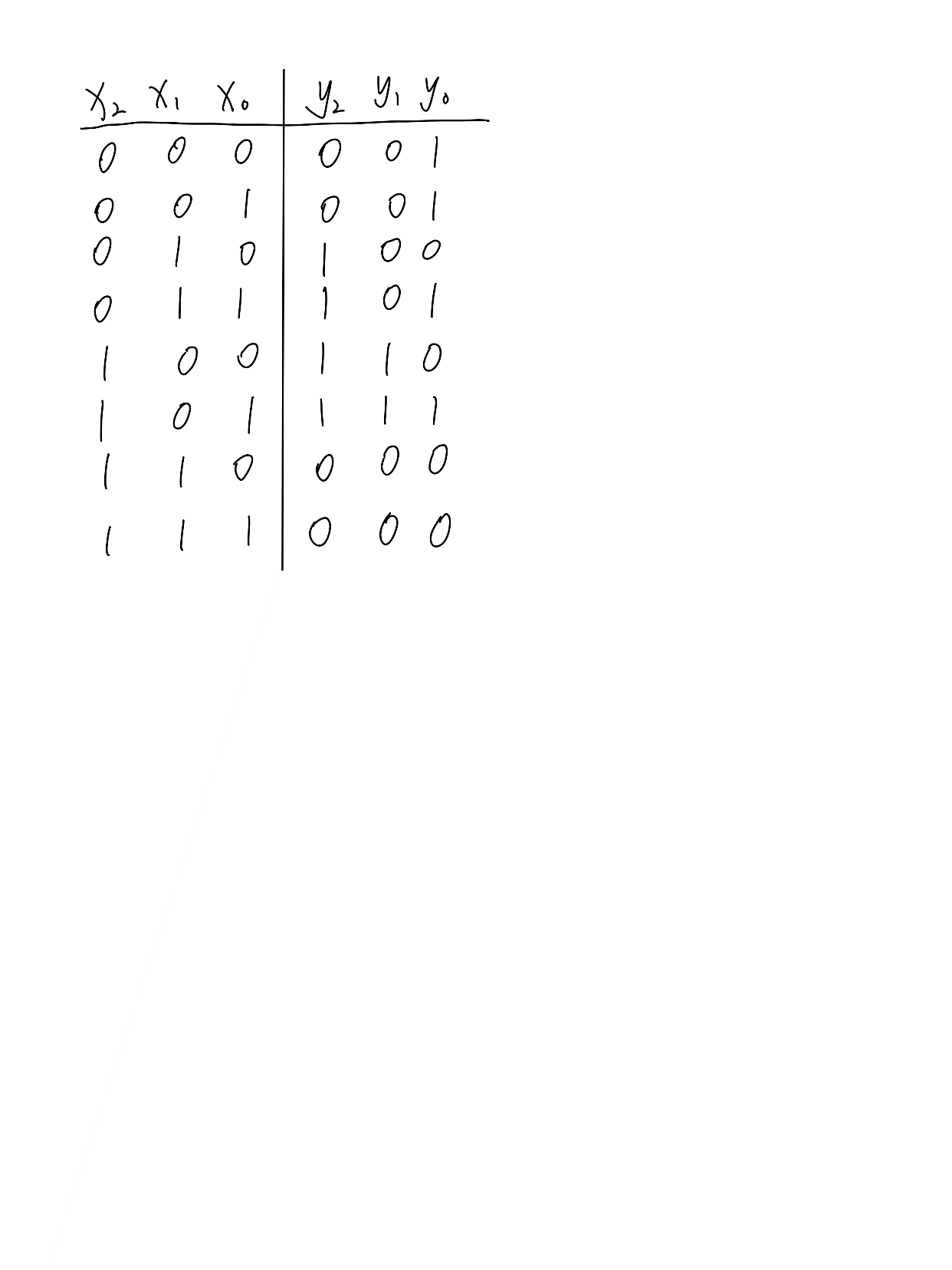
姓名：牟鑫一

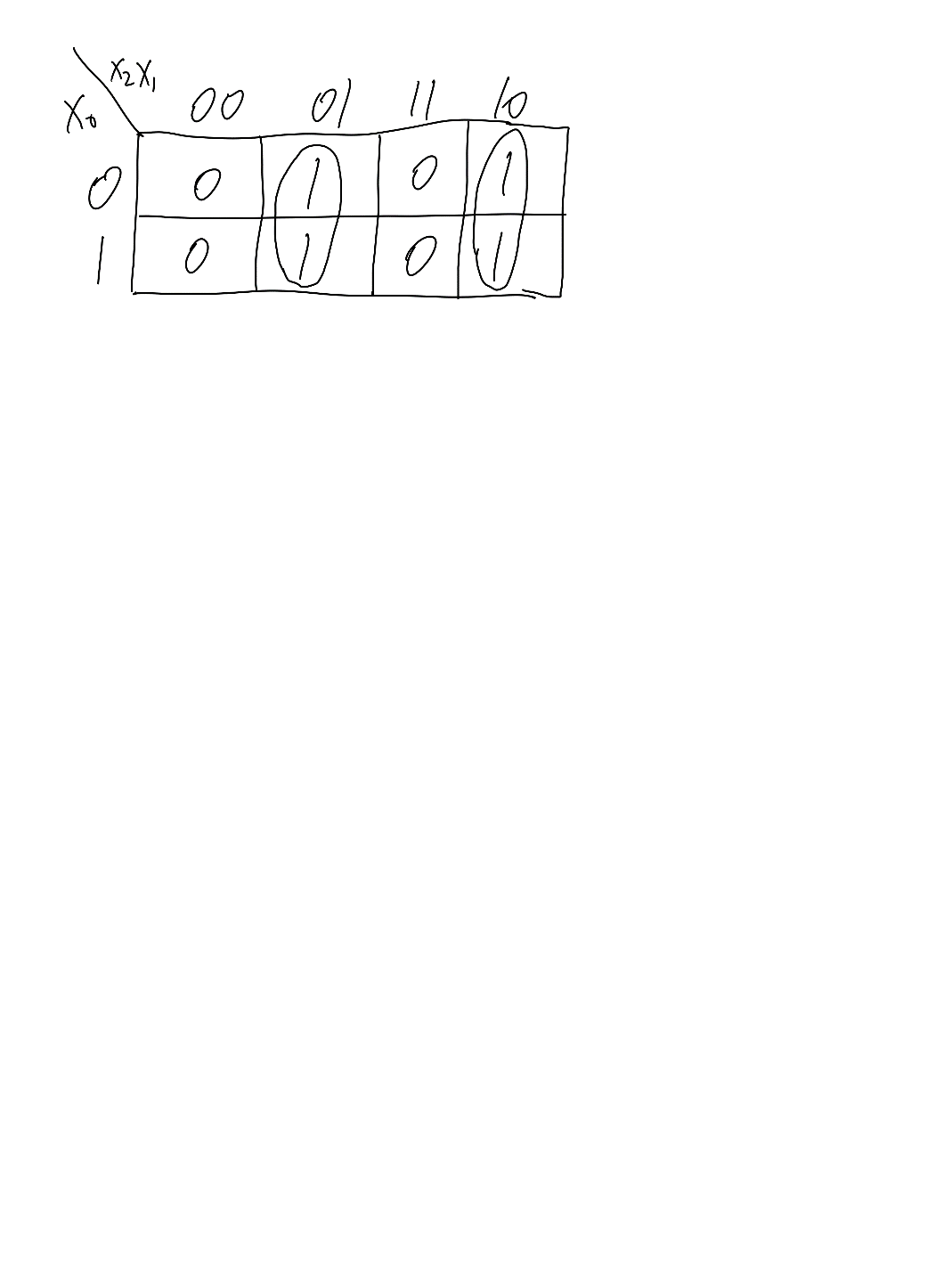
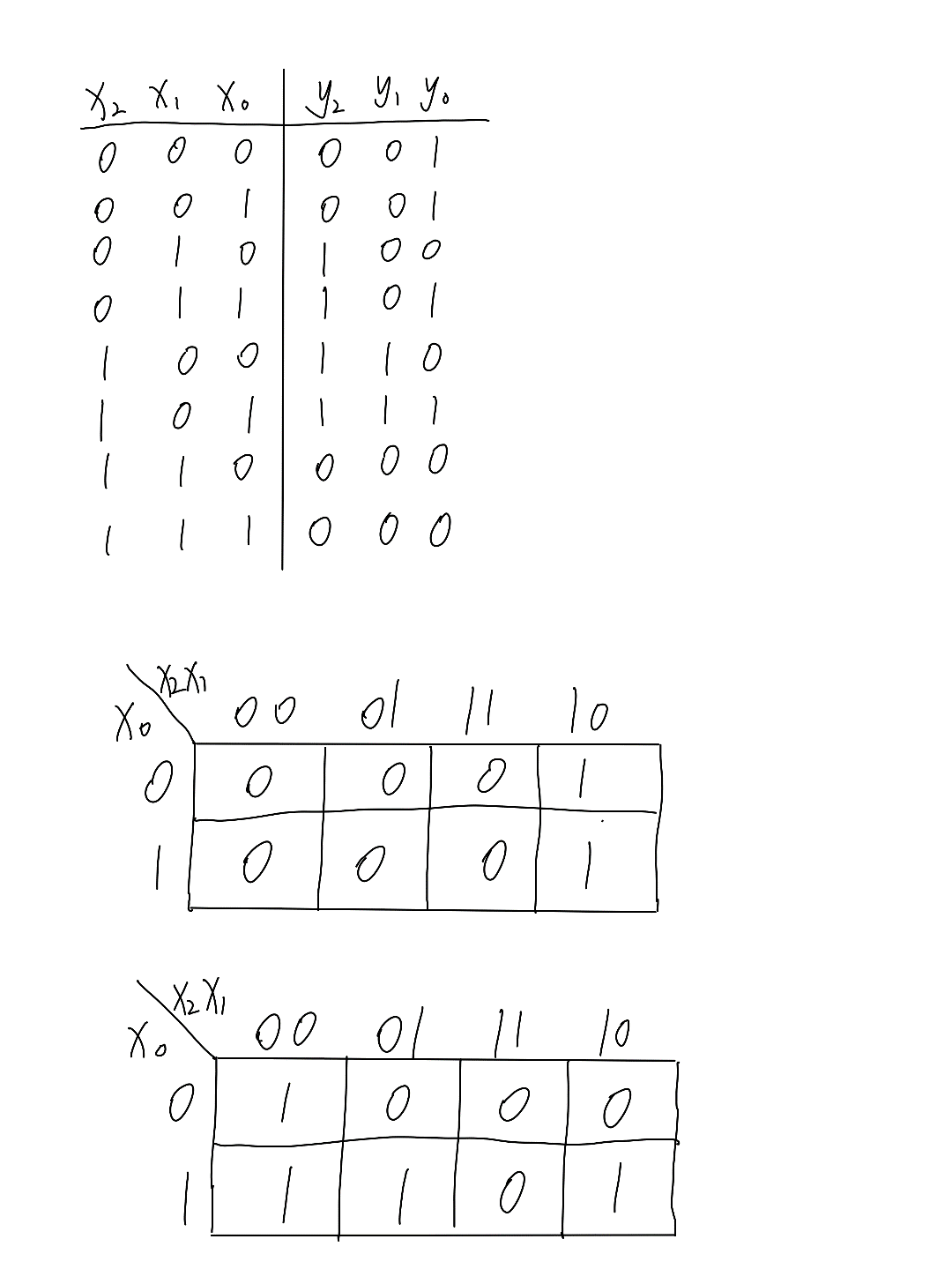
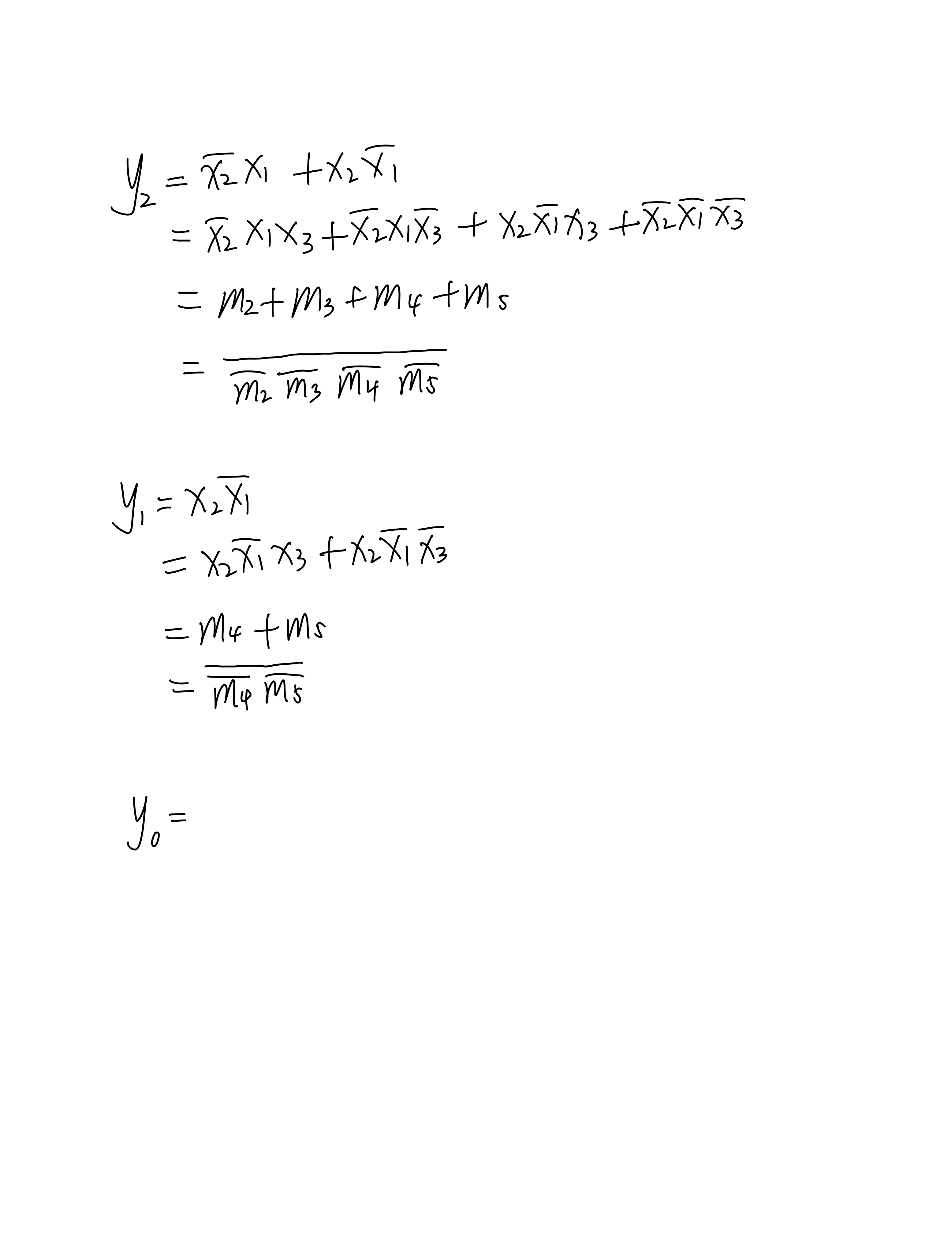
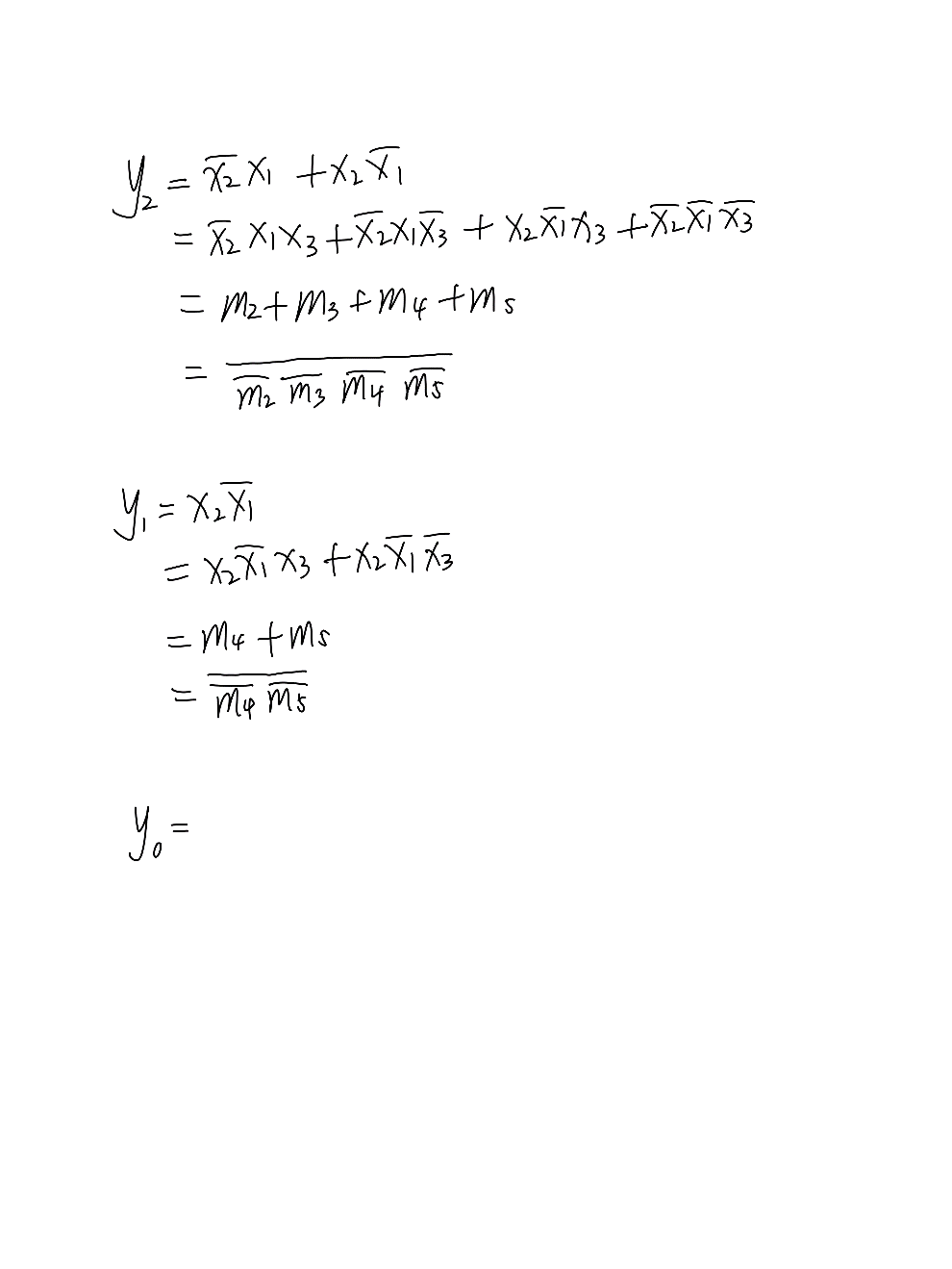
学号：20161001764

班级：191164班

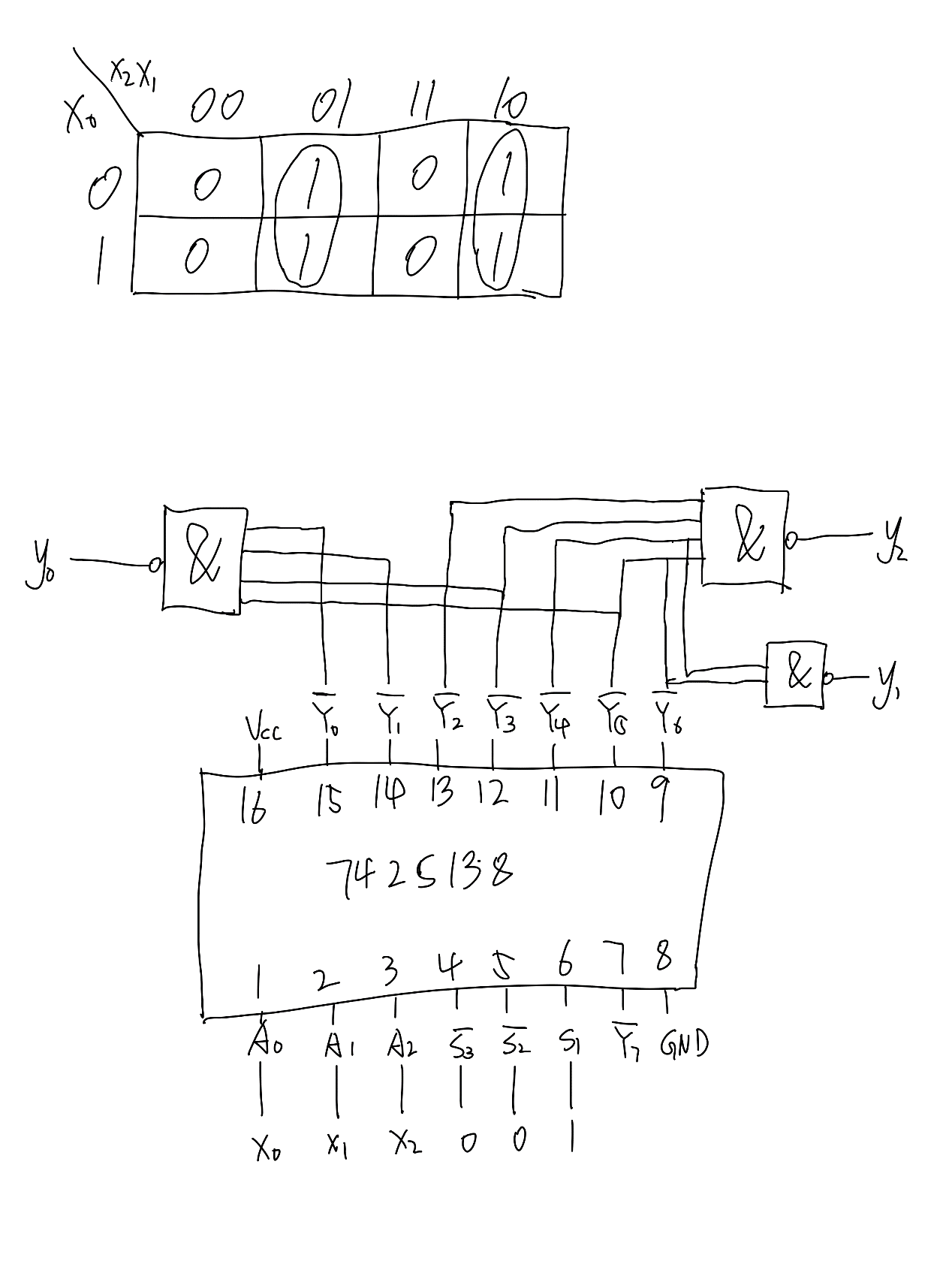
学院：计算机学院

1. **实验一**

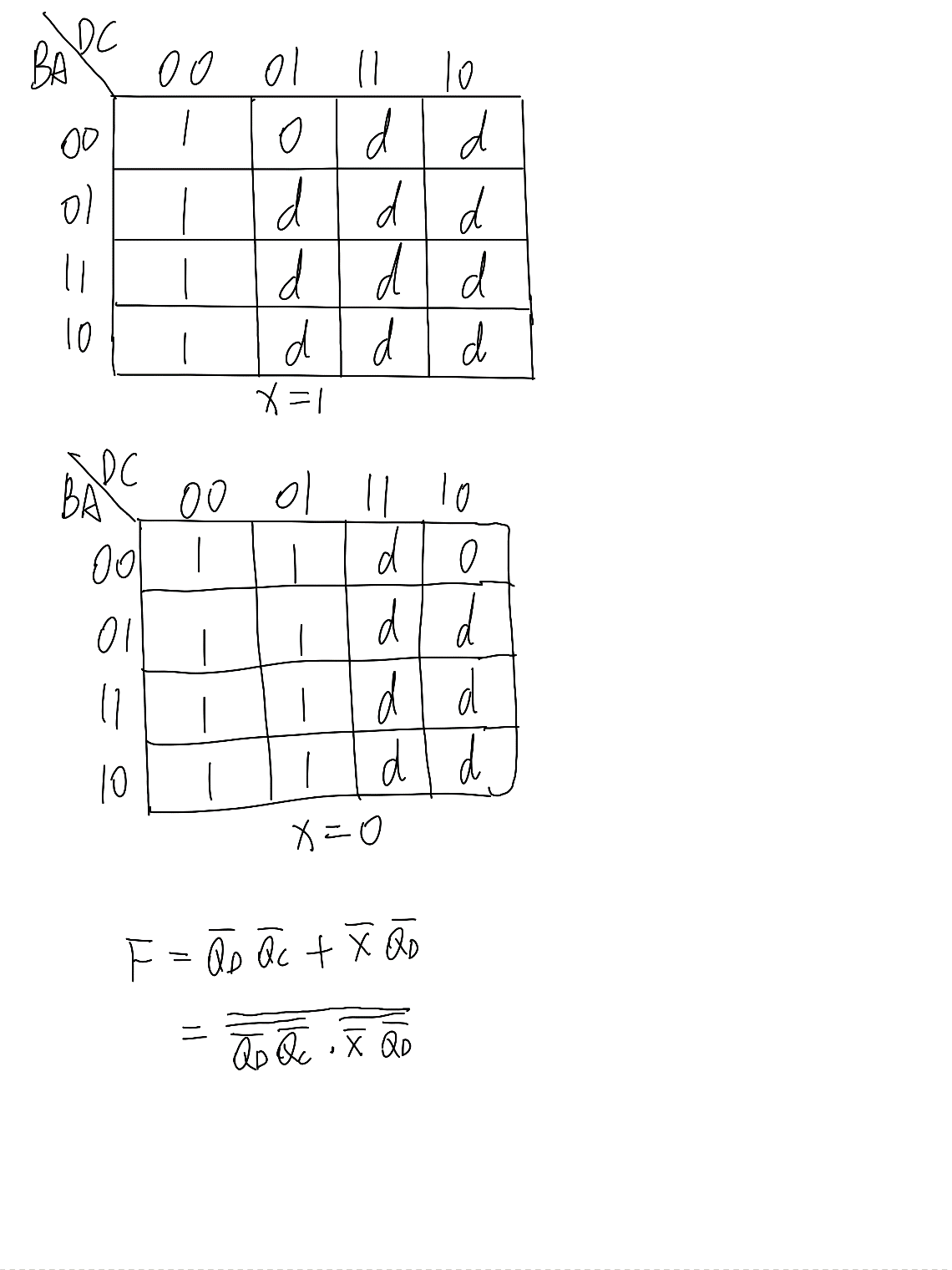
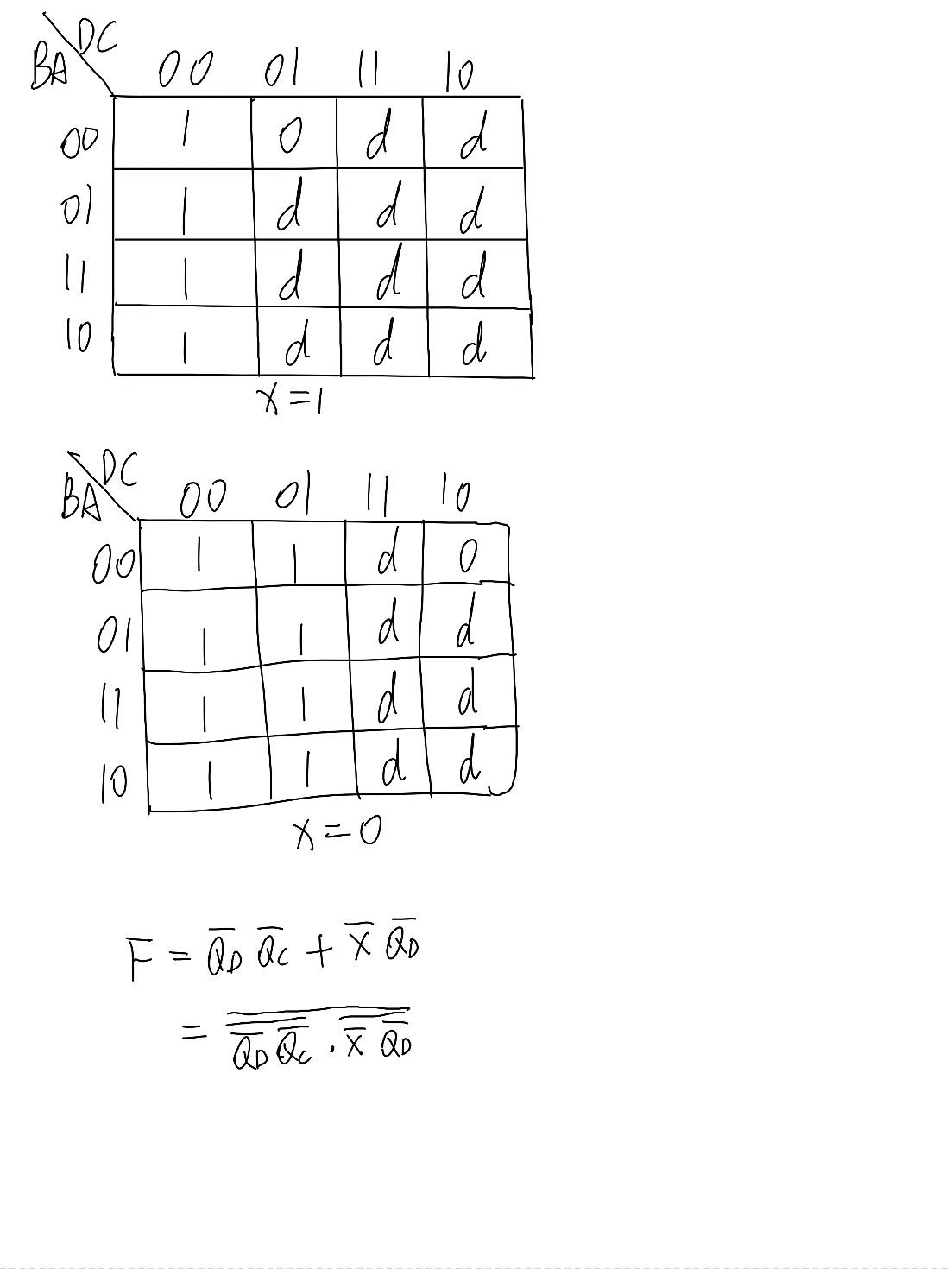


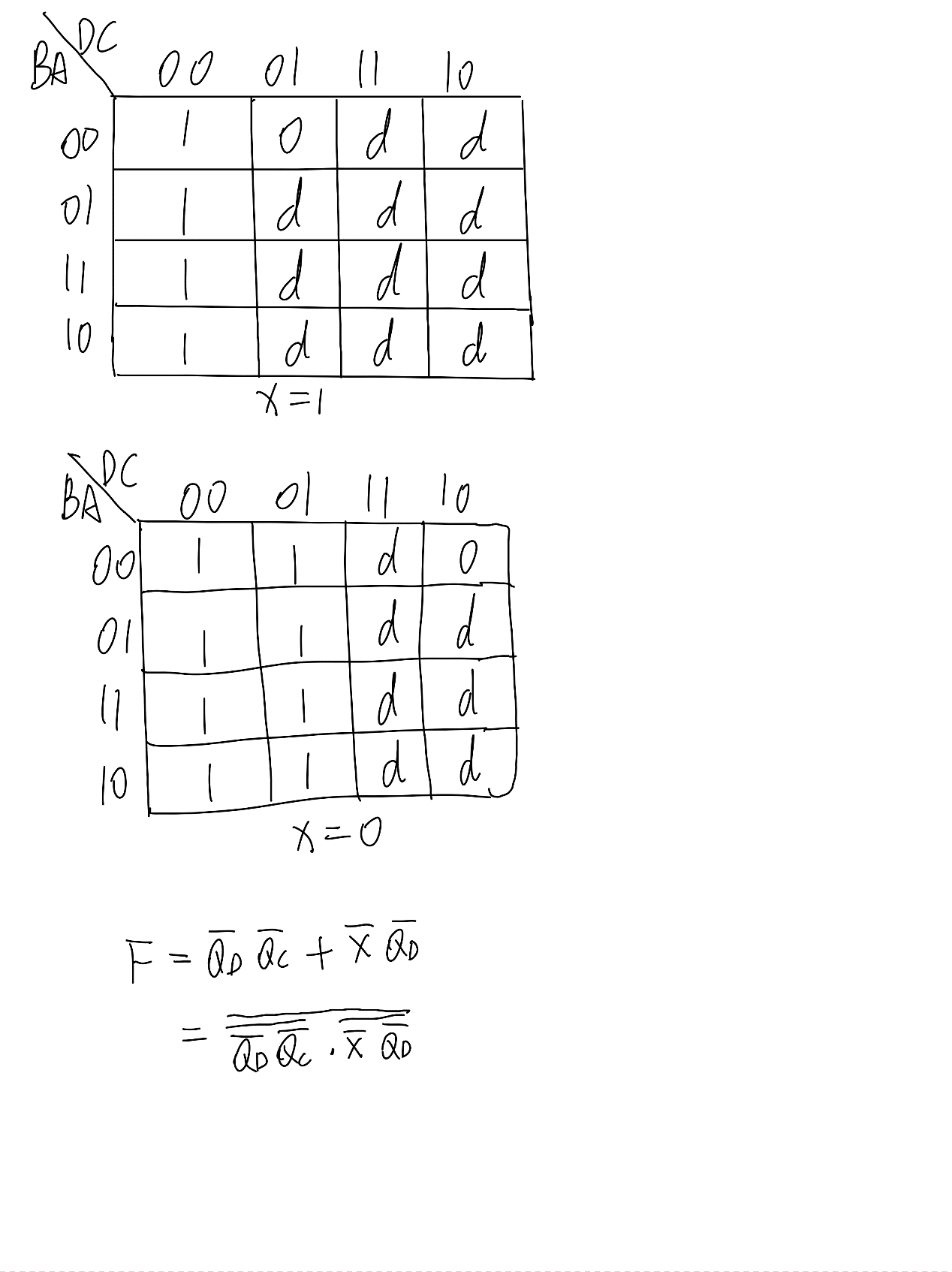


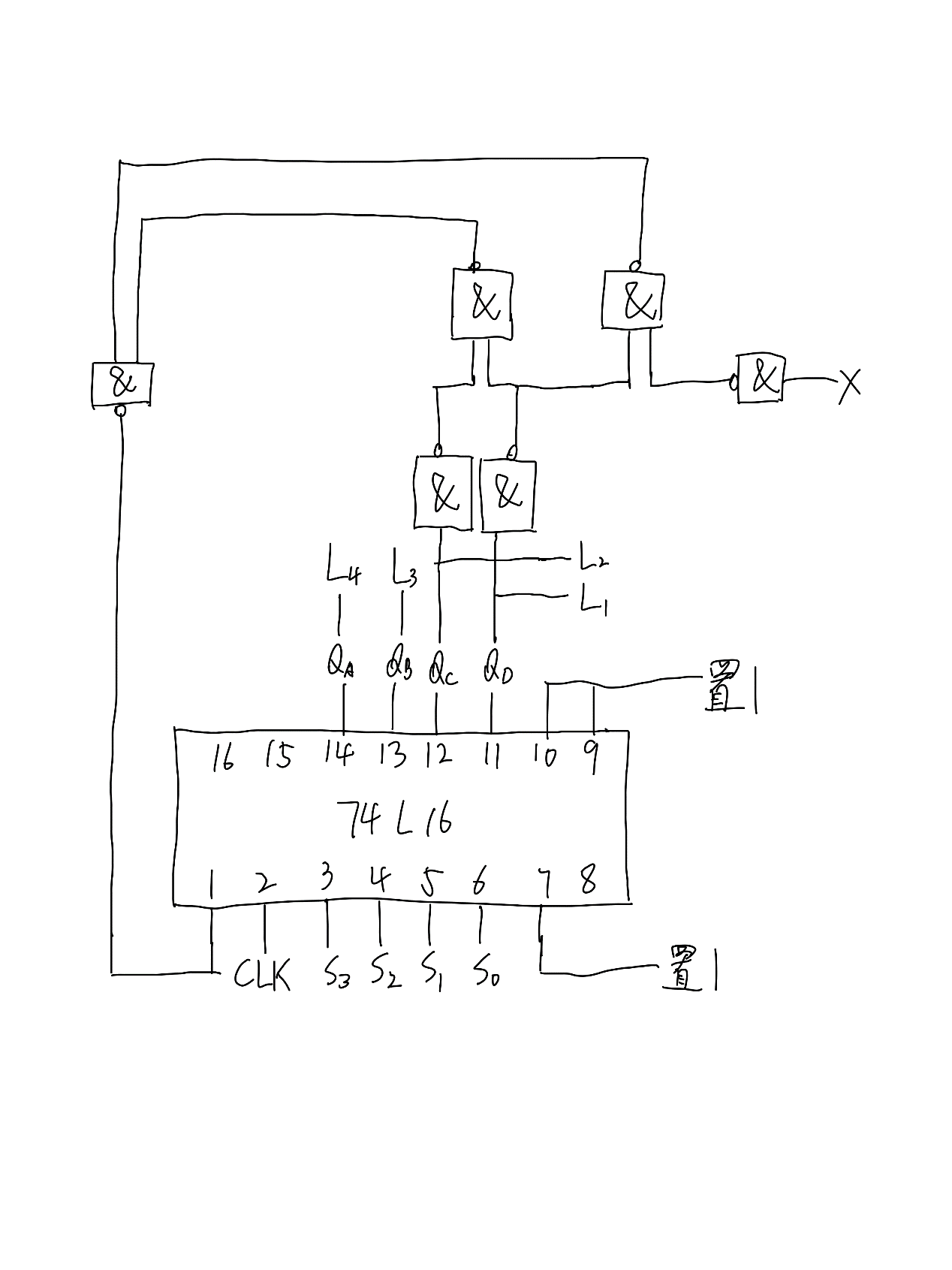
**电路图：**



1. **实验二**





电路图：

当X=1时，为四模计数器

置“0”：X=1 =0 =1

按下CLK：L1、L2、L3=0 L4=1

按下CLK：L1、L2、L4=0 L3=1

按下CLK：L1、L2=0 L3、L4=1

按下CLK：L1、L2、L3、L4=0

当X=0时，为八模计数器

置“0”：X=0 =1 =0

L1 L2 L3 L4

0 0 0 0

0 0 0 1

0 0 1 0

0 0 1 1

0 1 0 0

0 1 0 1

0 1 1 0

0 1 1 1

0 0 0 0

初始置“0”：

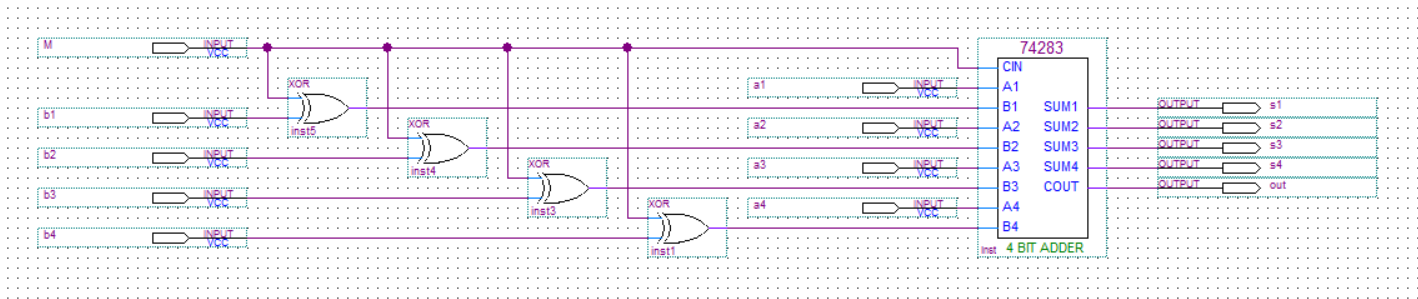
按下P0：

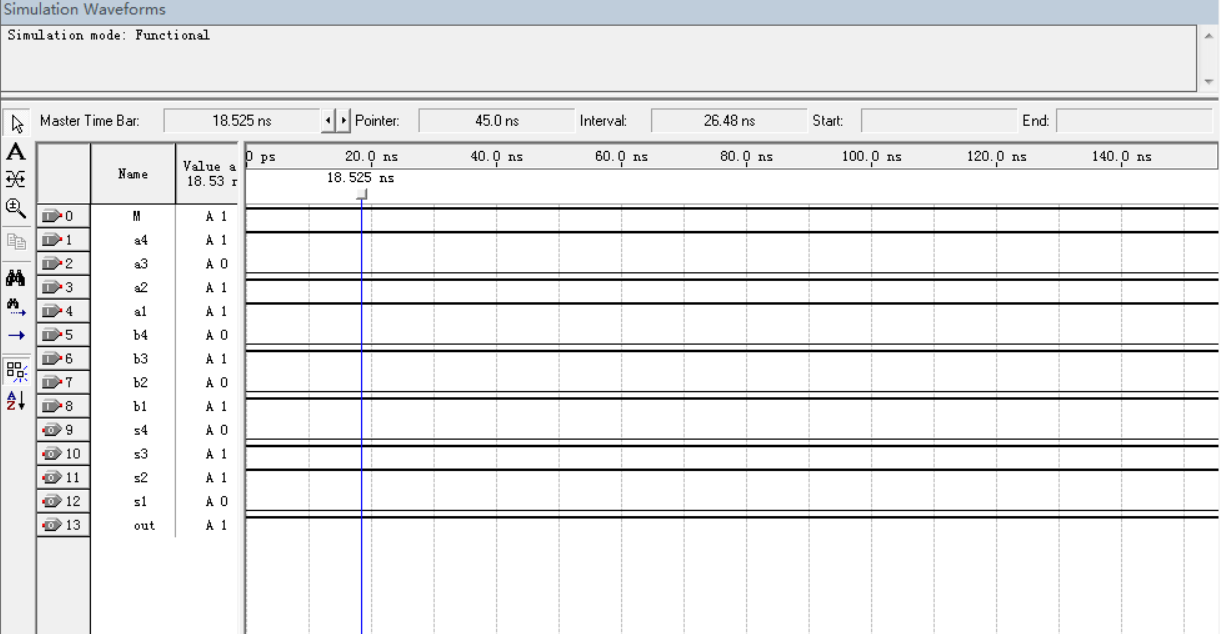
1. **实验三**

设A和B分别为4位二进制数，其中A=a4a3a2a1为被加数（或被减数），B=B4B3b2b1为加数（或减数），S=s4s3s2s1为和数（差数），令M为功能选择变量，当M=0时，执行A+B；当M=1是执行A-B。减法采用补码计算。

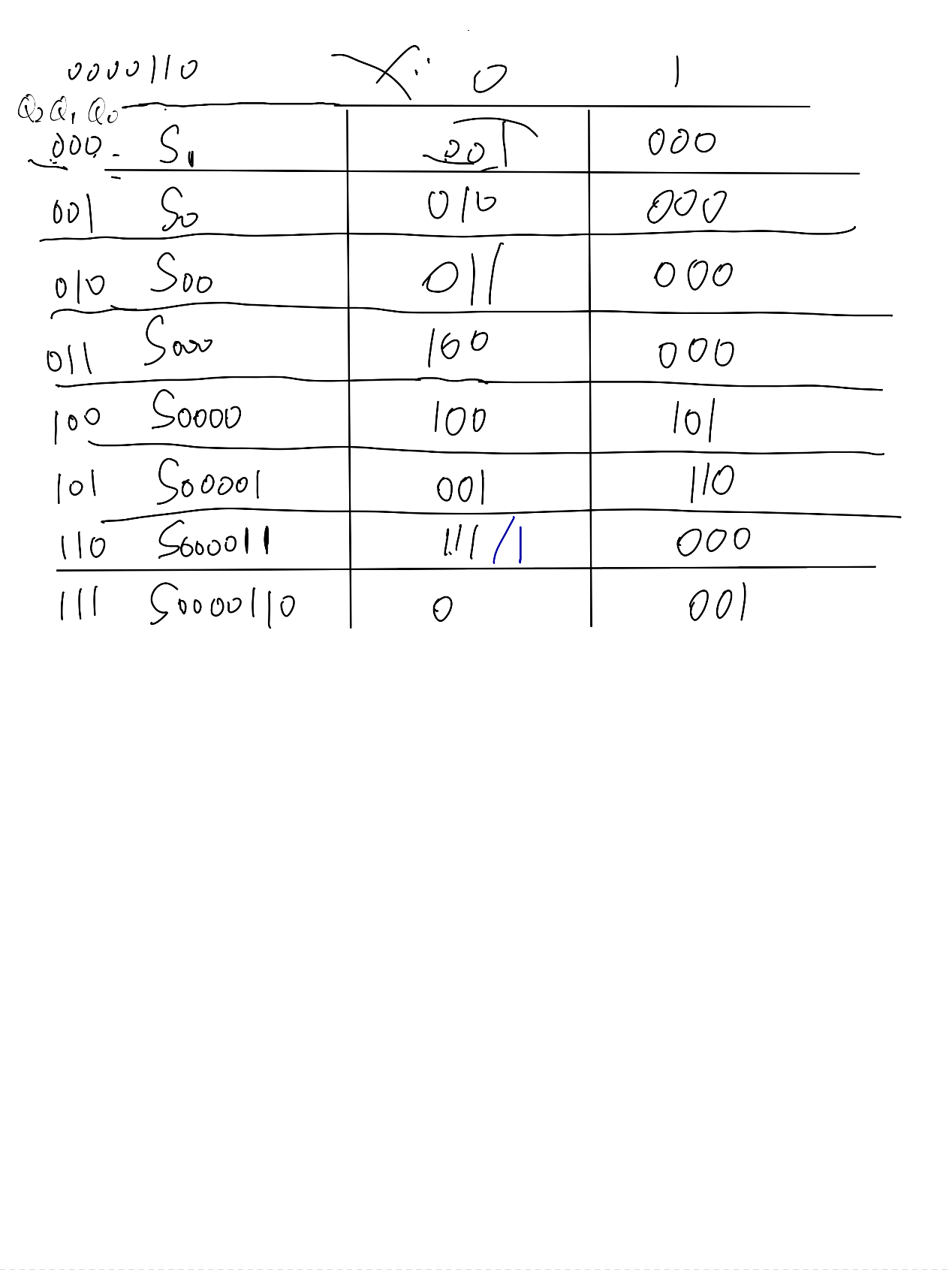
可用一片4位二进制并行加法器和4个异或门实现上述逻辑功能，具体可将4位二进制数A直接加到并行加法器的A4、A3、A2、A1输入端，4位二进制数B加到B4、B3、B2、B1输入端。将功能选择变量M作为异或门的另一个输入且同时加到并行加法器的C0进位输入端。使之当M=0时，C0=0，bi⊕M= bi⊕0= bi，加法器实现A+B;当M=1时，C0=1，bi⊕M= bi⊕1= bi，加法器实现A+B+1即A-B。

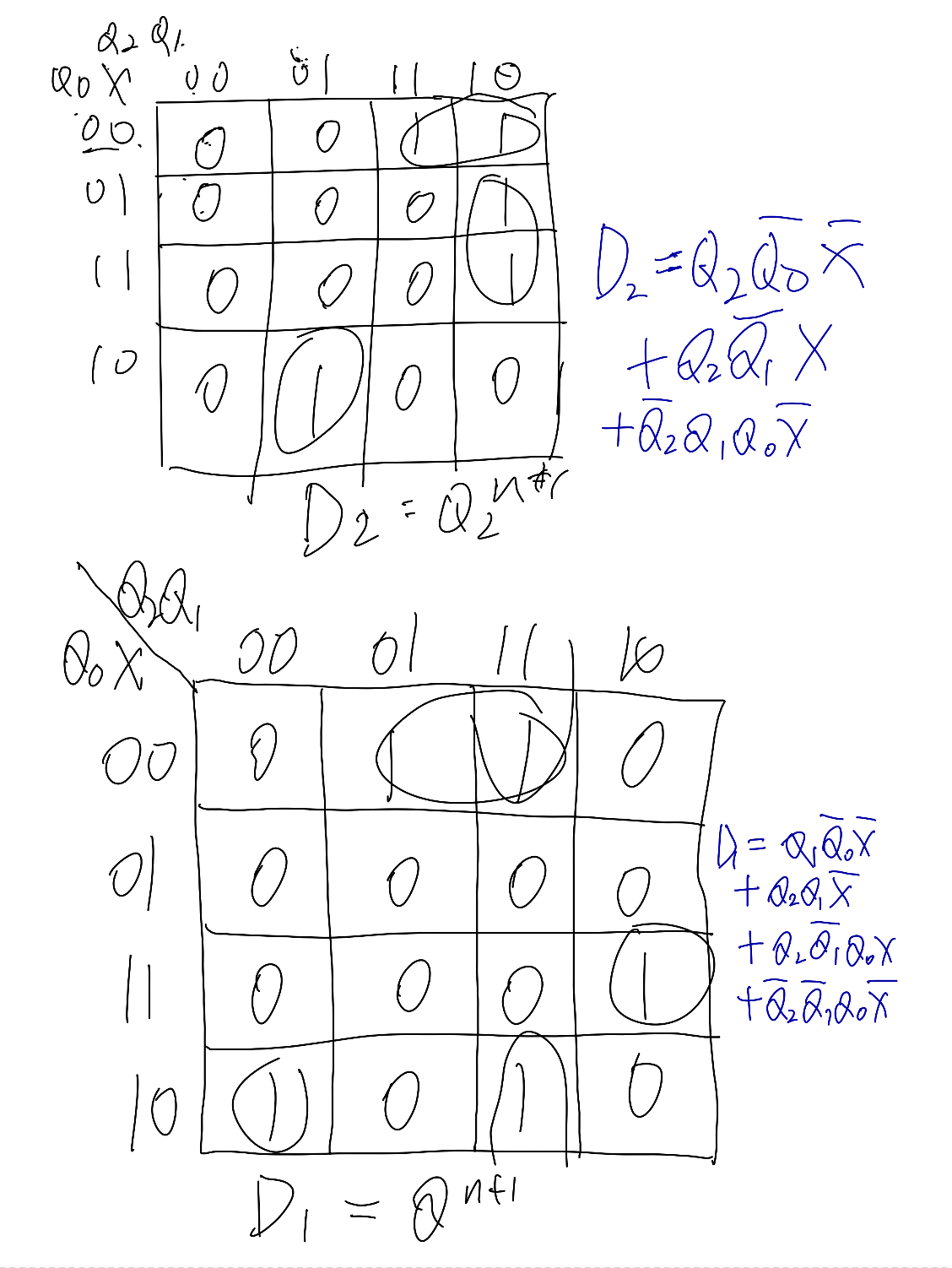
**原理图：**

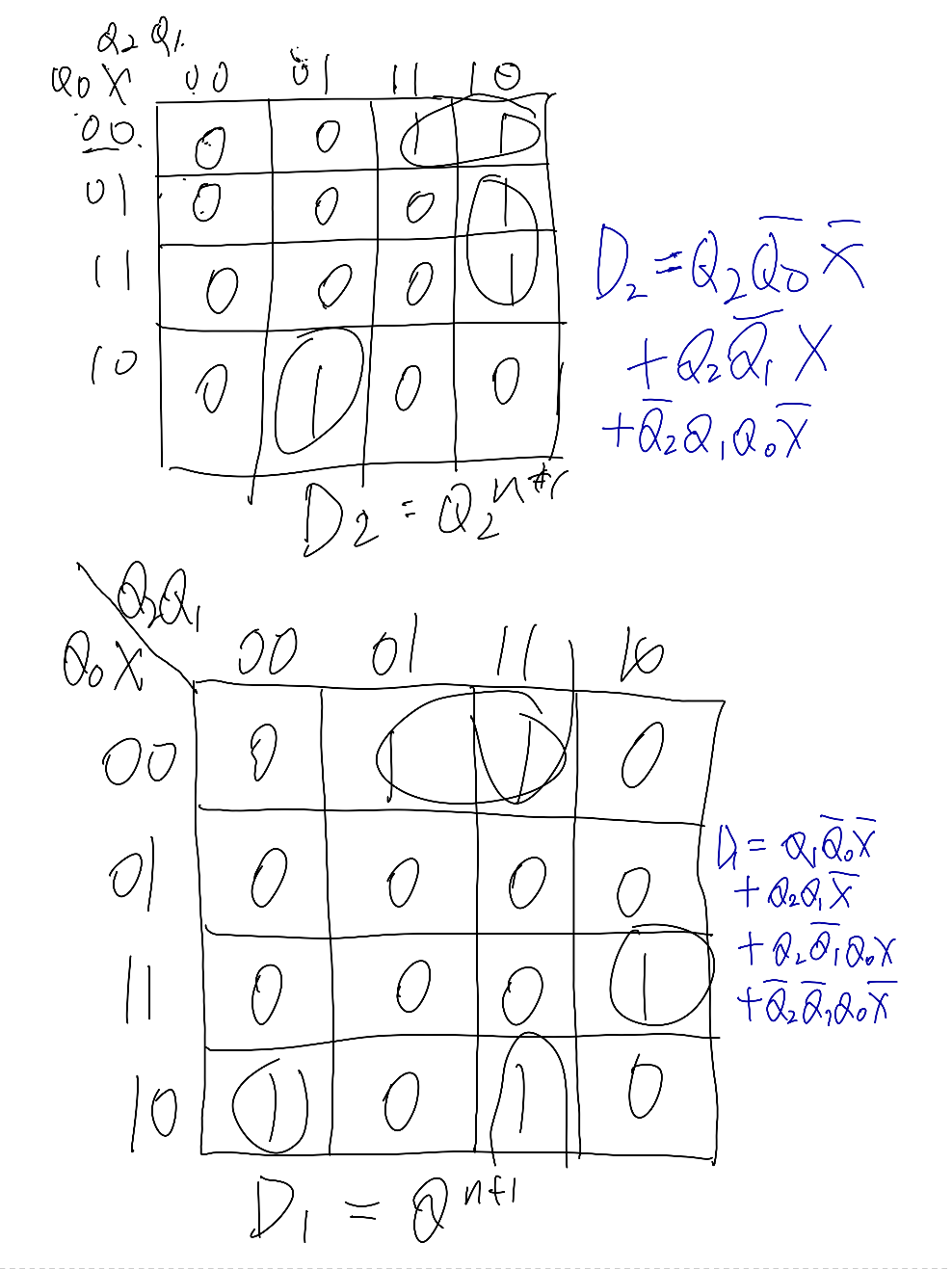
****

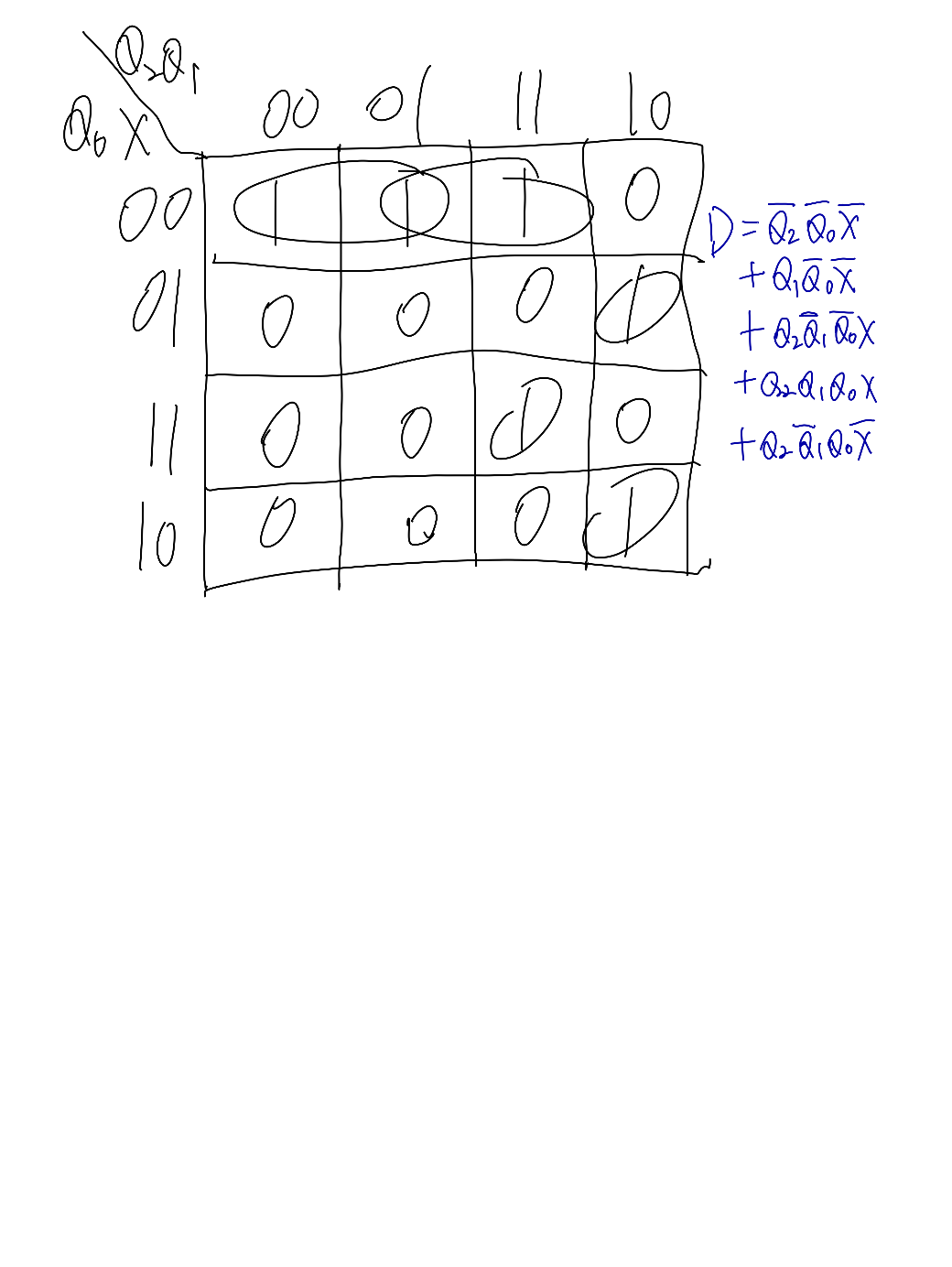


1. **实验四**

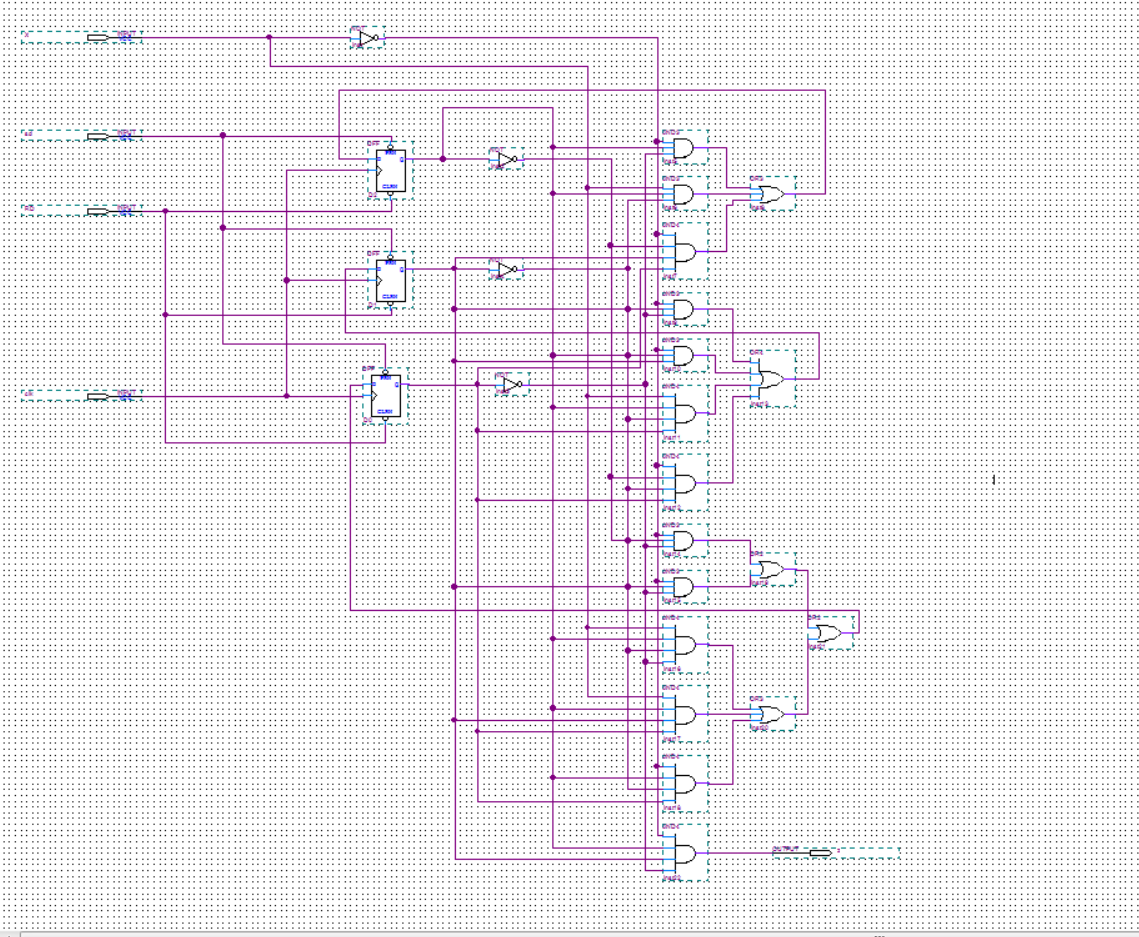
****序列：

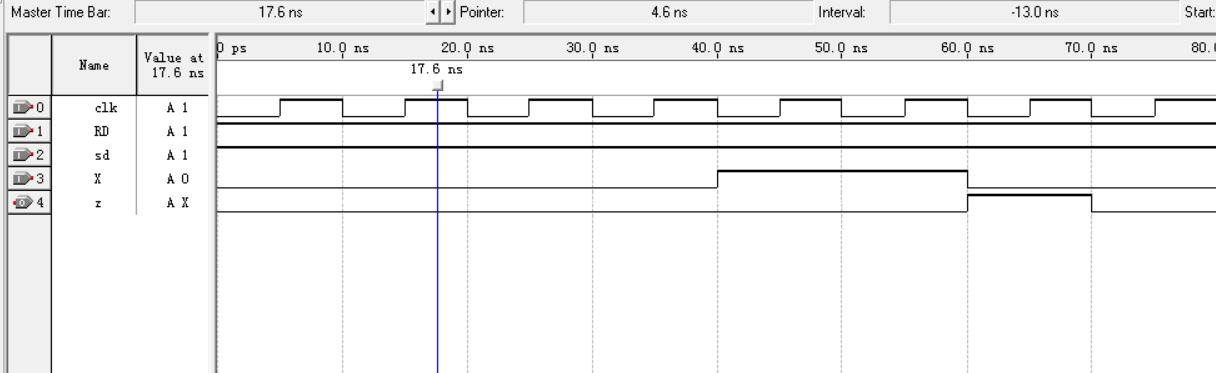
****

****

****

**原理图：**

****

****