

2024 반도체 솔버톤 경진대회 결과보고서 요약본

		내 용			
	대학	서울대학교	대학 연합여부	X	
	팀명	드GAA자	팀원	백채원, 이정석, 조현성, 주다현	
	학년구성	4학년(3명) 5학년(1명)			
	참여학과	물리천문학부 / 기계공학부			
	분야	소자•공정			
	선택문제	소자•공정 6번			
내 용 요 약	추진 방향	<ul style="list-style-type: none"> ◦ FinFET과 GAA NS FET 두 구조의 차이점 이해 ◦ 분절화 모델링을 기반으로 GAA NS FET의 AC 성능 최적화를 위한 소자 Design 구조를 제안 			
	추진 내용	<ul style="list-style-type: none"> ◦ step1. FinFET과 GAA NS FET의 저항 및 Capacitance 비교 분석 <ul style="list-style-type: none"> - FinFET과 GAA NS FET의 TCAD 구조 정의 - 각 소자 구조의 저항 및 Capacitance 성분 분절화 - 저항 및 Capacitance 모델링 - GAA NS FET 저항이 FinFET 대비 32% 감소 - GAA NS FET Capacitance가 FinFET 대비 4% 증가 - GAA NS FET Frequency (1/RC) 28% gain 확인 			
		<ul style="list-style-type: none"> ◦ step2. GAA NS FET 구조에서 AC 성능 극대화 <ul style="list-style-type: none"> - Nanosheet 너비, 간격, 스택 개수, 게이트 길이, Spacer 길이 등 총 5가지 변수 분석으로 소자 Design 최적화 - PMOS cladding SiGe, Schottky-barrier engineering, CombFET 등 공정 최적화 소자 구조 제안 			
	기대 효과	<ul style="list-style-type: none"> ◦ FinFET과 GAA NS FET의 저항과 Capacitance 분절화를 통한 성분별 중요도를 파악 ◦ GAA NS FET의 구조적 변화가 일어났을 때 저항 및 Capacitance 성분의 변화 양상을 예측함으로써 16% Frequency gain 향상 기여 ◦ 3 가지 공정 최적화 소자 구조 제안으로 각각 2%, 5%, 4.9%의 Frequency gain 달성 			

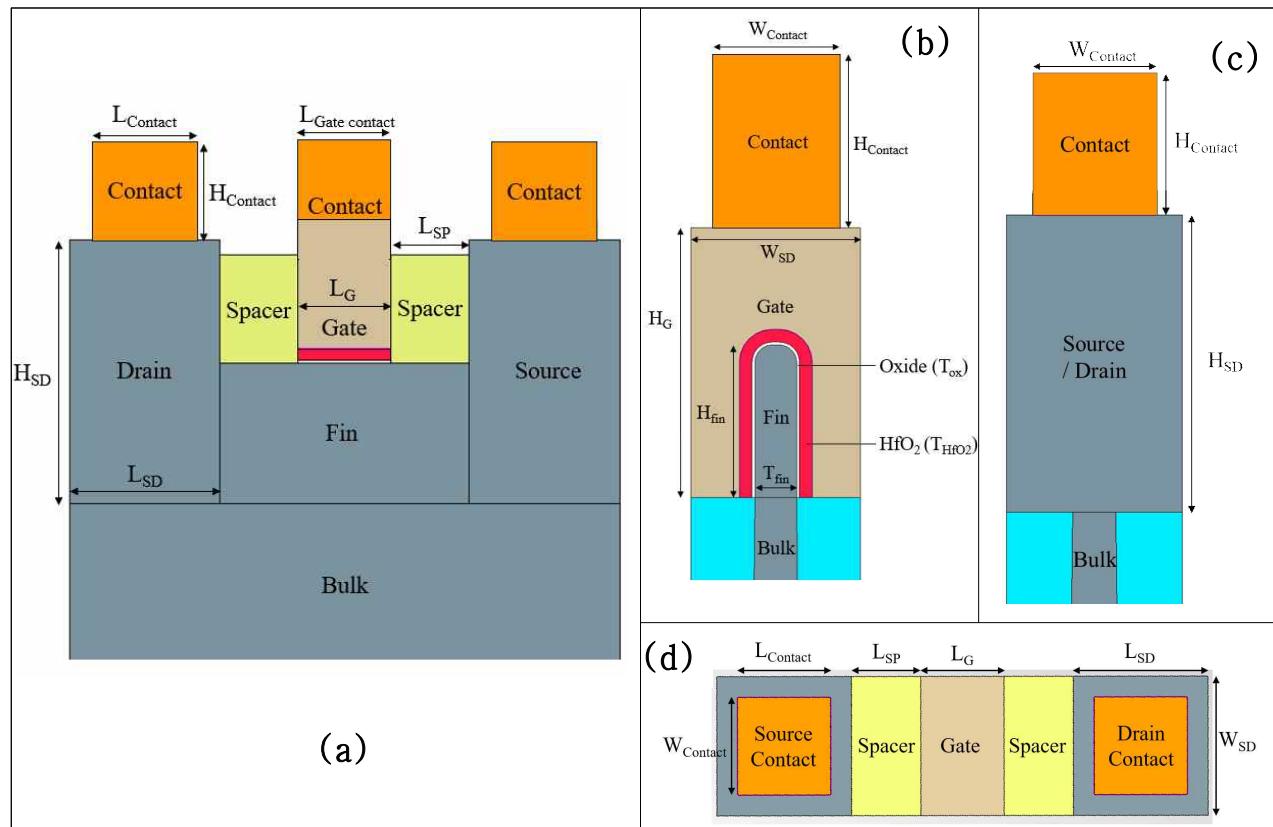
팀 구성 및 활동 내용			
구분	이름	학과	수행 역할
팀장	조현성	물리천문학부	○ Capacitance 분석
팀원1	백채원	기계공학부	○ 저항 분석
팀원2	이정석	기계공학부	○ Capacitance 분석
팀원3	주다현	물리천문학부	○ 저항 분석

Step1. FinFET, GAA NS FET 저항 및 Capacitance 분석 및 비교

1. 트랜지스터 구조 및 파라미터 정의

저항과 Capacitance를 계산하기 위해 FinFET과 Gate-All-Around Nano Sheet (GAA NS) FET의 구조와 파라미터를 정의하였다.

가. FinFET



[그림 1] FinFET 모식도 (a) 정면도 (b) Fin 단면도 (c) 측면도 (d) 평면도

[그림 1]은 본 보고서에서 사용한 NMOS, PMOS FinFET의 모식도이며 그 값은 [표 1]에 정리하였다.

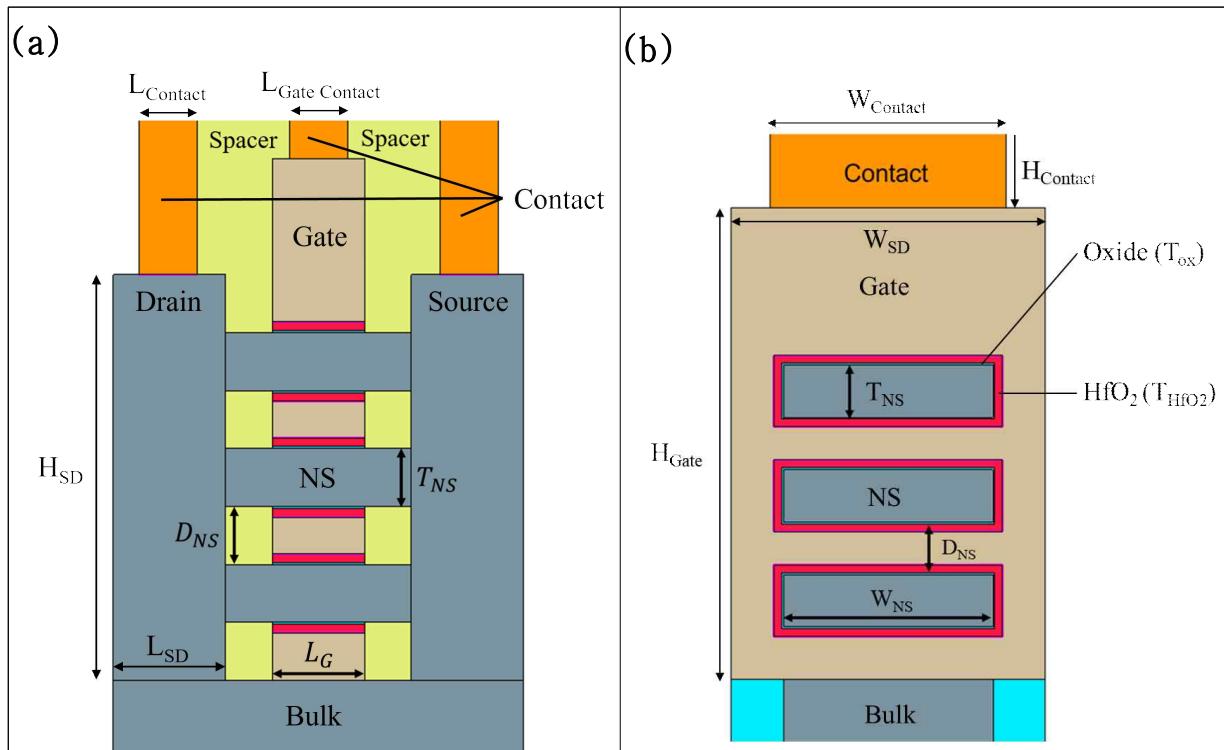
기하학적 파라미터	기호	값	기하학적 파라미터	기호	값
게이트 길이	L_G	16 nm	접촉 폭	$W_{Contact}$	45 nm

소스/드레인 길이	L_{SD}	50 nm
Spacer 길이	L_{SP}	8 nm
접촉 길이	$L_{Contact}$	50 nm
소스/드레인 높이	H_{SD}	70 nm
게이트 높이	H_G	90 nm
접촉 높이	$H_{Contact}$	150 nm

소스/드레인 폭	W_{SD}	45 nm
Fin 높이	H_{fin}	50 nm
Fin 두께	T_{fin}	5 nm
산화물 두께	T_{ox}	0.35 nm
High-K 물질 두께	T_{HfO_2}	1.48 nm

[표 1] FinFET의 기하 정보

나. GAA NS FET



[그림 2] GAA NS FET의 모식도 (a) 정면도 (b) Nanosheet 단면도

[그림 2]는 본 보고서에서 사용한 NMOS, PMOS GAA NS FET의 모식도이며 FinFET과 동일한 값들을 제외한 값을 [표 2]에 정리하였다. W_{SD} 가 FinFET에서 보다 큰 60 nm이다.

다. 도핑 설정 및 인가전압 설명

도핑 물질 및 농도는 FinFET과 GAA NS FET에서 같은 값을 사용하였으며 그

기하학적 파라미터	기호	값	기하학적 파라미터	기호	값
소스/드레인 폭	W_{SD}	60 nm	Nano sheet 간격	D_{NS}	10 nm
Nano sheet 폭	W_{NS}	40 nm	산화물 두께	T_{ox}	0.35 nm
Nano sheet 두께	T_{NS}	10 nm	High-K 물질 두께	T_{HfO_2}	1.48 nm

[표 2] GAA NS FET의 기하 정보

값은 NMOS는 [표 3], PMOS는 [표 4]에 표기하였다.

	채널, 바디	소스, 드레인
도핑 종류	P 도핑	N 도핑
물질	Boron	Phosphorus
도핑 농도 [cm^{-3}]	1e15	1e20

[표 3] NMOS의 도핑 정보

	채널, 바디	소스, 드레인
도핑 종류	N 도핑	P 도핑
물질	Phosphorus	Boron
도핑 농도 [cm^{-3}]	2e18	5e20

[표 4] PMOS의 도핑 정보

인가 전압은 Saturation 영역을 기준으로 NMOS의 경우 소스 전압 0V, 드레인 전압 0.7V, 게이트 전압 0.7V일 때, PMOS의 경우 소스 전압 0V, 드레인 전압 -0.7V, 게이트 전압 -0.7V일 때의 저항 및 capacitance를 계산하였다.

2. 이론적 분석

가. 저항

1) 저항의 분절화

가) 저항의 분절화

전체 저항은 [그림 3]과 같이 채널 저항(R_{ch})(이상 intrinsic 저항), 익스텐션 저항(R_{ext}), 스프레드 저항(R_{sp}), 소스/드레인 저항(R_{sd}), 접촉 저항(R_{con})(이상 parasitic 저항)으로 분류하여 각각의 항목에 대해 계산하였다. 각 저항은 FinFET과 GAA NS FET에서 각각 다른 합산식을 사용하여 전체 저항을 계산하였다.

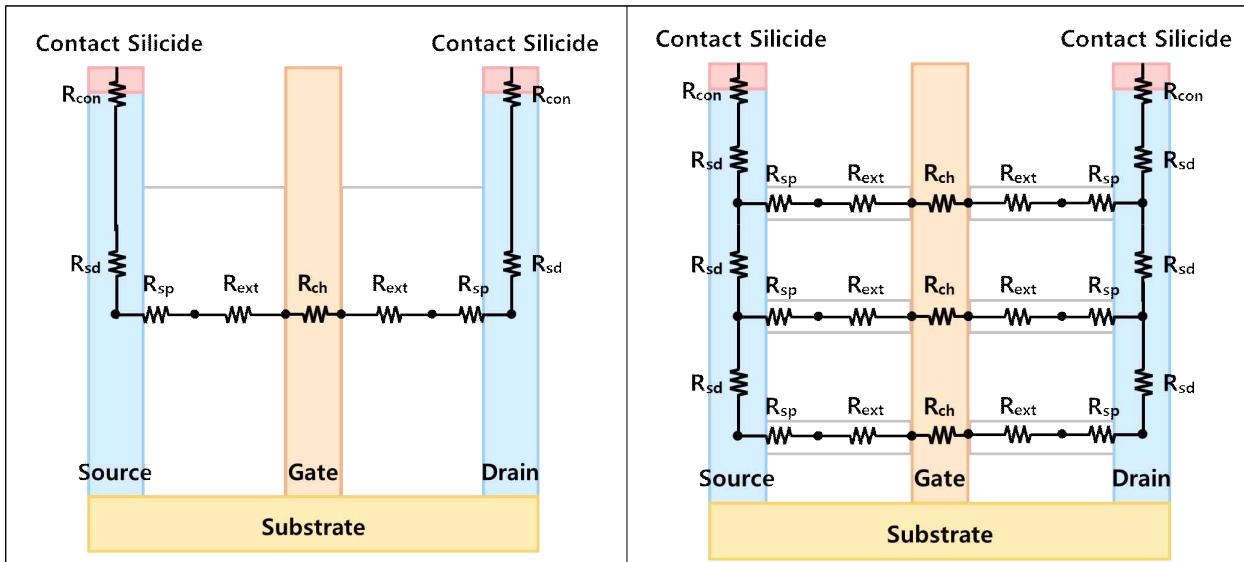
나) FinFET의 저항

FinFET의 저항은 [그림 3]과 동일한 모습이다. FinFET에서 전류가 소스/드레인을 통해 각 펀까지 도달하는 거리가 동일하므로 하나의 소스/드레인 저항을 사용하였다. 각 펀의 저항은 병렬로 연결되어 동작하는 것을 가정하여 계산하였다. 분류된 저항은 (1)–(3) 식을 통해 전체 저항으로 합산되도록 계산하였다 [1].

$$R_{ext,tot} = R_{ext}/3 \quad (1)$$

$$R_{sp,tot} = R_{sp}/3 \quad (2)$$

$$R_{tot} = R_{ch} + 2 \times (R_{ext,tot} + R_{sp,tot} + R_{sd} + R_{con}) \quad (3)$$



[그림 3] (a) FinFET, (b) GAA NS의 저항 회로

다) GAA NS FET 저항

GAA NS FET의 저항은 [그림 3]에 나타내었다. GAA NS FET에서 전류가 각 Nano sheet까지 도달하는 거리가 다르므로 소스/드레인 저항을 각 Nano sheet 별로 나누어 계산하였다. 각 Nano sheet의 저항은 병렬 연결되어 있으며 분류된 저항을 (4)–(9) 식을 통해 전체 저항으로 합산되도록 계산하였다 [2].

$$R_{sheet} = R_{ext,tot} + R_{sp,tot} \quad (4)$$

$$R_{bottom} = R_{sheet} + R_{sd,tot} \quad (5)$$

$$R_{ext,tot} = R_{ext}/3 \quad (6)$$

$$R_{sp,tot} = R_{sp}/3 \quad (7)$$

$$R_{sd,tot} = 3 \times R_{sd} \quad (8)$$

$$R_{tot} = R_{ch} + 2 \times [R_{con} + (R_{sd} + R_{sheet} \parallel (R_{sd} + (R_{sheet} \parallel R_{bottom})))]) \quad (9)$$

2) 각 저항 성분의 분석

가) 채널 저항 (R_{ch})

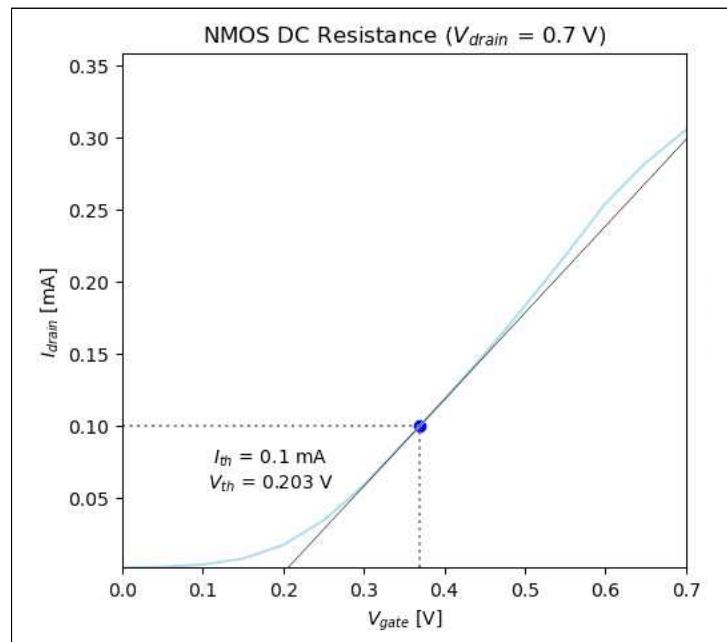
채널 저항은 전도 채널 내부에서 전류가 흐르면서 발생하는 저항으로, 게이트 전압(V_{gs})에 의해 형성된 채널의 물리적 특성에 따라 결정된다. 채널 저항은 (10)식으로 계산하였으며, [표 5]에서 각 성분에 적용한 값을 표기하였다 [3].

$$R_{ch} = \frac{L}{\mu C_{ox} W_{eff} (V_{gs} - V_t)} \quad (10)$$

$L[nm]$	$\mu [cm^2/V \cdot S]$				C_{ox}	$W_{eff}[nm]$	$V_{gs} - V_t[V]$
16	FinFET		GAA NS FET		0.05636	300	0.5
	NMOS	PMOS	NMOS	PMOS			
	75	52	85	39			

[표 5] 채널 저항 성분

mobility의 경우 채널에 스트레스가 가해지지 않았다고 가정하여 [3]의 Relaxed 수치를 사용하였다. 게이트 전압($V_{gs} = 0.7 V$)은 위에서 설정한 값을 사용하였고 문턱 전압($V_t = 0.2 V$)은 [그림 4]와 같이 TCAD 시뮬레이션을 통해 GAA NS FET의 $I_d - V_g$ 그래프를 그렸고 G_m max 방법을 사용해 추출하였다. 유효 채널 폭은 [표 6]과 같이 계산하였다.



[그림 4] GAA NS NFET의 $I_d - V_g$ 그래프

		유효 채널 폭 W_{eff}
FinFET	수식	$N_{fin}(2H_{fin} + W_{fin})$
	계산 결과	315 nm
GAA NS FET	수식	$N_{ns}(2T_{ns} + 2W_{ns})$
	계산 결과	300 nm

[표 6] 유효 채널 폭의 계산

[Ω]	NMOS	PMOS
FinFET	240	347
GAA NS FET	212	462

[표 7] FinFET과 GAA NS FET의 채널 저항 계산 결과

계산 결과 [표 7]과 같이 NMOS에서는 GAA NS FET의 채널 저항이 12% 작고, PMOS에서는 FinFET의 채널 저항이 GAA NS FET보다 43% 작은 값을 보였다. FinFET과 GAA NS FET의 NMOS, PMOS 저항의 경향이 다른 이유는 실리콘 채널 orientation에 따른 mobility 변화 때문이다. FinFET의 경우 유효 채널 너비에서 높은 비율을 차지하는 면이 (110) orientation이며, 이와 반대로 GAA NS FET에서는 (100) orientation의 비율이 높다. (110) orientation은 hole mobility가 상대적으로 높은 반면 (100) orientation에서는 electron mobility가 상대적으로 높기 때문에 GAA NS FET에서 NMOS 채널 저항이 더 줄어들고 PMOS 채널 저항이 증가하였다.

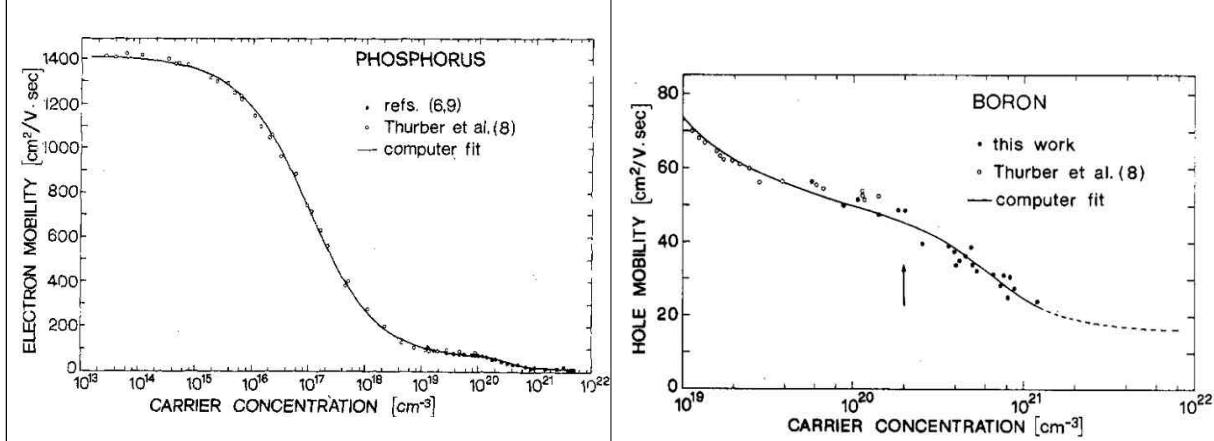
나) 소스/드레인 저항 (R_{sd})

소스/드레인 저항은 도핑된 실리콘 영역에서 발생하며, (11)–(12) 식으로 계산된다.

FinFET	$R_{sd} = \frac{\rho_{sd} T_{middle}}{W_{sd} L_{sd}}$ (11), $R_{sd,tot} = R_{sd}$ (12)
GAA NS	$R_{sd} = \frac{\rho_{sd} T_{sus}}{W_{sd} L_{sd}}$ (13), $R_{sd,tot} = 3 \times R_{sd}$ (14)

[표 8] 소스/드레인 저항의 계산식

위 식에서 ρ_{sd} 는 doping된 실리콘의 비저항이며 T_{middle} 은 소스/드레인 윗면부터 Fin 중앙 까지의 거리이다. $\rho_{sd} = q\mu n$ 으로 q 는 캐리어의 전하량, μ 는 캐리어 mobility, n 은 doping 농도이다. Mobility의 경우 [그림 5]에서 추출한 값을 사용하였다 [4].



[그림 5] 소스/드레인 영역 모빌리티 그래프

$[\Omega]$	NMOS	PMOS
FinFET	179	368
GAA NS FET	60	122

[표 9] FinFET과 GAA NS FET의 소스/드레인 저항 계산 결과

계산 결과 GAA NS FET의 소스/드레인 저항 값이 FinFET의 소스/드레인 저항 값보다 NMOS/PMOS 모두에서 66% 작은 값을 보였다. 이는 기하 구조상 GAA NS FET의 너비(W_{sd})가 FinFET 대비 크기 때문이다.

다) 접촉 저항 (R_{con})

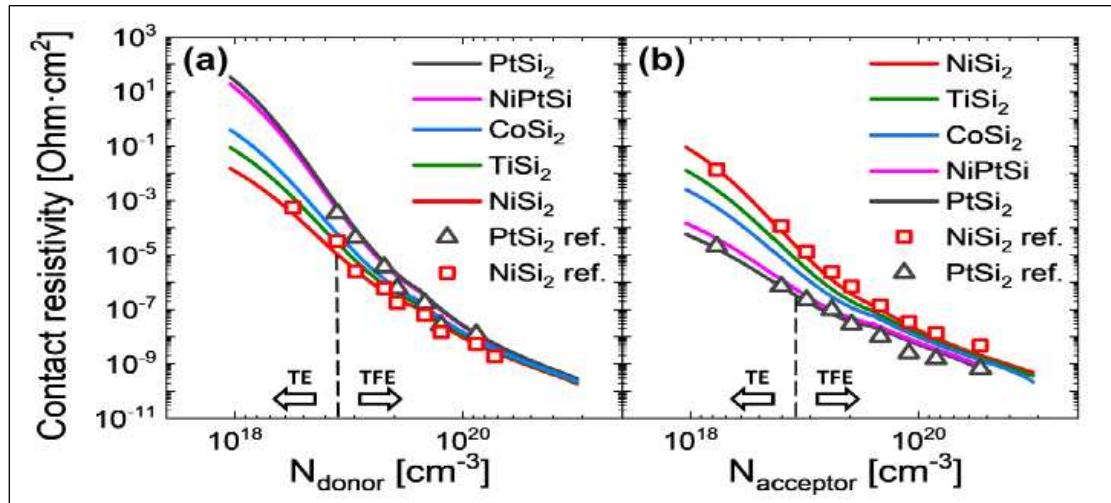
접촉 저항은 금속 접촉부와 소스 또는 드레인 영역 사이에서 발생하는 저항으로 (15) 식과 같이 계산하였다.

$$R_{con} = \frac{\rho_c}{A_{contact}} \quad (15)$$

ρ_c	$A_{contact}$
접촉 비저항	접촉 면적

[표 10] 접촉 저항 계산에 필요한 기호 설명

본문에서 접촉 면적은 소스/드레인의 면적과 일치한다.



[그림 6] Silicide/Si 인터페이스의 doping 농도에 따른 (a) NMOS
(b) PMOS의 접촉 비저항

소스/드레인의 접촉 비저항은 [그림 6] 그래프에서 NiSi₂의 소스/드레인에서 도핑 농도에 해당하는 값($10^{-12}\Omega \cdot \text{m}^2$)을 추출하였으며 해당 값은 NMOS/PMOS에서 동일함을 알 수 있었다 [5].

		접촉면적 A_{contact}
FinFET	수식	$L_{sd} W_{sd}$
	계산 결과	750 nm ²
GAA NS FET	수식	$L_{sd} W_{sd}$
	계산 결과	1200 nm ²

[표 11] 접촉 면적의 계산

[Ω]	NMOS	PMOS
FinFET	444	444
GAA NS FET	333	333

[표 12] FinFET과 GAA NS FET의 접촉저항 계산 결과

GAA NS FET의 접촉 면적이 더 크기 때문에 FinFET 대비 25% 작은 저항값을 갖게 되었다. NMOS/PMOS를 비교했을 때 접촉 비저항이 동일하기 때문에 같은 저항값을 갖는 것을 확인하였다.

라) Spread 저항 (R_{sp})

스프레드 저항은 금속 접촉부에서 소스/드레인 영역으로 전류가 면적이 다른 곳으로 확산되면서 발생하는 전기적 저항이며, (16), (17) 식에 의해 계산하였다.

FinFET	$R_{sp} = \frac{2\rho_{ext}}{\pi H_{fin}} \ln(0.75 \frac{W_{fin}}{2x_c})$ (16)
GAA NS FET	$R_{sp} = \frac{\rho_{SD}}{\pi W_{NS}} \ln(0.75 \frac{W_{SD}}{T_{NS}})$ (17)

[표 13] Spread 저항의 계산식 및 기호 설명

ρ_{ext} 는 doping된 extention 영역의 비저항이며 x_c 는 축적층의 두께를 나타낸다. 축적층의 두께는 1.5nm를 사용하였다 [1]. FinFET에서의 지배적인 spread 저항은 extention으로 들어가는 부분에서 생기므로 extention 비저항을 사용하였으며 이로 인해 NMOS/PMOS 간의 차이가 없다. 반면 GAA NS FET의 경우 TML 이론에 따라 아래층의 nanosheet을 통과하는 전류의 경우 소스/드레인 영역을 주로 지나며 퍼지므로 소스/드레인 비저항을 사용하였고 NMOS/PMOS에서 다른 비저항을 갖는다 [2].

[Ω]	NMOS	PMOS
FinFET	119	119
GAA NS FET	107	220

[표 14] FinFET과 GAA NS FET의 spread 저항 계산 결과

계산 결과 [표 14]와 같이 spread 저항은 NMOS에서는 GAA NS FET이 FinFET 대비 10% 작은 반면 PMOS에서는 GAA NS FET이 FinFET 대비 85% 큰 값을 보였다. 이는 비저항 차이에 기인한다.

마) 익스텐션 저항 (R_{ext})

익스텐션 저항은 소스와 드레인 익스텐션 영역에서 발생하는 저항으로, 전류가 채널로 전달되기 전 확장된 영역의 도핑 농도와 길이에 따라 결정되며, (18), (19) 식에 의해 계산하였다.

$$R_{ext} = \frac{\rho_{ext} \times L_{sp}}{A_{sheet}} \quad (18), \quad R_{ext,tot} = R_{ext}/3 \quad (19)$$

A_{sheet} 은 채널 단면적의 넓이로 FinFET에서는 $A_{sheet} = T_{fin} \times H_{fin}$ 을 사용했고, GAA NS FET에서는 $A_{sheet} = T_{NS} \times W_{NS}$ 을 사용하였다. 도핑 농도가 가우시안

분포로 채널로 가면서 줄어드는 상황을 가정하였다. 그러므로 extention 부분의 비저항은 소스/드레인에서의 값과 채널에서의 값 사이의 값을 사용하였다 [6]. (19) 식의 경우 extention 저항은 병렬로 연결되어 있기 때문에 fin과 nanosheet 개수로 나눴다.

[Ω]	NMOS	PMOS
FinFET	448	448
GAA NS FET	280	280

[표 15] Extention 저항 계산 결과

$R_{ext,tot} = R_{ext}/3$ 을 사용한 이유는 회로를 보면 병렬로 연결돼 있어 실질적 익스텐션의 효과는 3을 나눠줘서 보는 것이 합리적이기 때문이다.

계산 결과 NMOS/PMOS는 같은 저항값을 가지며 GAA NS FET이 FinFET 대비 37% 작은 값을 보였다. 이는 nanosheet의 단면적이 fin의 단면적보다 크기 때문이다.

바) 존재하지만 다루지 않은 그 외 저항들

백엔드 공정에서 만들어지는 비아 저항(R_{via})과 메탈 저항(R_{metal}), 그리고 누적층 저항(R_{acc}), 실리사이드 저항($R_{silicide}$)은 두 소자에서 동일한 재료와 구조를 사용할 경우 차이가 없기 때문에 본 보고서에서는 이러한 저항 요소들을 일정한 값으로 간주하여 상세 분석에서 제외한다.

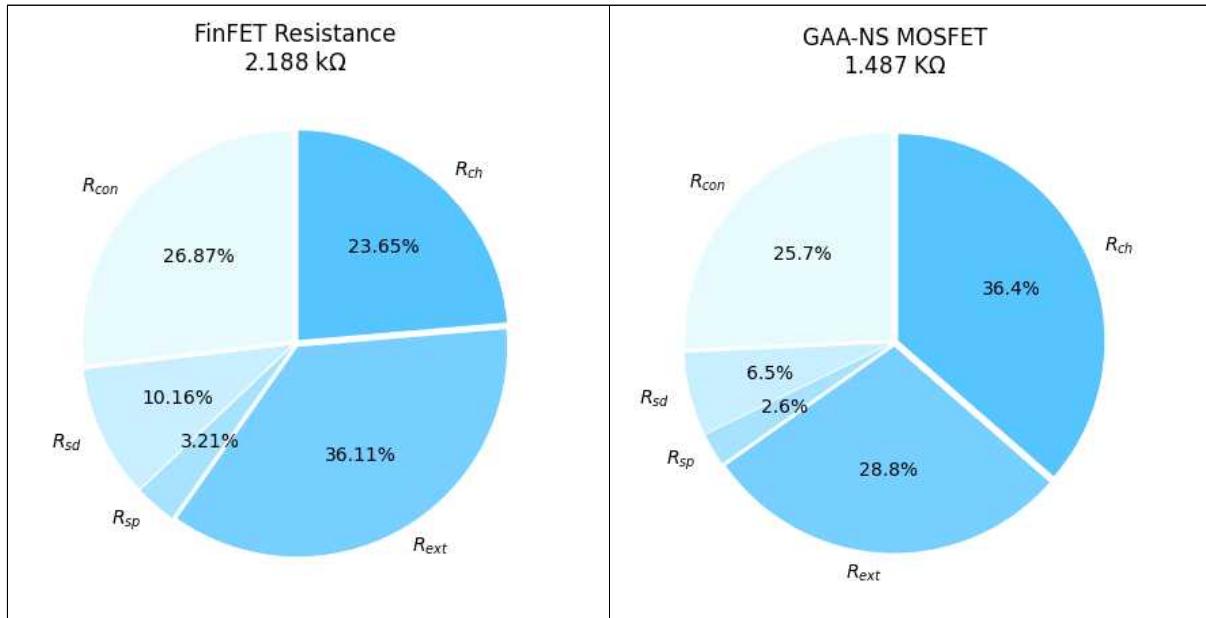
3) 전체 저항

[Ω]	NMOS	PMOS
FinFET	2462	1914
GAA NS FET	1553	1421

[표 16] FinFET 및 GAA NS FET의 총 저항
계산 결과

전체 저항 계산 결과 [표 16]과 같이 GAA NS FET의 저항이 NMOS, PMOS 모두에서 작게 나오는 것을 확인하였다. NMOS의 경우 GAA NS FET이 FinFET 대비 37% 작으며, PMOS의 경우 GAA NS FET이 FinFET 대비 26%

작게 계산되었다. PMOS에서 GAA NS FET의 저항 감소율이 적은 원인은 앞서 언급한 mobility에 기인한다. GAA NS FET PMOS의 mobility가 상대적으로 크기 때문에 PMOS의 채널 저항이 FinFET 대비 크고 이것이 전체 저항 감소율을 축소 시켰다. 채널 저항을 제외하면 모든 저항이 GAA NS FET에서 우수한 특성을 보였다.



[그림 7] 전체 저항 내 각 저항 성분의 비율 (NMOS/PMOS 평균값)

전체 저항 내 각 저항 성분의 비율은 FinFET과 GAA NS FET에서 유사한 값을 나타내며 채널과 관련된 채널 저항과 extention 저항이 합산하여 60% 이상으로 가장 큰 비율을 차지하였다. 때문에 GAA NS FET의 채널 구조를 변경하여 성능을 향상 시킬 수 있을 것이다.

나. Capacitance

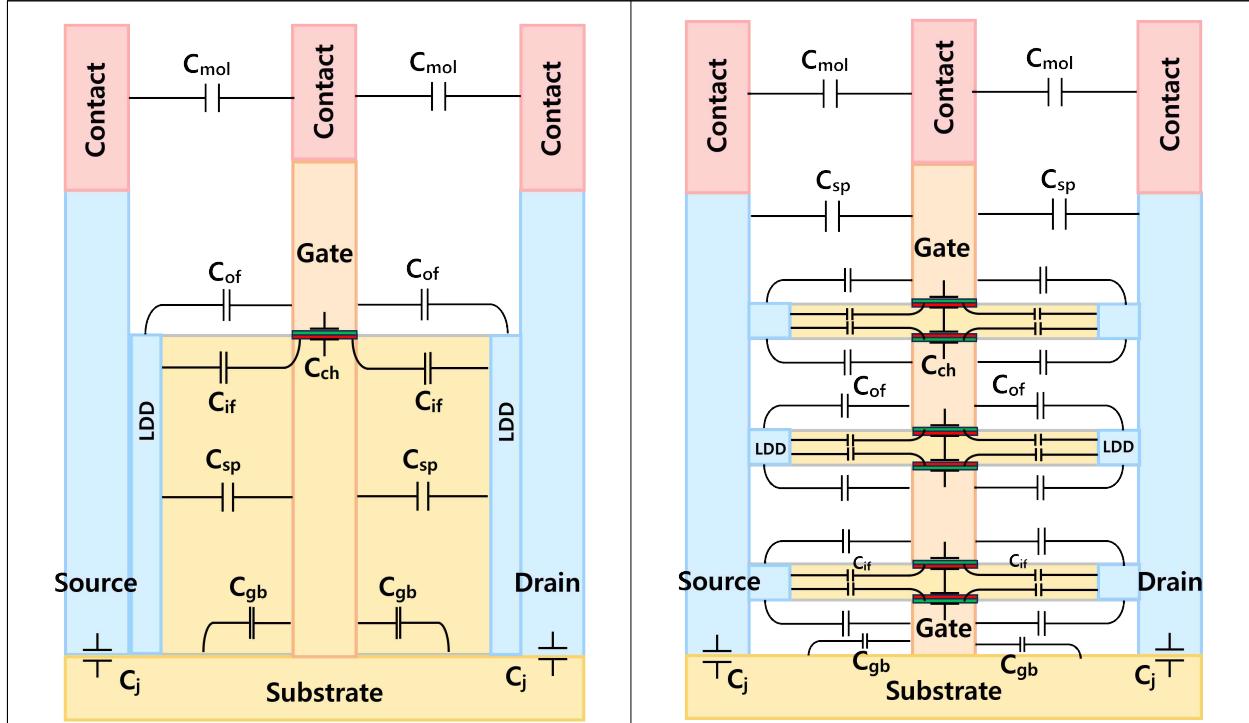
1) Capacitance의 분절화

소스/드레인의 기하구조가 대칭이라 가정할 때, 전체 Capacitance는 식(20)과 같이 표현할 수 있다.

$$C_{tot} = C_{ch} + 2(C_{sp} + C_F + C_{mol} + C_{gb}) + C_j \quad (20)$$

팔호 안의 항들은 소스 면에서 계산한 값으로, 대칭성에 의해 전체 capacitance를 구할 때는 두 배를 하여 반영한다. 전체 capacitance는 게이트-채널 capacitance(C_{ch}) (이상 intrinsic capacitance), 게이트-소스 접촉 capacitance (C_{mol}), Spacer capacitance(C_{sp}), Fringing capacitance(C_F), 게이트-바디

capacitance(C_{gb}), Junction capacitance(C_j) (상간 캐패시턴스)로 분류하여 각각의 항목에 대해 계산하였다.



[그림 8] (a) FinFET, (b) GAA NS의 Capacitance 회로

2) 각 Capacitance 성분의 분석

C_j 를 제외한 capacitance들은 NMOS, PMOS에 상관없이 동일하다.

가) 채널 Capacitance (C_{ch})

채널 Capacitance는 채널과 게이트 사이의 산화물과 High-K 물질의 직렬 연결에 의하여 식(21), 식(22)와 같이 계산된다.

$$C_{ch} = (C_{ox}^{-1} + C_{HfO_2}^{-1})^{-1} \quad (21)$$

$$C_{ox} = \frac{\epsilon_{ox} A_{eff}}{T_{ox}}, \quad C_{HfO_2} = \frac{\epsilon_{HfO_2} A_{eff}}{T_{HfO_2}} \quad (22)$$

산화물의 유전율($\epsilon_{ox} = 3.9\epsilon_0$), High-K 물질의 유전율($\epsilon_{HfO_2} = 22\epsilon_0$)의 경우 FinFET과 GAA NS FET에 대하여 동일하다. 또한 등가채널면적(A_{eff})의 경우 FinFET 및 GAA NS FET에 대하여 각각 $N_{fin}(2H_{fin} + T_{fin})L_g$, $N_{NS}(2T_{NS} + 2W_{NS})L_g$ 로 계산 가능하다.

[fF]	C_{ox}	C_{HfO_2}	C_{ch}
FinFET	4.97×10^{-1}	6.63×10^{-1}	2.84×10^{-1}
GAA NS FET	4.73×10^{-1}	6.31×10^{-1}	2.71×10^{-1}

[표 17] 채널 Capacitance의 계산 결과

[표 17]에서 C_{ch} 은 GAA NS FET이 약 4.76 % 작음을 확인할 수 있다 [7]. 이는 GAA NS FET의 유효 면적이 FinFET에 비하여 작기 때문이다.

나) Spacer Capacitance (C_{sp})

Spacer capacitance는 게이트와 소스 간 capacitance로, 다음과 같이 계산할 수 있다.[8] 게이트 및 소스 사이의 spacer가 유전체로 작용한다.

$$C_{sp} = \frac{\epsilon_{sp}(A_{gate} - N_s W_{ch} H_{ch} - A_{gb})}{L_{sp}} \quad (23)$$

이때, Spacer의 유전율 $\epsilon_{sp} = 7.5\epsilon_0$, Fin 및 Nanosheet의 개수 $N_s = 3$ 이며 A_{gate} 는 게이트의 단면적이다. 여기서 $N_s W_{ch} H_{ch}$ 는 채널의 단면적, A_{gb} 는 게이트-바디 Capacitance (C_{gb})에 반영되는 면적이므로 제외한다.

[fF]	C_{sp}
FinFET	1.94×10^{-2}
GAA NS FET	2.39×10^{-2}

[표 18] Spacer Capacitance의 계산 결과

C_{sp} 은 GAA NS FET의 경우가 약 23% 크다. 소스/드레인 폭(W_{SD})이 GAA NS FET에서가 더 커서 GAA NS FET의 게이트 단면적(A_{gate})이 FinFET에 비하여 큰 것이 주요 요인으로 작용했다.

다) Fringing Capacitance (C_F)

Fringing capacitance는 게이트와 소스 익스텐션 사이의 수직 capacitance로, 채널 바깥쪽의 outer fringing capacitance(C_{of})와 안쪽의 inner fringing capacitance(C_{if})로 구성된다. Fringing capacitance는 모두 직각 capacitance로, Conformal mapping과 Schwarz–Christoffel 공식으로 계산 가능하다 [9].

N개의 Fin/Nanosheet가 있다고 할 때 i번째 Fin/Nanosheet에서 발생하는 outer fringing capacitance를 $C_{of,i}$, inner fringing capacitance를 $C_{if,i}$ 라 정의하였다.

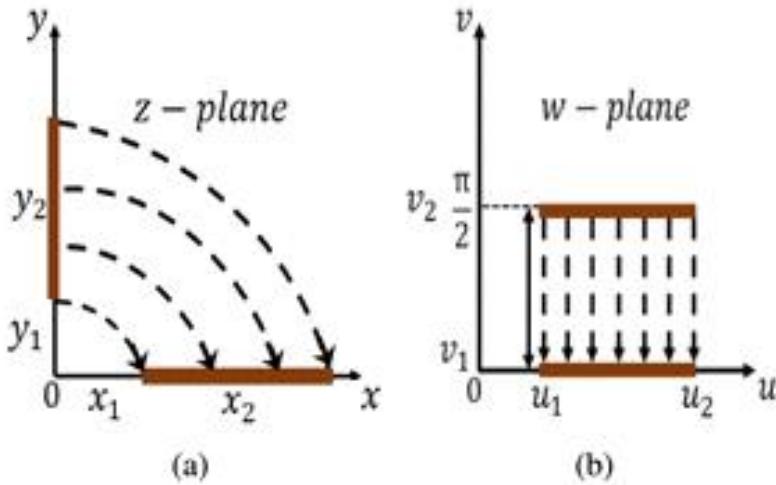


FIGURE 3. (a) Perpendicular plate capacitor in z-plane, and (b) transformed parallel capacitor using conformal mapping in w-plane.

[그림 9] 직각 capacitance의 평행 capacitance로의 conformal mapping

이때, [그림 8]의 x_1, x_2, y_1, y_2 및 유효너비 W_{eff} , 유전율 ϵ 을 MOSFET의 기하 구조[표 19]로 다음과 같이 표현 가능하다.

	x_1	x_2	y_1	y_2	W_{eff}	ϵ
$C_{of,i}$	L_{un}	$L_{sp} - L_{un}$	T_{oxk}	$\min\left(\frac{x_2}{4}, \frac{1}{2}\right)$	W_{outer}	ϵ_{sp}
$C_{if,topbottom,i}$	L_{un}	$\frac{L_{ch}}{2}$	0	$\frac{H_{ch}}{2}$	$W_{in,topbottom}$	ϵ_{ch}
$C_{if,side,i}$	L_{un}	$\frac{L_{ch}}{2}$	0	$\frac{W_{ch}}{2}$	$W_{in,side}$	ϵ_{ch}

[표 19] Fringing capacitance의 각 성분 계산을 위한 식

L_{un}	T_{oxk}	L_{ch}	H_{ch}	W_{ch}
채널 바깥쪽으로 채널과 도핑 농도가 같은 부분의 길이	산화물과 High-K 물질의 총 두께	채널 길이	채널 높이	채널 폭

[표 20] [표 19]의 식 내 기호 설명

[표 19]의 값을 이용하여 매개변수 p, q, r, s, k, k' 의 값을 구한 후, 식(24),

식(25)를 사용하여 $C_{of,i}$, $C_{if,topbottom,i}$, $C_{if,side,i}$ 를 각각 계산할 수 있다.

p	q	r	s	k	k'
$-(y_1 + y_2)^2$	$-y_1^2$	x_1^2	$(x_1 + x_2)^2$	$\sqrt{\left(\frac{q-p}{r-p}\right)\left(\frac{s-r}{s-q}\right)}$	$\sqrt{1-k^2}$

[표 21] Fringing capacitance 매개변수표

$$C = \epsilon \frac{W_{eff}}{\pi} \ln \left(2 \frac{1 + \sqrt{k}}{1 - \sqrt{k}} \right), \text{ for } \frac{1}{\sqrt{2}} < k < 1 \quad (24)$$

$$C = \epsilon \frac{\pi W_{eff}}{\ln \left(2 \frac{1 + \sqrt{k'}}{1 - \sqrt{k'}} \right)}, \text{ for } 0 < k < \frac{1}{\sqrt{2}} \quad (25)$$

[fF]	C_{of}	C_{if}	$C_f = C_{of} + C_{if}$
FinFET	1.02×10^{-2}	2.38×10^{-2}	3.40×10^{-2}
GAA NS FET	1.00×10^{-2}	3.11×10^{-2}	4.12×10^{-2}

[표 22] Fringing capacitance의 계산 결과

[표 22]은 식(24–25)를 사용하여 계산한 결과로, GAA NS FET이 약 21.1% 더 큰 C_F 를 가진다. 이는 FinFET의 경우 채널의 아랫면이 존재하지 않고 윗면의 폭 (T_{fin})이 GAA NS FET에 비하여 더 작아 C_{if} 의 차이가 크기 때문이다.

라) 게이트–소스 접촉 Capacitance (C_{mol})

C_{mol} 은 게이트와 소스 사이의 capacitance로, 게이트의 상단과 소스 접촉 사이 capacitance ($C_{mol,1}$)과 게이트 접촉과 소스 접촉 사이의 capacitance ($C_{mol,2}$)의 두 개의 평행판 capacitance의 합으로 구할 수 있다 [9][10]. 이때, L_{gc} 는 접촉의 두께이다.

$$C_{mol} = C_{mol,1} + C_{mol,2} \quad (26)$$

$$C_{mol,1} = \frac{\epsilon_{sp}(H_{gate} - H_{SD})(W_{SD} + W_{contact})}{2L_{sp}} \quad (27)$$

$$C_{mol,2} = \frac{\epsilon_{sp}(H_{contact} + H_{SD} - H_{gate})W_{contact}}{L_{sp} - \frac{1}{2}(L_{gate contact} - L_g)} \quad (28)$$

식 (27)–(28)을 사용하여 게이트–소스 접촉 Capacitance를 [표 23]과 같아

구할 수 있다.

[fF]	$C_{mol,1}$	$C_{mol,2}$	$C_{mol} = C_{mol,1} + C_{mol,2}$
FinFET	7.47×10^{-3}	4.85×10^{-2}	5.60×10^{-2}
GAA NS FET	8.71×10^{-3}	4.85×10^{-2}	5.72×10^{-2}

[표 23] 게이트-소스 접촉 Capacitance 계산 결과

C_{mol} 은 GAA NS FET이 약 2%로 근소한 차이를 보인다. 이는 W_{SD} 가 GAA NS FET의 경우 더 크나, $H_{contact}$ 가 150nm로 소자의 전체 높이에서 큰 비중을 차지하기 때문이다.

마) 게이트-바디 Capacitance (C_{gb})

C_{gb} 는 게이트와 바디(substrate) 사이의 Capacitance이다. 게이트의 하단부와 수직으로 만나는 바디의 면에 의한 수직 Capacitance로, C_F 를 계산할 때 사용한 Conformal mapping과 Schwarz-Christoffel 공식을 이용한다.

	x_1	x_2	y_1	y_2	W_{eff}	ϵ
C_{gb}	0	T_{sp}	T_{oxk}	$\min\left(\frac{x_2}{4}, \frac{1}{2}\right)$	W_{eff}	ϵ_{sp}

[표 24] 게이트-바디 Capacitance 계산을 위한 식

[표 24]의 값을 이용하여 C_{gb} 를 [표 25]와 같이 계산할 수 있다.

[fF]	C_{gb}
FinFET	2.50×10^{-3}
GAA NS FET	5.00×10^{-3}

[표 25] 게이트-바디 Capacitance 계산 결과

C_{gb} 는 GAA NS FET이 약 100% 더 크다. 이는 FinFET이 GAA NS FET에 비하여 바디와 직각을 이루는 게이트의 아랫면의 면적이 훨씬 작기 때문이다.

마) Junction Capacitance (C_j)

Junction capacitance (C_j)는 소스와 바디 간 capacitance로, C_{sb} 라는 명칭 또한 사용한다. C_j 는 식(29)와 같이 계산한다 [11]. 이때 $A = W_{SD} \times L_{SD}$ 는 소스와 바디의 접합면적이며, ϵ_{si} 는 실리콘의 유전율이다.

$$C_j(V) = A \sqrt{\frac{\epsilon_{si}q}{2} \left(\frac{N_A N_D}{N_A + N_D} \right)} \frac{1}{\sqrt{\Phi_0 - V}} \quad (29)$$

또한 Φ_0 는 built-in junction potential로, 다음과 같이 계산한다.

$$\Phi_0 = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (30)$$

C_j 는 소스와 바디 bias에 영향을 받는 V에 대한 함수임을 확인할 수 있다. 따라서 앞선 기생 capacitance들과 달리 소스와 드레인에서 C_j 가 비대칭적이므로, 소스 junction capacitance C_{js} 와 드레인 junction capacitance C_{jd} 를 [표 26]와 같이 각각 구하였다.

[fF]	C_{js}	C_{jd}	$C_j = C_{js} + C_{jd}$
FinFET	8.90×10^{-3}	7.00×10^{-3}	1.59×10^{-2}
GAA NS FET	1.19×10^{-2}	9.33×10^{-3}	2.12×10^{-2}

[표 26] Junction Capacitance 계산 결과

C_j 는 GAA NS FET이 약 33% 더 크다. 이는 FinFET 및 GAA NS FET의 소스와 바디 간 접합면적에 차이가 있기 때문이다.

사) 존재하지만 다루지 않은 그 외 capacitance들

백엔드 공정에서 만들어지는 비아에서 발생한 capacitance(C_{via})와 메탈과의 capacitance(C_{metal})는 두 소자에서 동일한 재료와 공정을 사용할 경우 차이가 없기 때문에 본 보고서에서는 이러한 capacitance들을 일정한 값으로 간주하여 상세 분석에서 제외한다.

또한 capacitance 성분 중 소자 바깥으로 휘는 전기장에 의한 coplanar 성분이 있지만 양 소자의 외부 기하구조가 유사하고 공기의 유전율은 앞서 구한 capacitance에 들어가는 유전율에 비해 매우 작기 때문에 차이가 유의미하지 않을 것으로 보고 제외한다.

3) 전체 capacitance

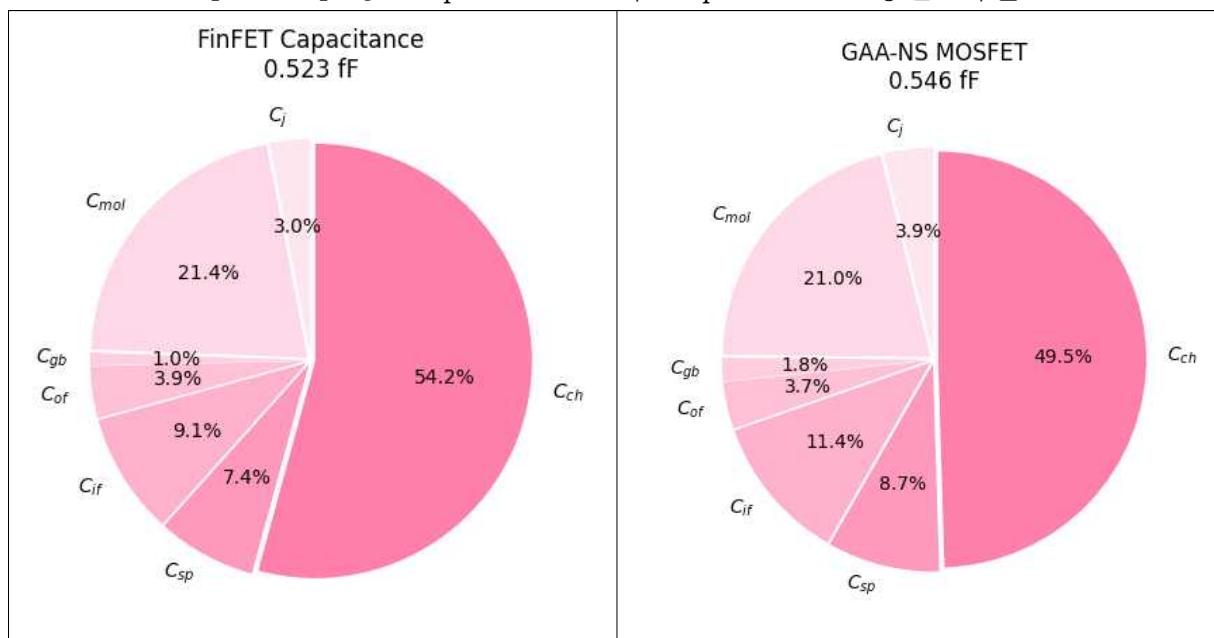
[fF]	NMOS	PMOS
FinFET	0.509	0.539
GAA NS	0.526	0.567

[표 27] FinFET 및 GAA NS FET의 총 Capacitance 계산 결과

전체 capacitance 계산 결과 [표 27]과 같이 GAA NS FET의 capacitance가 NMOS, PMOS 모두에서 크게 나오는 것을 확인하였다. NMOS의 경우 GAA NS FET이 FinFET 대비 3.33 % 크며, PMOS의 경우 GAA NS FET이 FinFET 대비 5.19 % 크다.

Capacitance 성분	FinFET		GAA NS	
C_{ch}	0.2841 fF	54.23 %	0.2705 fF	49.52 %
C_{sp}	0.0388 fF	7.41 %	0.0478 fF	8.75 %
C_{if}	0.0476 fF	9.09 %	0.0623 fF	11.40 %
C_{of}	0.0204 fF	3.89 %	0.0200 fF	3.66 %
C_{mol}	0.1120 fF	21.38 %	0.1145 fF	20.96 %
C_{gb}	0.0050 fF	0.95 %	0.0100 fF	1.83 %
C_j	0.0159 fF	3.04 %	0.0212 fF	3.88 %

[표 28] 총 Capacitance 내 Capacitance 성분 비율



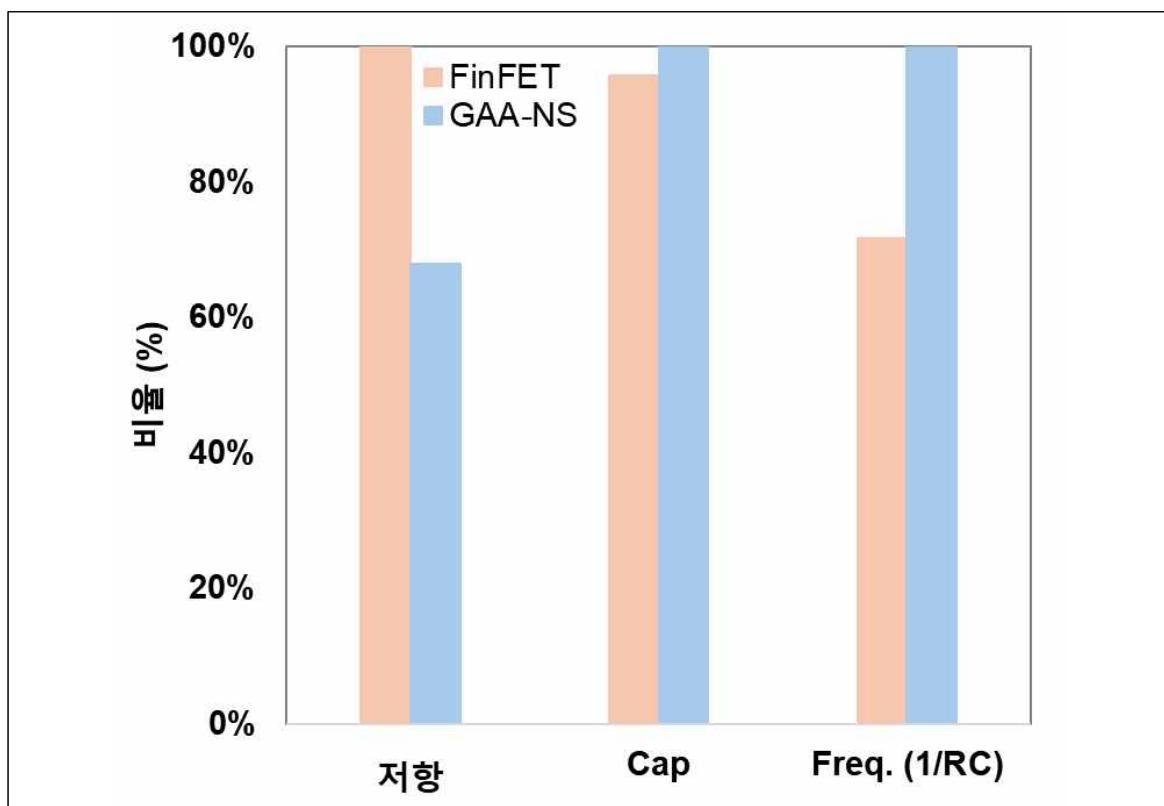
[그림 10] FinFET과 GAA NS FET의 Capacitance 성분 원 그래프

전체 capacitance에서 가장 큰 비중을 차지하는 성분은 이다. 는 게이트와 채널이 맞닿는 유효면적의 차이에 의해 GAA NS FET이 작다. 대신 다른 기생 capacitance들은 GAA NS FET이 큰 편이다. 총합하면 전체 capacitance는 GAA NS FET이 더 커진다.

두 번째로 비중이 큰 성분은 C_{mol} 이다. 이는 접촉 height의 스케일이 상당히 크기 때문이다. 기생 capacitance 성분 중에는 C_j 성분만 소스 / 드레인, NMOS / PMOS에서 값이 다르며 나머지 성분들은 상관없이 동일하다. 따라서 저항에 비해 NMOS / PMOS에 따른 차이가 작다.

3. 결론 및 제언

FinFET 및 GAA NS FET 소자구조 및 파라미터를 정의하고, 저항 및 Capacitance 성분 분절화 모델링을 통하여 비교 분석하였다. GAA NS FET 소자구조에서 저항은 32% 감소하고 Capacitance는 4% 증가하여 AC Frequency (1/RC) 성능 관점에서 28% Gain이 있음을 확인하였다.



[그림 11] FinFET과 GAA NS FET의 저항, Capacitance, AC 성분 비교

Step 2. GAA NS FET의 구조 최적화

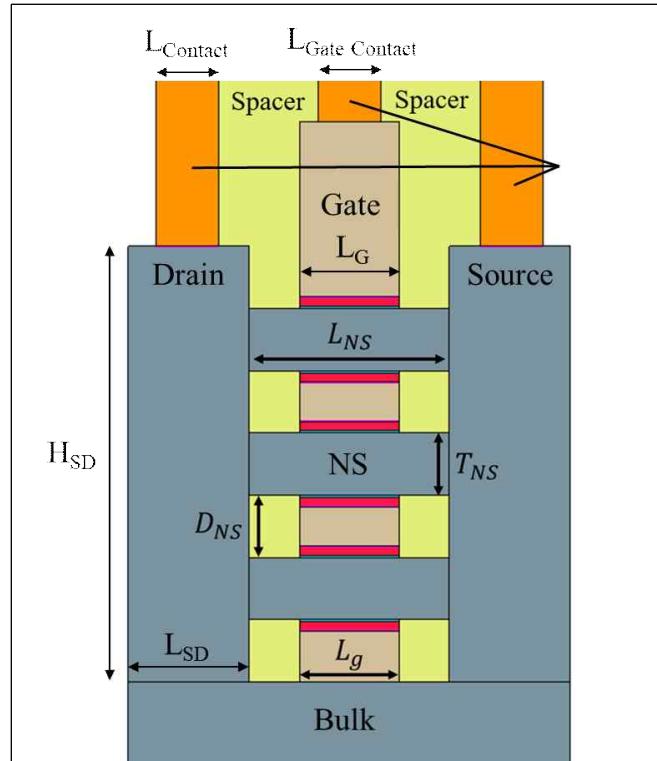
Step 1의 저항 및 Capacitance의 분절화 모델링 분석을 바탕으로 각 소자에 해당하는 Critical Design Parameter에 따른 AC 특성을 확인하여 소자 Design 관점 최적화 방향을 제시하는 것을 목표로 하였다. 특히, GAA NS FET 소자 구조에서의 Critical Design Parameter인 Nanosheet 너비, 거리, 개수, 게이트 길이 및 spacer 길이에 관하여 AC 특성을 최적화 할 수 있는 소자 Design을 제안하였다. 또한, 공정 최적화 및 추가 소자 구조 Ideation을 통하여 AC 성능을 극대화 할 수 있는 방안도 함께 제시하였다.

1. 소자 Design 최적화

GAA NS FET AC 성능 최적화를 위한 parameter split 정보는 하기와 같다.

Parameter	기호	최솟값	간격	최댓값	단위
Nanosheet 너비	W_{NS}	25	5	55	nm
Nanosheet간 거리	D_{NS}	8	0.5	12	nm
Nanosheet 개수	N_{NS}	2	1	6	개
게이트 길이	L_G	12	1	20	nm
spacer 길이	T_{sp}	5	1	11	nm

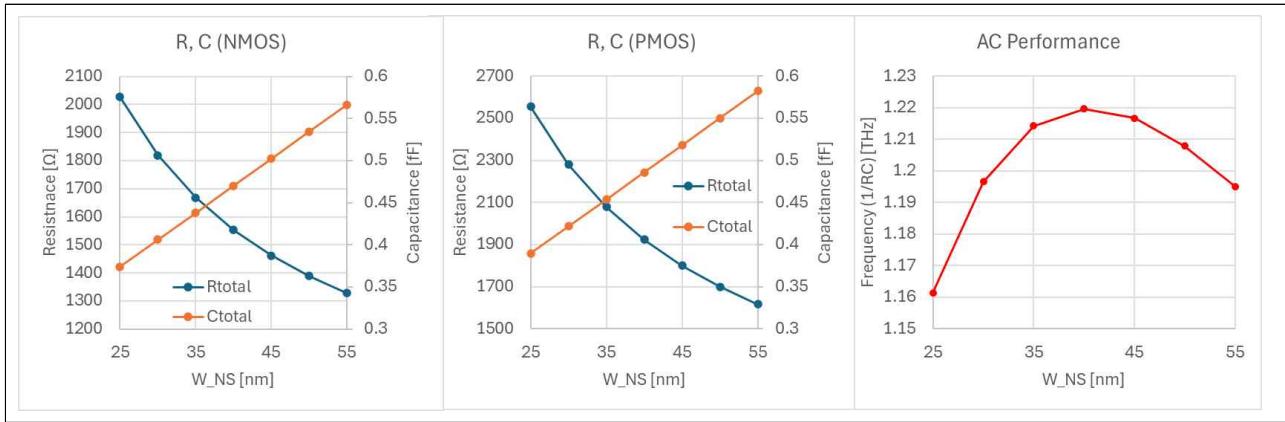
[표 29] GAA NS FET Design parameter 정보



[그림 12] GAA NS FET 기하 구조

가. Nanosheet 너비 (W_{NS})

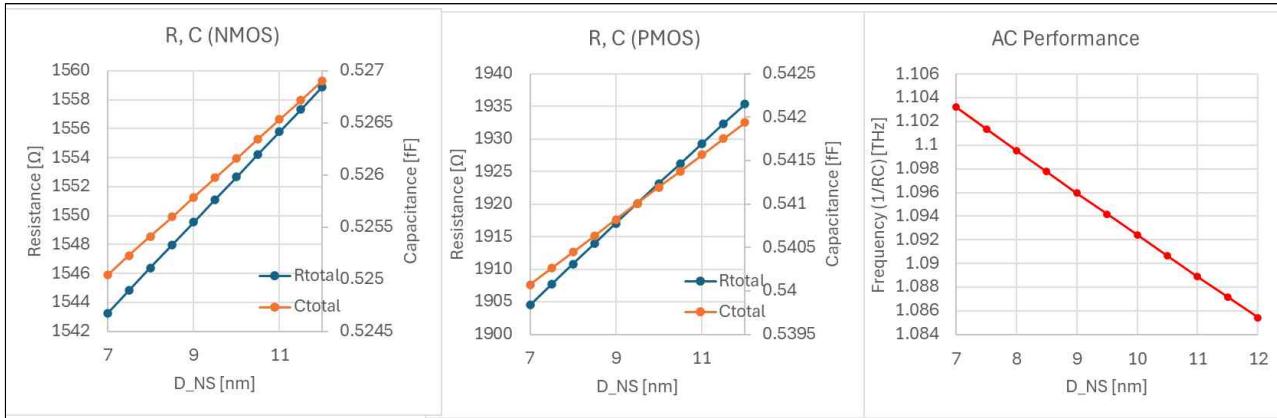
GAA NS FET 구조에서 Nanosheet 너비(W_{NS})가 증가함에 Transistor의 Effective Width가 증가하여 소자 성능 향상을 할 수 있는 큰 장점이 있다. 특정 이하 Nanosheet 너비 이하에서는, 증가 보다 저항 감소 영향이 더 커서 AC 성능을 높일 수 있다 [12]. 이러한 이론을 바탕으로 1번 문제에서 정의한 저항 및 Capacitance 모델링을 기반으로 Nanosheet 너비를 25nm에서 55nm까지 5nm 간격으로 split하여 AC 성능을 최적화할 수 있는 Nanosheet 너비를 확인한 결과 40nm에서 저항 및 Cap 최적화로 AC 성능이 최대로 구현 될 수 있음을 확인하였다.



[그림 13] Nanosheet의 너비 (W_{NS})에 대한 NMOS의 AC 성능의 변화

나. Nanosheet간 거리 (D_{NS})

Nanosheet간 거리는 GAA NS FET 구조에서만 가지고 있는 고유 design parameter이다. 1번 문제에서 구한 모델링을 바탕으로 구현한 [그림 14]에서 확인할 수 있듯이 공정이 허용하는 한 Nanosheet간 거리가 작을수록 저항 및 Cap 관점에서 모두 유리하다. 따라서, Nanosheet간 거리는 게이트의 IL/HK 두께 및 N/PMOS Metal 게이트 물질 및 두께에 의하여 결정된다. 공정을 고려한 Nanosheet간 거리는 최소 10nm로 구현할 수 있다.

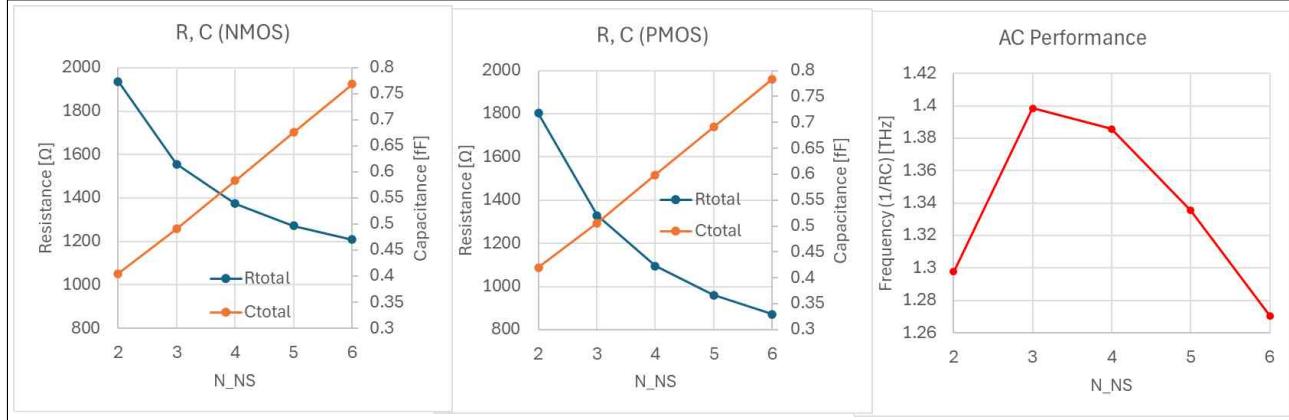


[그림 14] Nanosheet간 거리 (D_{NS})에 대한 NMOS의 AC 성능의 변화

다. Nanosheet 개수 (N_{NS})

GAA NS FET 구조에서는 동일한 면적에서 Nanosheet의 개수를 증가시켜 채널의 유효너비 (W_{eff})를 증가시킴으로서 채널 저항 감소로 소자 성능을 최적화할 수 있다. 그러나 Nanosheet 적층 개수가 증가하면 기생 Capacitance가 증가하여 GAA NS FET 소자 Design 시 Nanosheet의 개수 최적화가 필요하다. 문제

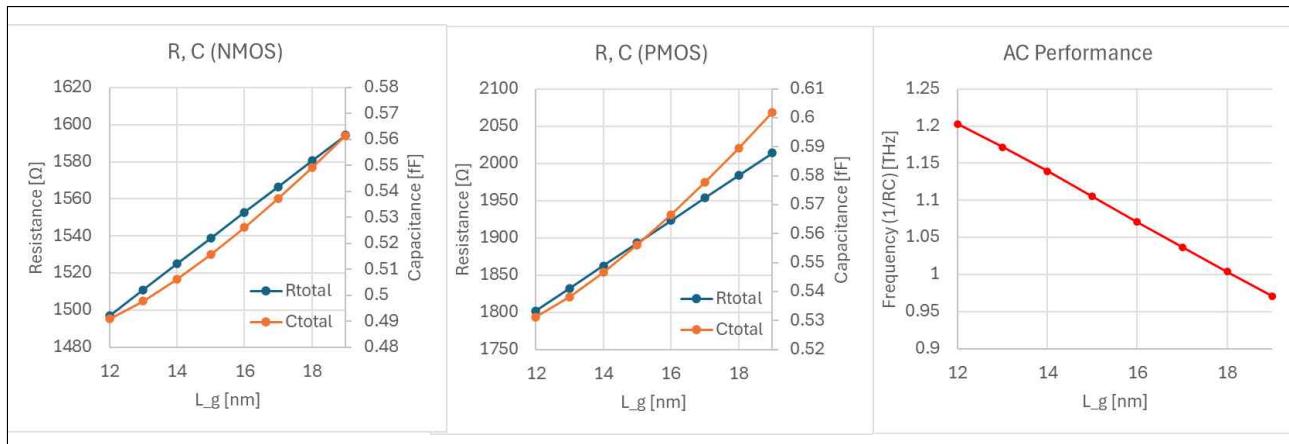
1에서 구한 저항 및 Capacitance 모델링을 반영하여 Nanosheet 개수 최적화를 확인한 결과 Nanosheet 개수가 3개일 경우 AC 성능을 극대화할 수 있음을 확인하였다.



[그림 15] Nanosheet의 개수 (N_{NS})에 대한 NMOS의 AC 성능의 변화

라. 게이트 길이 (L_{gate})

게이트 길이는 트랜지스터의 성능을 결정 짓는 핵심 설계 변수 중 하나이며. SCE를 억제하는 범위 내에서 채널 저항 및 Cap을 모두 감소시킬 수 있는 중요 parameter이다. 따라서 GAA NS FET 구조에서 SCE 특성을 유지하면서 최대한으로 줄일 수 있는 게이트 길이 12nm를 AC 성능을 최적화할 수 있는 소자 Design으로 제시한다 [14].

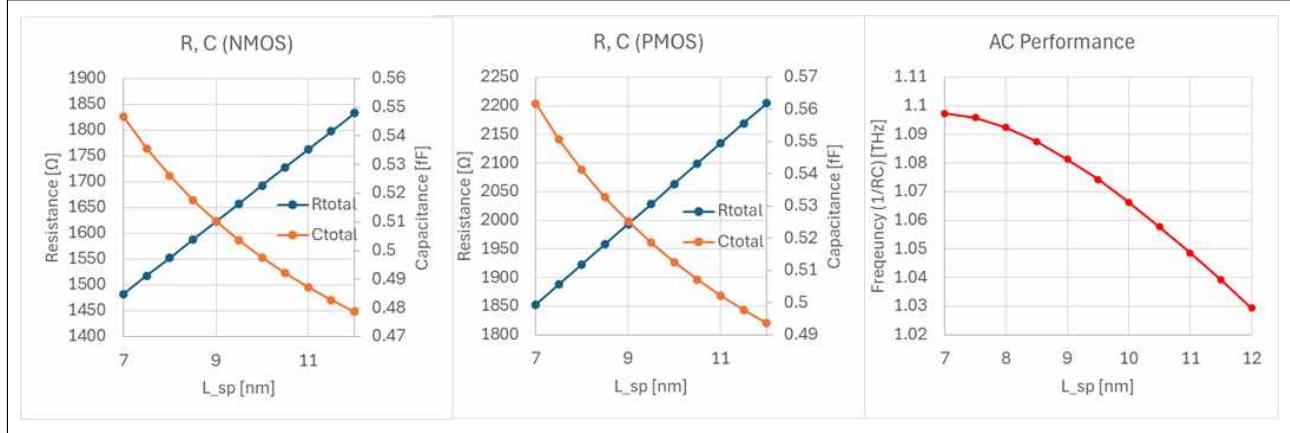


[그림 16] 게이트 길이 (L_{gate})에 대한 NMOS의 AC 성능의 변화

마. Spacer 길이 (T_{sp})

GAA NS FET 구조에서 spacer 길이는 소자 내부에서 게이트와 소스/드레인 사

이의 거리를 설정한다. spacer 길이가 증가하면 게이트와 소스/드레인 사이의 거리 증가로 인하여 저항이 증가하지만, Cap은 감소하는 trade off 관계가 있어 분절화 모델링을 통한 최적화 spacer 길이를 제시하였다.

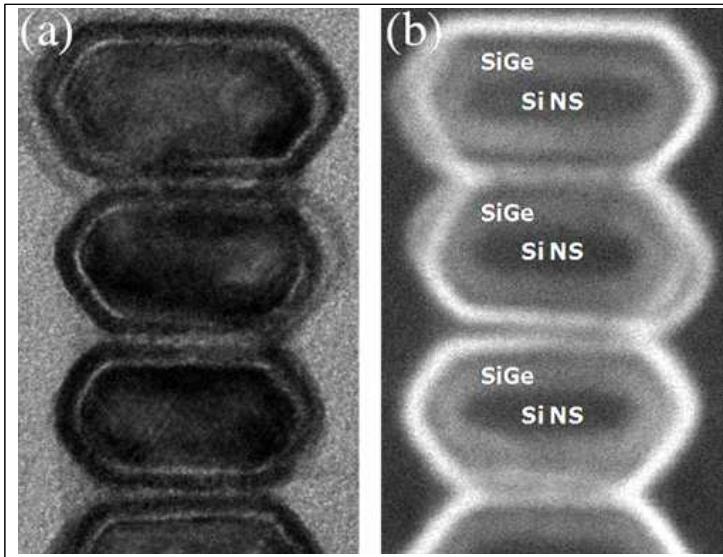


[그림 17] spacer 길이 (T_{sp})에 대한 NMOS의 AC 성능의 변화

2. 공정 최적화 소자 구조 제안

가. PMOS Cladding eSiGe 채널

GAA NS FET 구조에서는 FinFET 대비 채널 결정 방향의 변화로 인해 PMOS의 채널 이동도가 감소한다 [13]. 이를 개선하기 위하여, PMOS에서 채널 이동도를 향상시키기 위한 Cladding eSiGe 공정 적용에 대해 제안한다 [15]. Channel release와 Replacement Metal 게이트 공정 사이에 PMOS 영역의 Si NS trim과 SiGe cladding growth 공정을 추가하여 PMOS의 채널 mobility 20% 감소를 기대할 수 있으며 이에 따른 AC 성능을 2% 향상시킬 수 있다.



[그림 18] PMOS Cladding eSiGe 채널 (a)
Bright Field (b) Dark Field [15]

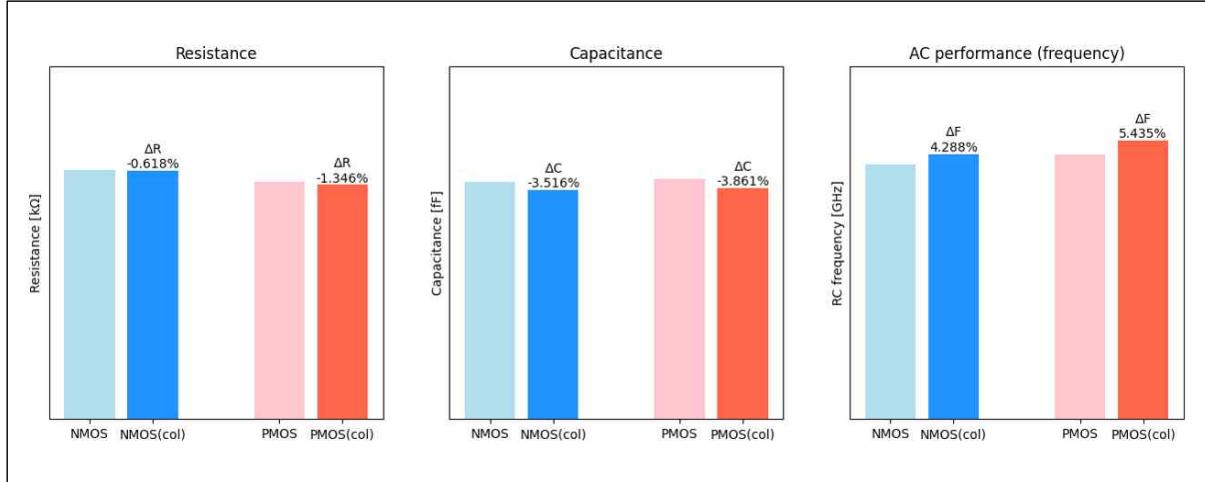
나. Schottky–Barrier Engineering

PMOS에서 Shottky–Barrier engineering을 통해 접촉 저항을 줄일 수 있다 [5]. 본 보고서의 소스/드레인 silicide는 NMOS/PMOS 같은 NiSi_2 를 사용하고 있지만 [그림 5]에서와 같이 PMOS silicide를 PtSi_2 로 변경할 경우 동일한 소스/드레인 doping 농도에서 접촉 비저항을 $4 \times 10^{-13} \Omega \cdot \text{m}^2$ 로 2.5배 늘릴 수 있으며 이를 통해 PMOS의 접촉 저항을 60% 개선할 수 있다. 이는 PMOS 전체 저항의 11% 감소하는 효과를 보이며 5%의 AC 성능 개선이 가능하다 [5]. NMOS와 PMOS에 각각 다른 silicide를 적용하기 위해 [16]에서 제안한 nickel/platinum dual silicide 공정을 사용할 수 있다 [16].

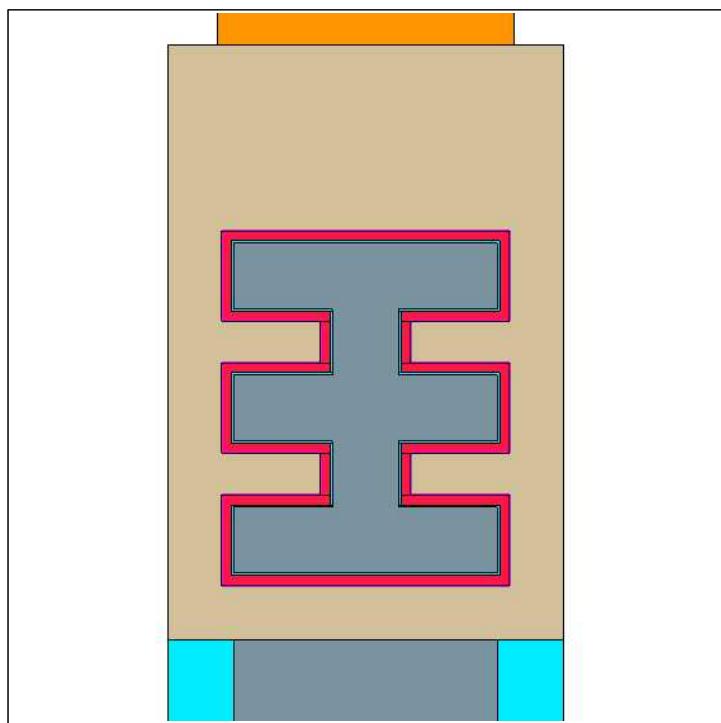
다. CombFET

본 보고서는 AC 성능의 최적화에 대한 또 다른 해답으로서 기존의 FinFET 및 GAA NS FET 구조를 적절히 융합한 구조인 CombFET 구조를 제시한다. 저항 분석란에서 설명하였던 PMOS GAA NS FET 구조의 높은 채널저항은 실리콘 결정면의 방향에 따른 모빌리티의 차이에서 기인한 것으로, FinFET 구조와 GAA NS FET 구조를 적절히 융합함으로서 이러한 단점을 극복할 수 있다. 또한 Extension 저항의 단면적이 증가하여 기존 구조에 비하여 더 낮은 저항을 얻을 수 있다. Capacitance 측면에서도 Fringing Capacitance의 증가가 있으나 그 이상으로 Spacer Capacitance가 감소하는 최적의 기하조건을 찾음으로서 종래에 제시되었던 MOSFET 구조보다 우위의 AC 성능을 얻을 수 있다. 현재의 공

정 방식으로 양산은 다소 어려움이 있으나, 최적화된 GAA NS FET 구조와 CombFET을 TCAD 시뮬레이션으로 비교해본 결과 CombFET이 기존 구조에 비하여 NMOS, PMOS 각각에서 0.6%, 1.3% 가량 낮은 저항, 3.5%, 3.9% 낮은 Capacitance를 가짐으로서 4.3%, 5.4%의 AC 성능 우위를 보였다.



[그림 18] 최적화한 GAA NS FET 구조와 CombFET 구조의 저항과 Capacitance, AC 성능의 비교 (TCAD 시뮬레이션 결과)



[그림 19] TCAD 시뮬레이션을 통하여 제작한 CombFET 구조의 채널 단면

3. 결론 및 제언

본 보고서에서는 GAA NS FET 구조에서 step1에서 구한 저항 및 Capacitance

분절화 모델링과 TCAD 소자 구현을 바탕으로 AC 특성을 극대화하기 위한 소자 Design에 대한 연구를 진행하였다. 먼저 소자 특성에서 가장 큰 영향을 미치는 주요 소자들의 Critical Parameter Dimension에 대한 저항 및 Capacitance 모델링 분석을 통해 최적화 소자 구조를 제안하였다. 또한, 공정 최적화 소자 구조 제안으로 GAA 구조에서 AC 성능을 극대화하기 위한 최적화 방향성을 [표 30]과 같이 도출하였다.

	기호	최적 조건
Nanosheet 너비	W_{NS}	40nm
Nanosheet간 거리	D_{NS}	10nm
Nanosheet 개수	N_{NS}	3개
게이트 길이	L_{gate}	12nm
spacer 길이	T_{sp}	8nm

[표 30] 각 변수의 최적조건

이를 통해 문제에서 주어진 AC 성능을 16% 향상시킬 수 있을 것으로 계산되었다. 또한 공정 최적화 구조에서 제안한 PMOS cladding SiGe 채널을 통해 AC 성능을 2% 향상시킬 수 있으며, Schottky-barrier engineering과 CombFET 구조를 통해 AC 성능을 각각 5%, 4.9% 향상시킬 수 있을 것으로 기대된다.

References

- [1] A. Dixit et al., "Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs," *IEEE Trans. Electron Devices*, vol. 52, no. 6, pp. 1132–1140, Jun. 2005
- [2] J. Suk et al., "Analytical Parasitic Resistance and Capacitance Models for Nanosheet Field-Effect Transistors," *IEEE Trans. Electron Devices*, vol. 70, no. 6, pp. 2941–2946, Jun. 2023
- [3] J. Yoon et al., "Systematic DC/AC Performance Benchmarking of Sub-7-nm Node FinFETs and Nanosheet FETs," *Journal of the Electron Devices Society*, vol. 6, pp. 942–947, Aug. 2018
- [4] G. Masetti et al., "Modeling of Carrier Mobility Against Carrier Concentration in Arsenic-, Phosphorus-, and Boron-Doped Silicon," *IEEE Trans. Electron Devices*, vol. 30, no. 7, pp. 764–769, Jul. 1983
- [5] S. Jung et al., "Analytical Model of Contact Resistance in Vertically Stacked Nanosheet FETs for Sub-3-nm Technology Node," *IEEE Trans. Electron Devices*, vol. 69, no. 3, pp. 930–935, Jul. 2022
- [6] Wang, D., Sun, X., Liu, T., Chen, K., Yang, J., Wu, C., Xu, M., & Zhang, W. (2023). Investigation of source/drain Recess Engineering and Its Impacts on FinFET and GAA Nanosheet FET at 5 nm Node. *Electronics*, 12(3), 770.
- [7] D. Tekleab et al., "Modeling and Analysis of Parasitic Resistance in Double-Gate FinFETs," *IEEE Trans. Electron Devices*, vol. 56, no. 10, pp. 2291–2296, Oct. 2009
- [8] J. Cai, VLSI 2021. SC.
- [9] S. Sarker, A. Kumar, M. Ehteshamuddin and A. Dasgupta, "Compact Modeling of Parasitic Capacitances in GAAFETs for Advanced Technology Nodes," in *IEEE Journal of the Electron Devices Society*, vol. 11, pp. 510–517, 2023
- [10] S. Sharma, S. Sahay and R. Dey, "Parasitic Capacitance Model for Stacked Gate-All-Around Nanosheet FETs," in *IEEE Transactions on Electron Devices*, vol. 71, no. 1, pp. 37–45, Jan. 2024
- [11] Caka, N., Zabeli, M., Limani, M., & Kabashi, Q. (2007). Impact of MOSFET parameters on its parasitic capacitances.
- [12] G. Bae et al., "3nm GAA Technology featuring Multi-Bridge-Channel

FET for Low Power and High Performance Applications” IEEE Symposium on VLSI Technology and Circuits, 2023

[13] J. Cai, “CMOS device technology advanced Process and Device Technology toward 2nm-CMOS and Emerging Memory” IEEE Symposium on VLSI Technology and Circuits, 2021

[14] J. Jung et al., “World’s First GAA 3nm Foundry platform Technology (SF3) with Novel Multi-Bridge-Channel-FET (MBCFET) Process” IEEE Symposium on VLSI Technology and Circuits, 2023

[15] S. Mochizuki et al, “Structural and Electrical Demonstration of SiGe Cladded Channel for PMOS Stacked Nanosheet Gate-All-Around Devices” IEEE Symposium on VLSI Technology and Circuits, 2020