

1. Układ pamięciowy ma pojemność 8 bajtów. Oznacza to, że można w nim zakodować maksymalnie x) 64^8 różnych wiadomości.
2. Źródło nadaje sześć wiadomości z prawdopodobieństwami: $1/16$, $1/16$, $1/4$, $1/4$, $1/4$ i $1/8$. Entropia informacyjna źródła jest wówczas równa x) 2.
3. Przerzutnik S-R to cyfrowy układ logiczny, który x) może zmienić stan wyjść po doprowadzeniu zerowych sygnałów wejściowych.
4. Szyna danych może przesłać w jednym cyklu 32-bitowe słowo. Jeśli szyna ta jest taktowana z częstotliwością 10MHz ($1\text{MHz} = 10^6\text{Hz}$), to maksymalnie można nią przesłać informację o wielkości x) $24 \cdot 10^8$ bajtów w ciągu jednej minuty.
5. Rejestr procesora x) może przechowywać przesunięcie bazowego adresu argumentu operacji.
6. Szyna adresowa x) może być użyta do przesłania danych z pamięci stałej (ROM) do procesora.
7. Za pośrednictwem 32-bitowej szyny adresowej procesor potrafi bezpośrednio zaadresować pamięć operacyjną (RAM) o jednobajtowej organizacji komórek do maksymalnej wielkości x) 2^{35} bajtów.
8. Liczba x reprezentowana przez 16-bitowy kod U1 z sześcioma bitami przeznaczonymi na część ułamkową x) spełnia zawsze nierówność $x < 511,5$.
9. Niech "10111101" będzie 8-bitową reprezentacją liczby całkowitej x w kodzie U2, tzn. $x = \text{U2}[8]("10111100")$. Wówczas x) $x = -66$.
10. Liczba naturalna wyrażona w kodzie 16-kowym przez "A5E" jest równa x) 5134_8 .
11. Kodem liczby 2005 jest x) "133111" w systemie pozycyjnym czwórkowym.
12. Kod rozkazu procesora x) jest wczytywany do jednostki sterującej procesora.
13. Jednostka sterująca procesora x) wysyła wewnętrzne sygnały sterujące do jednostki wykonawczej procesora.
14. Sumator 1-bitowy to cyfrowy układ logiczny, który x) ma dwa wejścia i dwa wyjścia.
15. Cyfrowy układ logiczny realizujący formułę zdaniową można zawsze zbudować wyłącznie z x) układu bramkowego NOR.
16. Przy adresowaniu rejestrowym kod rozkazu zawiera x) określenie rejestru, w którym znajduje się przesunięcie bazowego adresu argumentu operacji.
17. Liczba x ma reprezentację "11101000" w zmiennopozycyjnym kodzie z 3-bitowym wykładnikiem (cechą) i 4-bitową mantysą w kodzie przesuniętym KP przy podstawie 2, tzn. $x = \text{KZP}[8, 4]("11101000")$. Wówczas x) $x = -3$.
18. W cyklu rozkazowym von Neumanna dla procesora Pentium pobrany kod rozkazu umieszczany jest w x) rejestrze wskaźnika stosu (ESP).
19. Po wykonaniu rozkazu rejestr wskaźnika rozkazów (EIP) dla procesora Pentium x) zwiększa zawsze swoją zawartość w stosunku do poprzedniej zawartości tego rejestru.
20. 20-bitowy adres efektywny (fizyczny) złożony z 16-bitowego adresu segmentu (SEGMENT) 1234_{16} i 16-bitowego adresu przesunięcia (OFFSET) 0AEE_{16} jest równy x) $12\text{E}2\text{E}_{16}$.
21. Multiplexer o 32-tu liniach wejściowych ma x) co najmniej cztery linie wyboru.
22. Dekoder o 1024-ech liniach wyjściowych x) ma 9 linii wejściowych.

23. Niech a będzie 16-bitowym słowem "0101100001110110". Wówczas
☐ x) $BKD(a) = 5876$.
24. Pojemność informacyjna układu pamięciowego jest równa 8MB. Oznacza to, że pojemność ta jest równa
☐ x) $4 \cdot 2^{20}B$.
25. O algorytmie zakłada się, że
☐ x) przynajmniej jedna jego instrukcja może być wykonywana wielokrotnie.
26. Jeśli $x = KP[8]("11001101")[4]$ to
☐ x) $x = 4,75$.
27. Jeśli $x = 1011_{/2}$ i $y = ABB_{/16}$ to
☐ x) $x + y = AC6_{/16}$.
28. Cyfrowy układ logiczny realizujący wartościowanie formuły zdaniowej $\alpha \Rightarrow \beta$ można zbudować mając do dyspozycji
☐ x) dowolnie wiele układów bramkowych AND i tylko jeden układ bramkowy NOT.
29. Cyfrowy układ logiczny realizujący wartościowanie formuły zdaniowej $\alpha \Leftrightarrow \beta$ można zbudować mając do dyspozycji
☐ x) jeden układ bramkowy AND i dwa układy bramkowe NOT.
30. W pierwszej fazie cyklu rozkazowego von Neumanna zawartość licznika rozkazów (PC) zawiera kod generujący adres obszaru pamięci
☐ x) zapisywany do pamięci RAM.
31. Przy adresowaniu natychmiastowym kod rozkazu zawiera
☐ x) adres komórki pamięci, w której przechowywany jest adres argumentu.
32. W rejestrze rozkazów (IR) umieszczany jest
☐ x) tylko kod operacji rozkazu przeznaczonego do interpretacji i wykonania.
33. Rozkazy skoków
☐ x) powodują zmianę wartości licznika rozkazów (PC) zawsze o dodatnią wartość.
34. Asembler jest językiem programowania
☐ x) wymagającym procesu kompilacji na program binarny rozkazów procesora.
35. Format rozkazu procesora
☐ x) określa wyłącznie pole kodu określającego operację wykonywaną przez rozkaz.
36. Sumator 16-bitowy jest układem, który
☐ x) posiada 32 wejścia i 32 wyjścia.
37. Układ pamięci ROM o 10-bitowym wejściu adresowym i 8-bitowym wyjściu danych ma pojemność
☐ x) 512B.
38. W układzie pamięciowym o pojemności 512KB można zapisać informację o obrazie posiadającym rozmiar
☐ x) 1024×768 pikseli utworzony z palety barw złożonej z 256 kolorów.