

電子回路実習 レポート表紙

実験番号 6-1

クラス 出席番号 学籍番号 B

班番号 氏名

共同実験者

担当教員

実験日	年	月	日	
レポート提出日	年	月	日	提出遅れ 週
レポート再提出日	年	月	日	提出遅れ 週

レポート受付

レポート受理

再提出要否
要 否
要再提出の場合のコメント

## 1. 実験の目的

ヒステリシスコンパレータの原理について学ぶ。

## 2. 実験の方法

### I. ヒステリシスコンパレータの静特性測定

ヒステリシスコンパレータ回路を構成し。抵抗  $R_1$  と  $R_2$ 、閾値電圧  $V_{TL}$  と  $V_{TH}$  を求める。入力電圧  $V_{in}$  を可変抵抗で分圧し、-10V~10V の電圧を印加できるようにし-10V から+10V まで電圧を上げていったときの静特性と、その逆を両方測定する。

### II. ヒステリシスコンパレータの動特性測定

ヒステリシスコンパレータの静特性測定との電圧源を発振器に変える。閾値電圧  $V_{TL}$  と  $V_{TH}$  よりも大きくなるように発信金減衰量を調整する。

## 3. 実験の結果

### I. ヒステリシスコンパレータの静特性測定

$R_1=1.00k\Omega, R_2=10.0k\Omega, R=2.00k\Omega$  でヒステリシスコンパレータ回路を構成し、電圧を-10V~10V まで変化させたときの昇順と降順を以下の表 1 ヒステリシスコンパレータの特性表にまとめた。さらに昇順と降順でそれぞれグラフにすると図 1 図 2 のようになった。

表 1 ヒステリシスコンパレータの特性表

昇べき		降べき	
Vin[V]	Vout[V]	Vin[V]	Vout[V]
-10.05	-9.73	10.04	11.24
-6.95	-9.73	8.01	11.21
-5.05	-9.63	6.02	11.18
-2.01	-9.57	4.01	11.08
0.411	-9.55	2.02	11.03
0.844	-9.41	0.99	11.02
3.21	-9.39	-1.11	10.97
5.3	11.11	-3.02	10.96
7.99	11.13	-5.58	-9.65
9.03	11.16	-8.04	-9.72
10.01	11.24	-10.1	-9.74

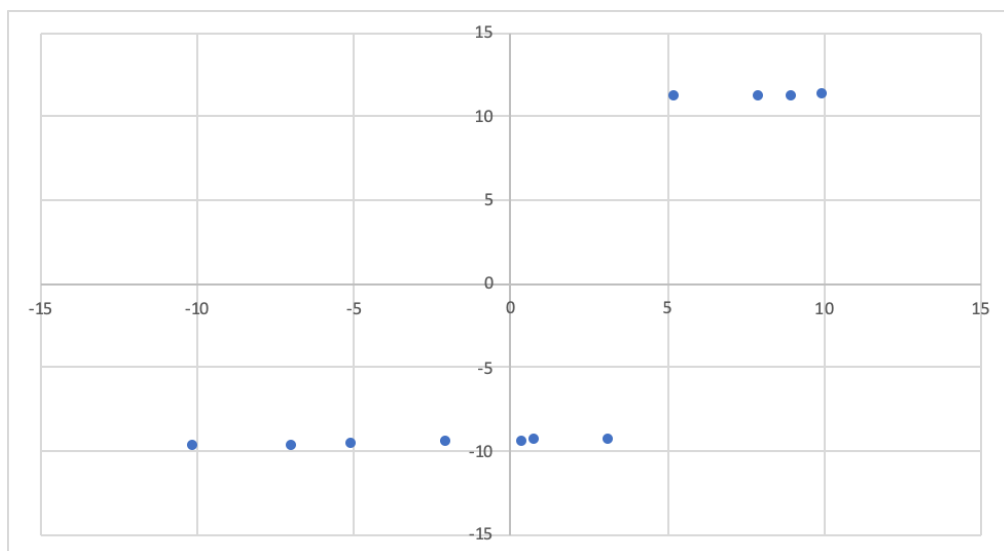


図 1 昇べき順のグラフ

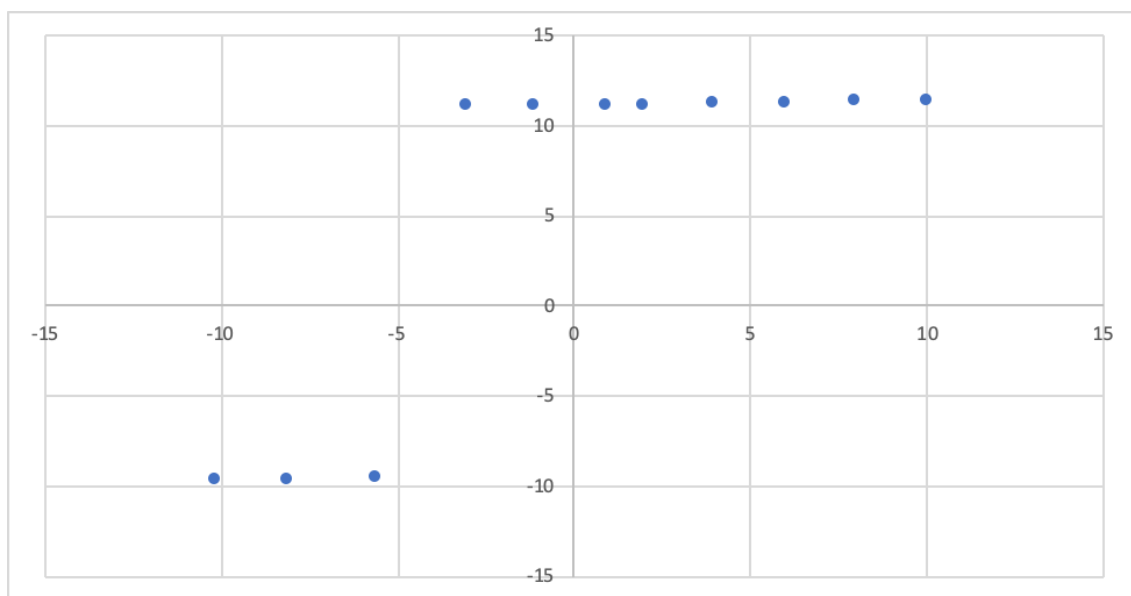


図 2 降べき順のグラフ

## II. ヒステリシスコンパレータの動特性測定

6-1-1 で構成した回路の入力を発振器に変え、入力信号の振幅を閾値電圧  $V_{TL}$  と  $V_{TH}$  よりも大きくなるように発振器の減衰量を調整し、その時の出力波形は以下の図 1 ヒステリシスコンパレータの動特性観測グラフのようになった。

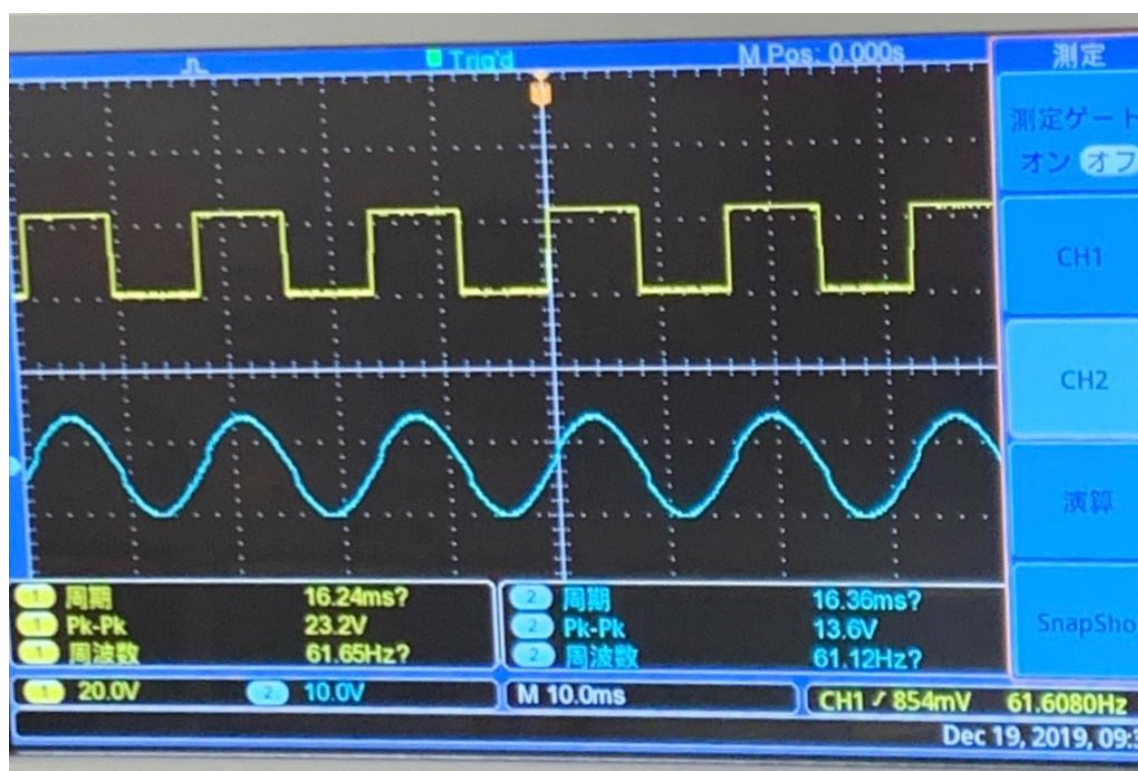


図 3 ヒステリシスコンパレータ動特性観測グラフ

#### 4. 考察

6-1-1 の表 1 より最初の  $V_{out}$  が正と負で切り替わる電圧(閾値電圧)が異なることがわかる。さらに図 3 から  $V_{OH}=11.4, V_{OL}=-11.4$  であり、昇べき順のときはヒステリシスが起こった後に 11.11V になっている。図 1、図 2 から同様に变化する電圧が違うことがわかる。このことから電圧が上がるときと下がるときで切り替わり電圧が変わることが観測された。