

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

ІКНІ
Кафедра ПЗ

ЗВІТ

до лабораторної роботи № 2

На тему: “Синтез та моделювання в середовищі Proteus мультиплексора та
демультиплексора”

З дисципліни: *“Архітектура комп’ютера”*

Лектор:
Доц. каф. ПЗ
Крук О.Г.

Виконав:
ст. гр. ПЗ-22
Ясногородський Н. В.

Прийняв:
Доц. каф. ПЗ
Крук О.Г.

« ____ » _____ 2022 р.

Σ= ____ .

Тема роботи: Синтез та моделювання в середовищі Proteus мультиплексора та демультимплексора.

Мета роботи: закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про основні типи комбінаційних схем: шифратори, дешифратори, мультиплексори і демультимплексори; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

Індивідуальне завдання

Варіант 30.

№	z0/a0	0	1	0	1	0	1	0	1	f0, КГц	Пріоритет
	z1/a1	0	0	1	1	0	0	1	1		
	z2/a2	0	0	0	0	1	1	1	1		
7		d ₃	d ₄	d ₀	d ₁	d ₂	0	0	0	126	F ₇ , F ₁ , F ₄ , F ₅ , F ₆ , F ₂ , F ₃

Синтезувати схеми: шифратора, дешифратора, мультиплексора і демультимплексора; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

Теоретичні відомості

Шифратори, дешифратори, мультиплексори і демультимплексори поряд з суматорами та компараторами належать до основних типів комбінаційних цифрових схем (пристроїв). У комбінаційних пристроях (цифрових автоматах без пам'яті) вихідні сигнали в кожний момент часу повністю визначаються комбінацією поточних значень на входах і не залежать від попередніх значень вхідних сигналів.

Шифратор (encoder, coder, CD) $m \times n$ - це цифровий пристрій, призначений для перетворення вхідного m -розрядного унітарного коду у вихідний n -розрядний двійковий позиційний код. Двійковий код, що має завжди тільки одну одиницю, а решта - нулі, називається унітарним. При активізації одного з входів (появі на ньому одиниці) на виходах шифратора формується код, що відображає номер активного входу. Повний двійковий шифратор має $m = 2^n$ входів і n виходів, в неповного шифратора $m < 2^n$. Умовні графічні позначення шифратора на схемах наведені на рис. 2.1.

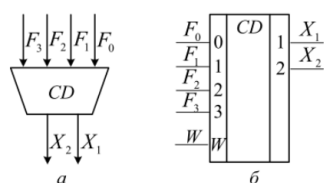


Рис. 2.1. Умовні графічні позначення шифратора:

а - на функціональних схемах; б - на електричних принципових схемах

Дешифратор (decoder, DC) $n \times m$ - це цифровий пристрій, призначений для перетворення вхідного n -розрядного двійкового позиційного коду у вихідний m -розрядний унітарний код. Як бачимо, дешифратор виконує функцію, обернену функції шифратора.

Якщо $m = 2n$, то дешифратор є повним, в неповного дешифратора $m < 2n$. Умовні графічні позначення дешифратора на схемах наведені на рис. 2.5.

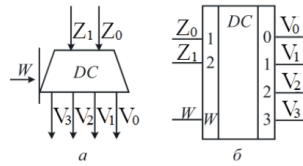


Рис. 2.5. Умовні графічні позначення дешифратора:
а – на функціональних схемах; б – на електричних принципових схемах

Мультиплексор (multiplexer, MUX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічних сигналів від одного з n інформаційних X -входів на єдиний D -вихід. Номер конкретного інформаційного входу, який повинен під'єднуватися до виходу в певний момент часу, вказується за допомогою адресних A -входів. Зв'язок між числом адресних входів q та числом інформаційних входів n визначається співвідношенням $2^q \geq n$. Приклад умовних графічних позначень мультиплексора "4 в 1" наведено на рис. 2.7.

Чотириходовий мультиплексор описується таблицею істинності (табл. 2.3), де A_1, A_0 - адресні входи; X_3, X_2, X_1, X_0 - інформаційні входи; D - спільний інформаційний вихід.

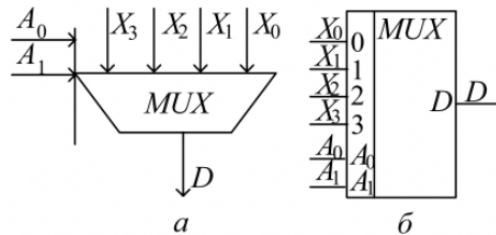


Рис. 2.7. Умовні графічні позначення мультиплексора "4 в 1":
а – на функціональних схемах; б – на електричних принципових схемах

Демультимплексор (demultiplexer, DMX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічного сигналу з одного інформаційного D -входу на один з n інформаційних Y -виходів. Номер виходу, на який передається значення вхідного логічного сигналу, визначається в певний конкретний момент часу за допомогою адресних A -входів. Зв'язок між числом адресних входів q та числом інформаційних виходів n визначається співвідношенням $2^q \geq n$. Приклад умовних графічних позначень демультимплексора "1 в 4" наведено на рис. 2.9. Демультимплексор виконує функцію, обернену до функції мультиплексора.

Хід виконання лабораторної роботи

Почну зі синтезу схеми шифратора.

Для початку, складу таблицю для проміжних змінних:

$$H7 = F7$$

$$H1 = \neg F7 \wedge F1$$

$$H4 = \neg F7 \wedge \neg F1 \wedge F4$$

$$H5 = \neg F7 \wedge \neg F1 \wedge \neg F4 \wedge F5$$

$$H6 = \neg F7 \wedge \neg F1 \wedge \neg F4 \wedge \neg F5 \wedge F6$$

$$H2 = \neg F7 \wedge \neg F1 \wedge \neg F4 \wedge \neg F5 \wedge \neg F6 \wedge F2$$

$$H3 = \neg F7 \wedge \neg F1 \wedge \neg F4 \wedge \neg F5 \wedge \neg F6 \wedge \neg F2 \wedge F3$$

Тепер запишемо вихідні сигнали пріоритетного лінійного шифратора відповідно до проміжних змінних:

$$X0 = H1 \vee H3 \vee H5 \vee H7,$$

$$X1 = H2 \vee H3 \vee H6 \vee H7,$$

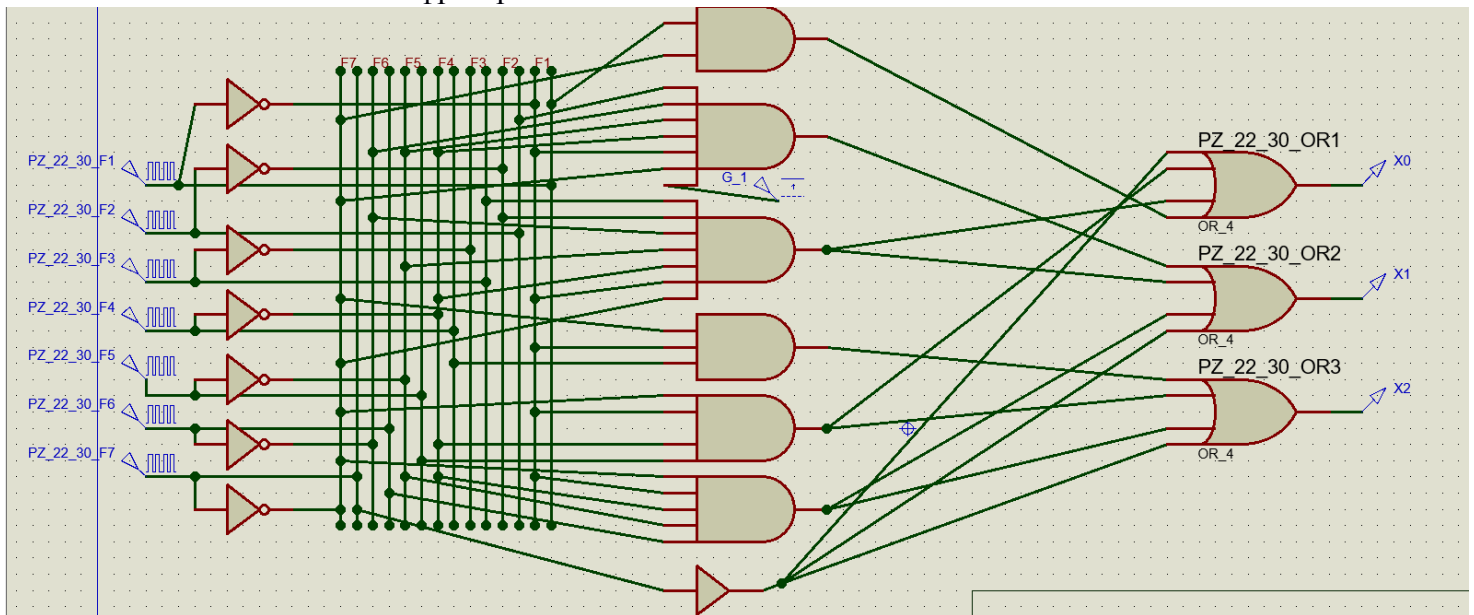
$$X2 = H4 \vee H5 \vee H6 \vee H7.$$

№	F_7	F_6	F_5	F_4	F_3	F_2	F_1	z_2/a_2	z_1/a_1	z_0/a_0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1
2	0	0	0	0	0	1	0	0	1	0
3	0	0	0	0	1	0	0	0	1	1
4	0	0	0	1	0	0	0	1	0	0
5	0	0	1	0	0	0	0	1	0	1
6	0	1	0	0	0	0	0	1	1	0
7	1	0	0	0	0	0	0	1	1	1

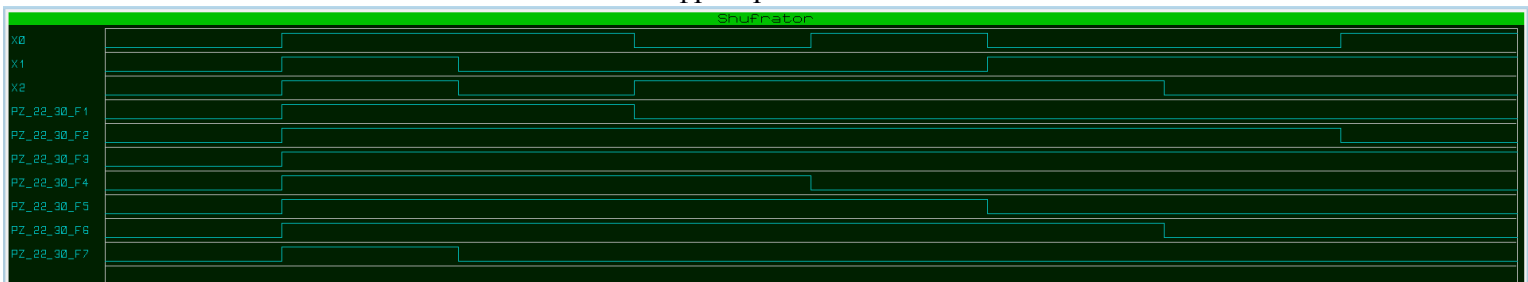
$$T = 1/126\text{КГц} = 1/126000 = 0.000008 = 8\mu$$

$$\tau = T/64 = 0.008 / 64 = 0.000125$$

Схема лінійного шифратора 8x3:



Таблиця вхідних та вихідних аналізів лінійного шифратора:



Бінарні стрічки:

- X2: 01011100
- X1: 01000111
- X0: 01101001

За допомогою графіка спостерігаємо, що пріоритет є наступним: F₇, F₁, F₄, F₅, F₆, F₂, F₃

Лінійний дешифратор 3x8:

Z_2	Z_1	Z_0	V_7	V_6	V_5	V_4	V_3	V_2	V_1	V_0	d
0	0	0	0	0	0	0	1	0	0	0	d_3
0	0	1	0	0	0	1	0	0	0	0	d_4
0	1	0	0	0	0	0	0	0	0	1	d_0
0	1	1	0	0	0	0	0	0	1	0	d_1
1	0	0	0	0	0	0	0	1	0	0	d_2
1	0	1	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0

$$V_0 = d_0 = \neg Z_2 \wedge Z_1 \wedge \neg Z_0$$

$$V_1 = d_1 = \neg Z_2 \wedge Z_1 \wedge Z_0$$

$$V_2 = d_2 = Z_2 \wedge \neg Z_1 \wedge \neg Z_0$$

$$V_3 = d_3 = \neg Z_2 \wedge \neg Z_1 \wedge \neg Z_0$$

$$V_4 = d_4 = \neg Z_2 \wedge \neg Z_1 \wedge Z_0$$

$$V_5 = 0$$

$$V_6 = 0$$

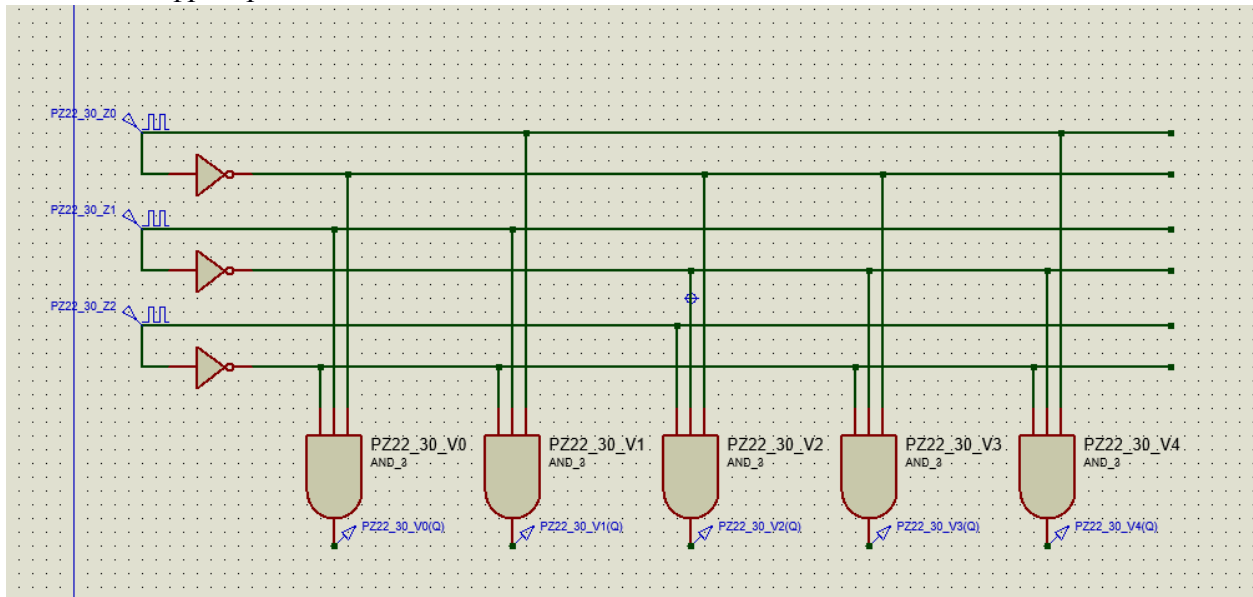
$$V_7 = 0$$

Частота генератора $Z_2 = 126k * 4 = 504k$

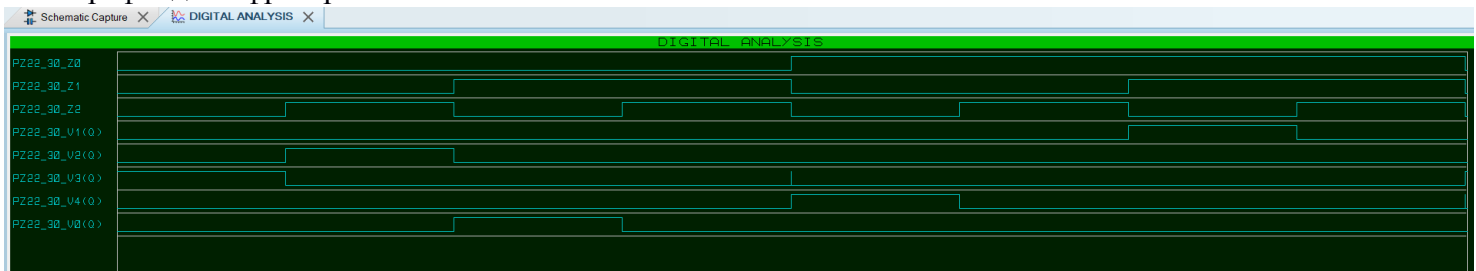
Частота генератора $Z_1 = 126k * 2 = 252k$

Частота генератора $Z_0 = 126k$

Схема дешифратора 3х8:



Графік дешифратора 3х8:



За допомогою отриманого графіка виконання схеми лінійного дешифратора бачимо, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності дешифратора. Отже, моделювання було виконано правильно.

Мультиплексор “5 в 1”:

a_2	a_1	a_0	f
0	0	0	d_3
0	0	1	d_4
0	1	0	d_0
0	1	1	d_1
1	0	0	d_2
1	0	1	0
1	1	0	0
1	1	1	0

ДДНФ мультиплексора “5 в 1”:

$$F(a_2, a_1, a_0) = (d_3 \neg a_2 \neg a_1 \neg a_0) + (d_4 \neg a_2 \neg a_1 a_0) + (d_0 \neg a_2 a_1 \neg a_0) + (d_1 \neg a_2 a_1 a_0) + (d_2 a_2 \neg a_1 \neg a_0).$$

Частота генератора $A2 = 126k * 4 = 504k$

Частота генератора $A1 = 126k * 2 = 252k$

Частота генератора $A0 = 126k$

Тривалість сигналу для генераторів $D0 \dots D4 = T/8 = 992n$

Стрічка для генератора $D0 = 01000000$

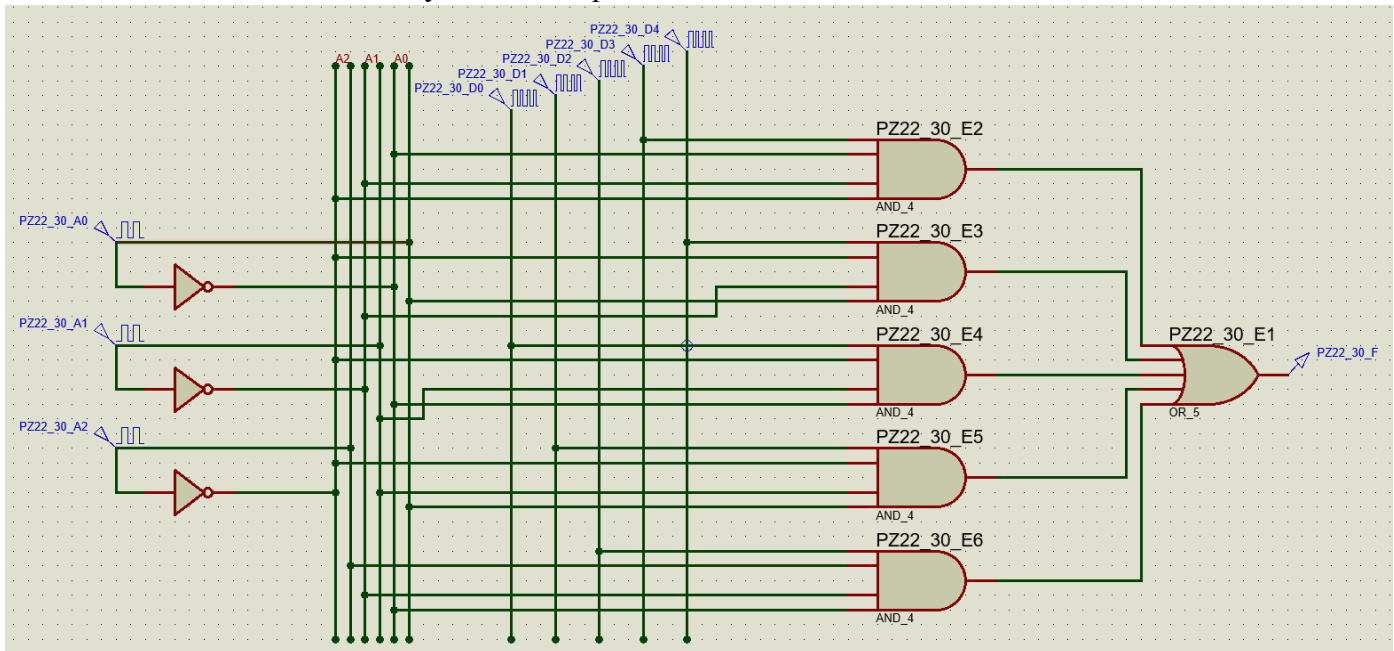
Стрічка для генератора $D1 = 01100000$

Стрічка для генератора $D2 = 01110000$

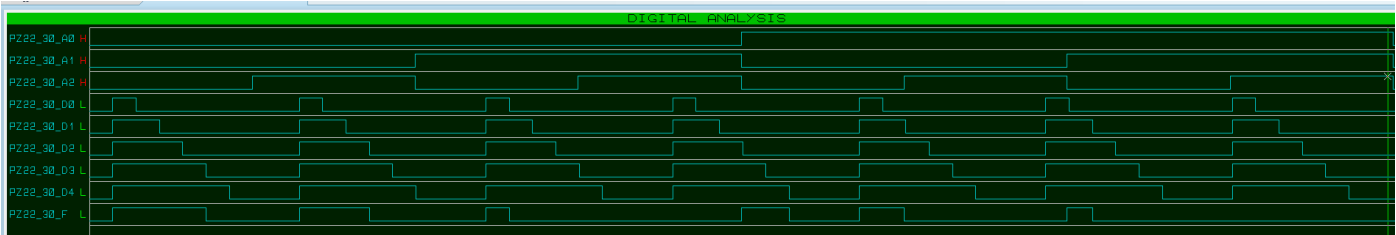
Стрічка для генератора $D3 = 01111000$

Стрічка для генератора $D4 = 01111100$

Синтезована схема лінійного мультиплексора “5 в 1”:



Графік “Multiplexer”:



За допомогою отриманого графіка виконання схеми мультиплексора бачимо, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності мультиплексора. Отже, моделювання було виконано правильно.

Демультимплексор “1 в 5”:

a_2	a_1	a_0	y_4	y_3	y_2	y_1	y_0
0	0	0	0	d_3	0	0	0
0	0	1	d_4	0	0	0	0
0	1	0	0	0	0	0	d_0
0	1	1	0	0	0	d_1	0
1	0	0	0	0	d_2	0	0
1	0	1	0	0	0	0	0
1	1	0	0	0	0	0	0
1	1	1	0	0	0	0	0

ДДНФ демультимплексора “1 в 5”:

$$y_3 = D \neg a_2 \neg a_1 \neg a_0$$

$$y_4 = D \neg a_2 \neg a_1 a_0$$

$$y_0 = D \neg a_2 a_1 \neg a_0$$

$$y_1 = D \neg a_2 a_1 a_0$$

$$y_2 = D a_2 \neg a_1 \neg a_0$$

Частота генератора A0 = 126k

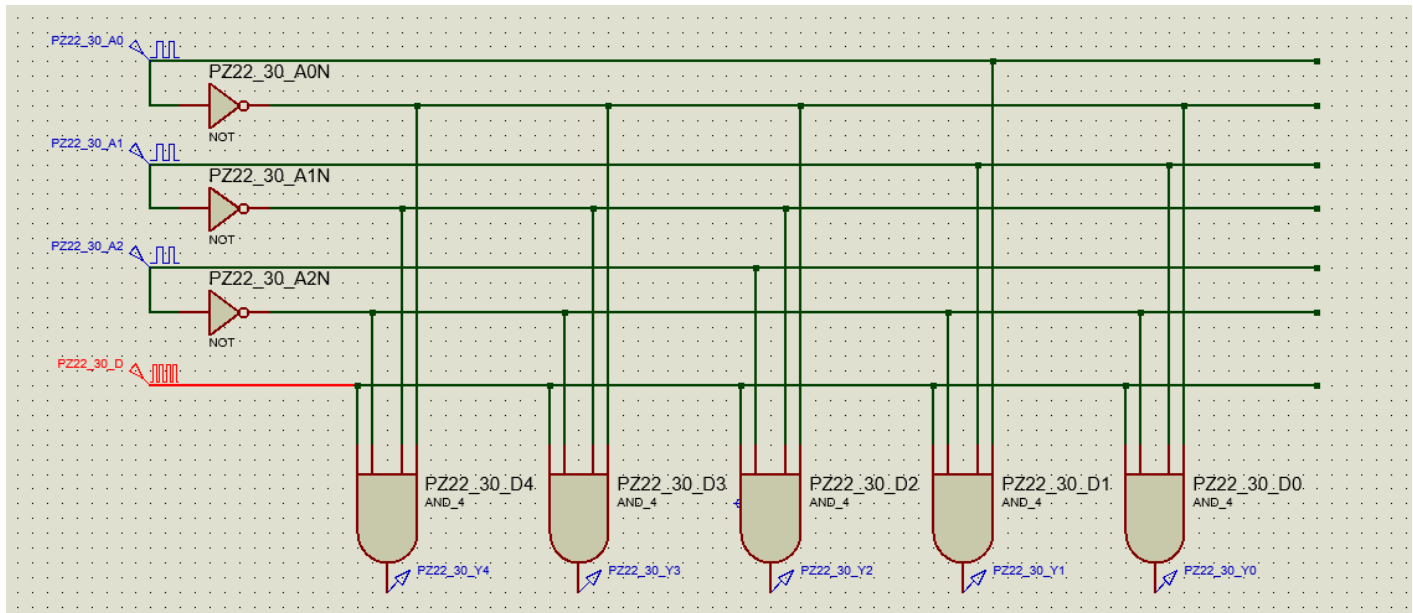
Частота генератора A1 = 252k

Частота генератора A2 = 504k

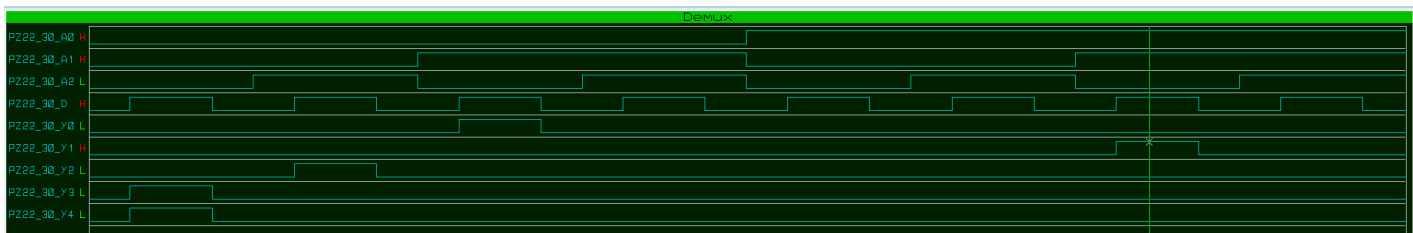
Тривалість сигналу генератора D = T/8 = 992n

Бінарна стрічка для генератора D = 00111100

Схема демультиплексора “1 в 5”:



Графік сигналів генераторів та виходів демультиплексора “5 в 1”:



За допомогою отриманого графіка виконання схеми демультиплексора бачимо, що часові діаграми входних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності дешифратора. Отже, моделювання було виконано правильно.

Висновок

Під час виконання цієї лабораторної роботи я закріпив знання про моделювання логічних схем в середовищі Proteus. Також, я вивчив основні типи комбінаційних схем: шифратор, дешифратор, мультиплексор, демультиплексор, та опанував їх синтез.

Та проаналізував роботу синтезованих схем в програмі Proteus