

Trabalho final VHDL

O objetivo do trabalho é descrever o circuito da Figura 1 utilizando VHDL conforme foi visto em aula. A linguagem VHDL é vasta e algumas sintaxes mais incomuns não foram tratadas, é permitido utilizar tudo que a linguagem tem disponível. Porém recomendo fortemente que caso utilizem alguma sintaxe que não foi vista em aula, testem bastante e garantam que ela se comporta da maneira que necessitam. Pois existem sintaxes que não são sintetizáveis.

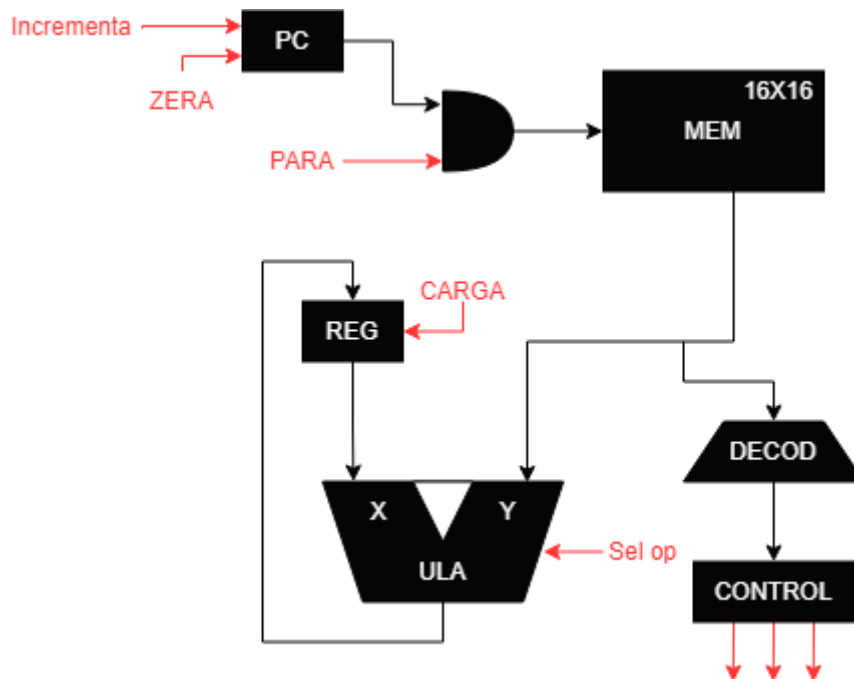


Figura 1.

O circuito proposto, como foi discutido na aula em que apresentei o trabalho é capaz de executar uma serie operações semelhante a um microcontrolador. Isso foi baseado no microcontrolador teórico Neander, porém parte do circuito original do Neander foi descartado. O circuito final devera percorrer a memória com auxílio do Contador de Programa (PC) e executar as operações contidas em cada linha da memória. Conforme a ULA executa as operações, o registrador REG armazena o resultado até ser sobrescrito pela próxima operação. A unidade de controle (CONTROL) devera suprir o circuito com **todos os sinais de controle em vermelho**. A avaliação irá envolver a simulação do circuito, com atenção especial no registrador REG para averiguar a correta execução das operações.

Memória

A memória presente no circuito é 16x16 ou seja, 16 posições de 16 bits e os valores de cada posição são as seguintes. Cada linha possui 16 bits, onde os primeiros bits, os mais significativos compreendem a operação a ser executada e os próximos, os menos significativos são o operando. Os códigos a serem decodificados em operações estão dispostos na tabela menor.

00000000 00000000
00000101 00000010
00000001 00000101
00000001 00001000
00000010 00000101
00000100 00000000
00000010 00001111
00000011 00000100
00000101 10101010
00000001 01000100
00000000 00000000
00000000 00000000
00000110 00000000
00000000 00000000
00000000 00000000
00000000 00000000

Operação	Codigo
X + Y	0000 0001
X and Y	0000 0010
X or Y	0000 0011
Not X	0000 0100
Y	0000 0101
HALT	0000 0110

Avaliação

A avaliação do trabalho será no formato de apresentação do código, circuito e simulação em sessões de 15 minutos contando com perguntas. Os alunos deverão realizar a simulação e a síntese do código para que seja possível visualizar o funcionamento do código. Os trabalhos deverão ser submetidos até dia 13 de fevereiro, as 11h59 conforme estará indicado no AVA, após esse dia as apresentações começam dia 14 em horários a combinar. Para facilitar a avaliação o projeto no quartus deve ser organizado de forma que haja um top level com uma entidade no formato indicado na Figura 2.



Figura 2.