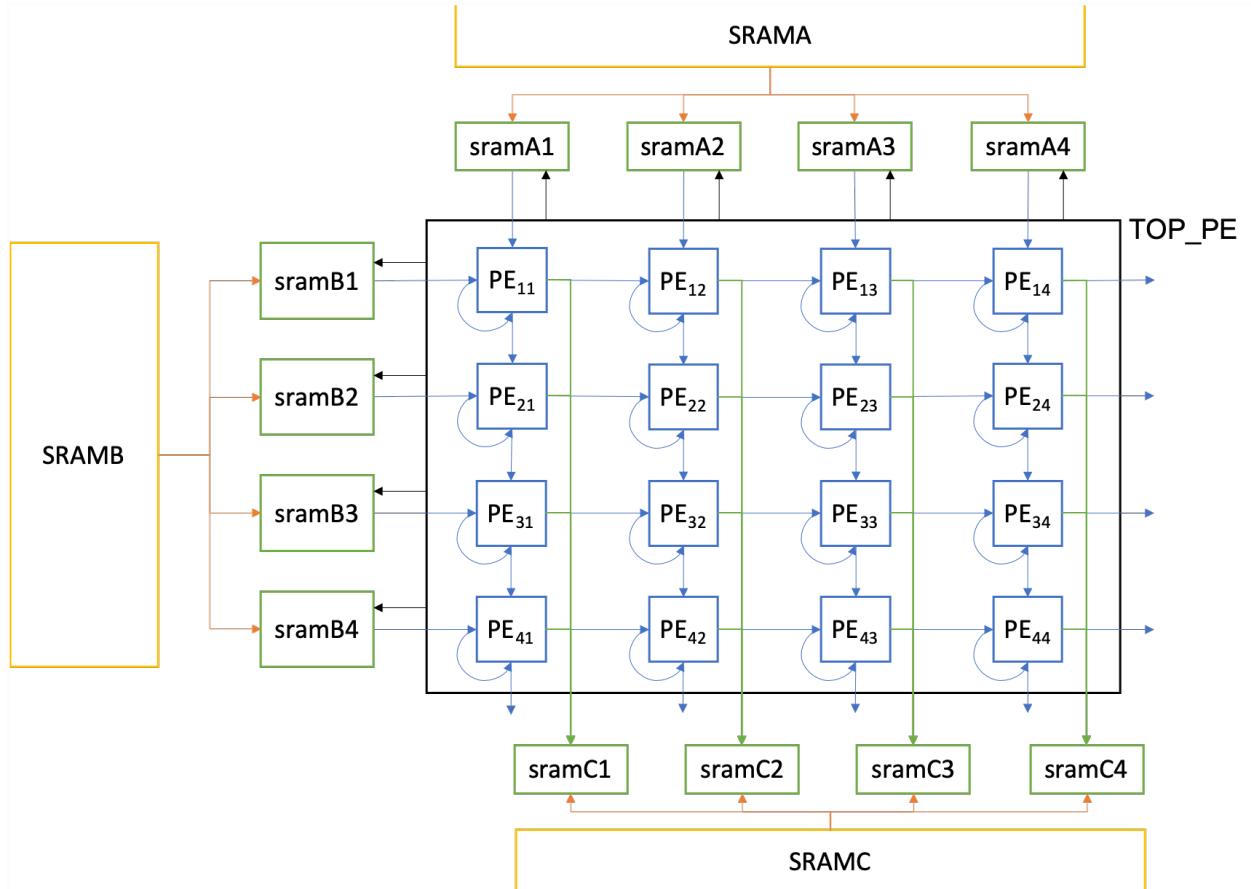


CS5120 Homework Assignment 04

Student ID: 107062612 Name: 熊祖玲

1. Design Concept

A. Matrix Multiplication with Systolic Array Architecture (如圖一所示)



圖一、Systolic array architeture圖

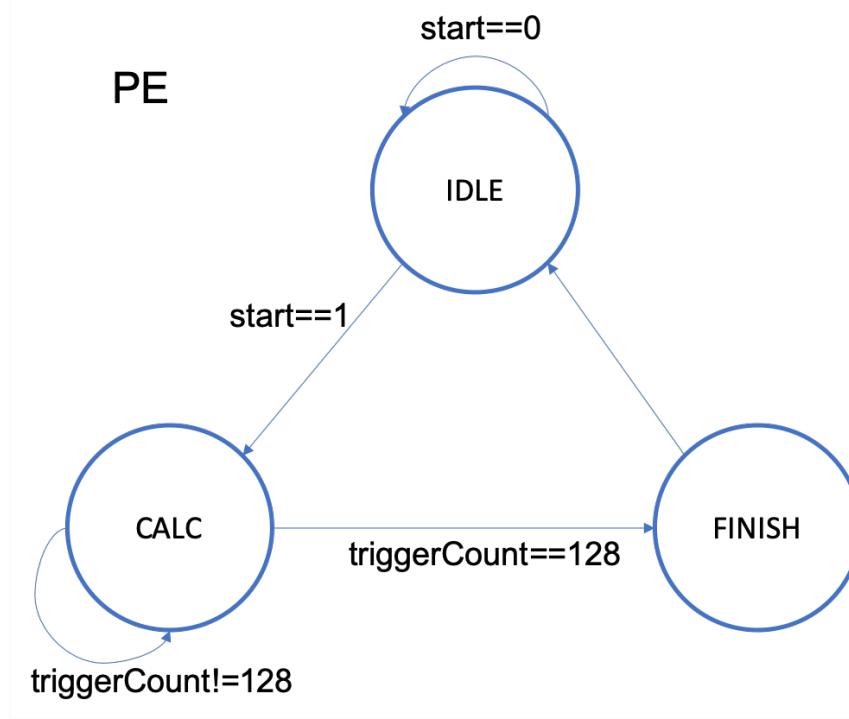
將input A、B分別讀入SRAMA、SRAMB中，再將SRAMA按照順序讀到sramA1, sramA2, sramA3, sramA4中，再將SRAMB按照順序讀到sramB1, sramB2, sramB3, sramB4中。當輸入資料切割完成後，會給TOP_PE一個start訊號，TOP_PE便開始一個個觸發Processing element (PE)，使其開始將資料讀入並進行運算。完成一次運算時，會將答案寫入sramC1, sramC2, sramC3, sramC4，最後再將所有答案與標準答案做比較，若有錯誤之處則透過testbench顯示。

B. Processing Element (PE) FSM (如圖二所示)

當RST_N訊號由1變0時，將所有訊號做初始化，並且進入IDLE狀態。

I. IDLE狀態

- i. start為0：停留在IDLE階段，並將所有訊號設為初始值。
- ii. start為1：讀入input data a, b，並進入CALC狀態。



圖二、PE FSM圖

II. CALC狀態

藉由讀入的資料a, b相乘累加到c。

- i. triggerCount == 128 : 完成所有計算，進入FINISH狀態。
- ii. counter >= 4 : 完成一次計算，將答案Cout設為c，重置counter和c，停留在CALC狀態進行下一次運算。
- iii. 其它：取得資料將a*b加到c，counter加一，並停留在CALC階段繼續計算。

III. FINISH狀態

完成所有運算回到IDLE狀態。

C. TOP_PE FSM (如圖三所示)

當RST_N訊號由1變0時，將所有訊號做初始化，並且進入IDLE狀態。

I. IDLE狀態

- i. start為0：停留在IDLE階段，並將所有訊號設為初始值。
- ii. start為1：讀入input data a, b，並進入CALC狀態。

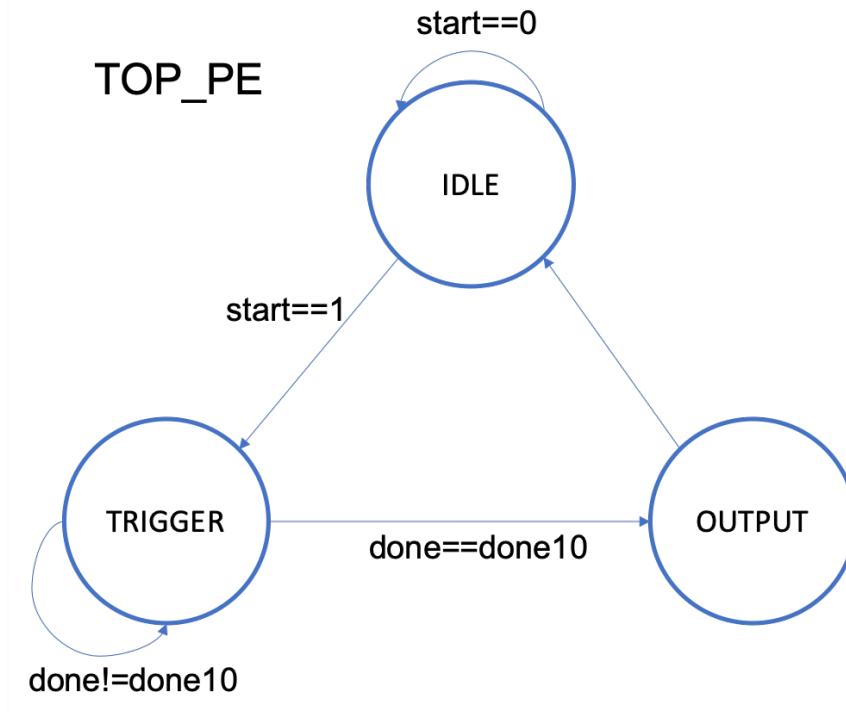
II. TRIGGER狀態

送start訊號及sram中的資料到特定的PE中，使其進行運算。

- i. done == FFFF : 完成所有計算，進入DONE狀態。
- ii. 其它：計算每個sram的位址，並且讀出每個sram的資料，送到相對應的PE中進行運算，同時根據done訊號可以得知哪些PE完成運算，皆由此訊號可以決定要將哪些輸出寫入到哪個sramC。

III. DONE狀態

完成所有運算回到IDLE狀態。



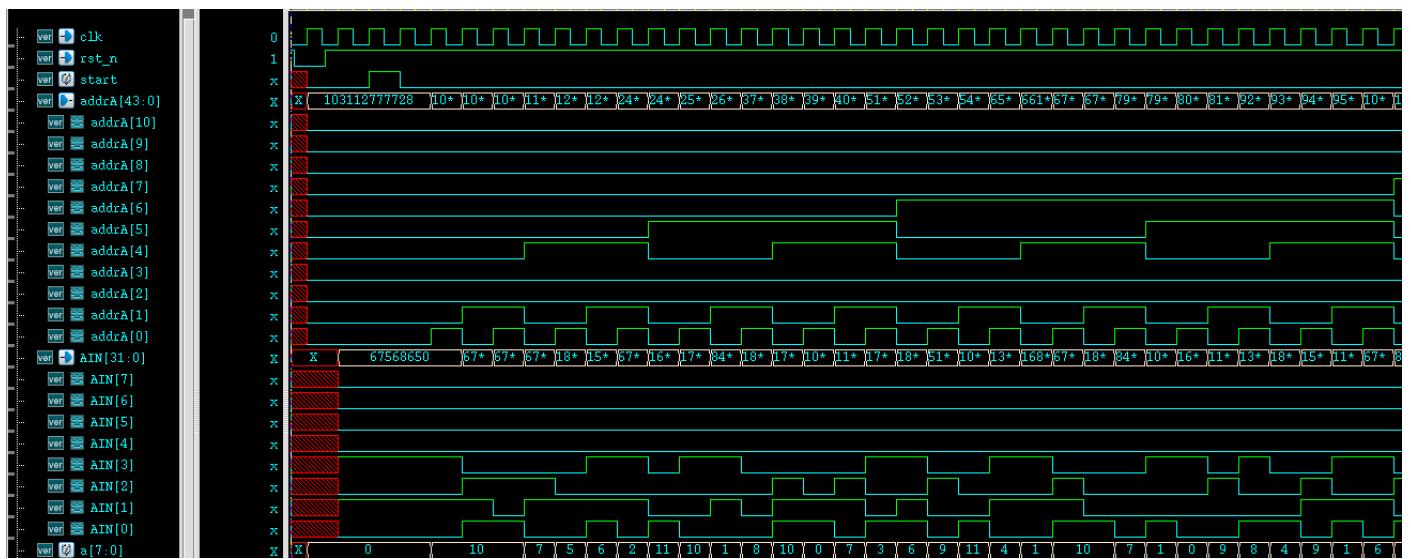
圖三、TOP_PE FSM圖

2. Simulation and Discussion

A. Simulation

I. 從SRAMA讀取data

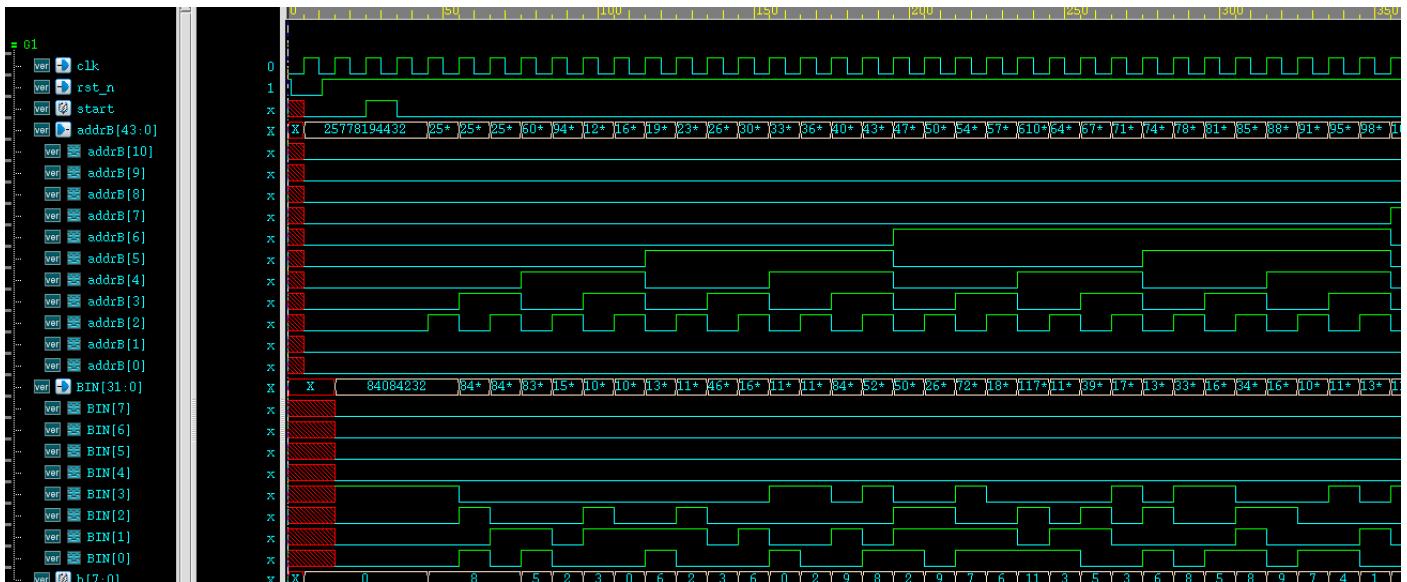
當TOP_PE的start訊號被設為1時，開始讀取SRAMA的資料存入AIN，並將其作為PE的輸入訊號存在PE的暫存器a中，透過波形圖（如圖四所示）與input檔做比較，可以得知訊號無不正常的現象發生，而且sram的位址皆正確。



圖四、讀取SRAMA之波形圖

II. 從SRAMB讀取data

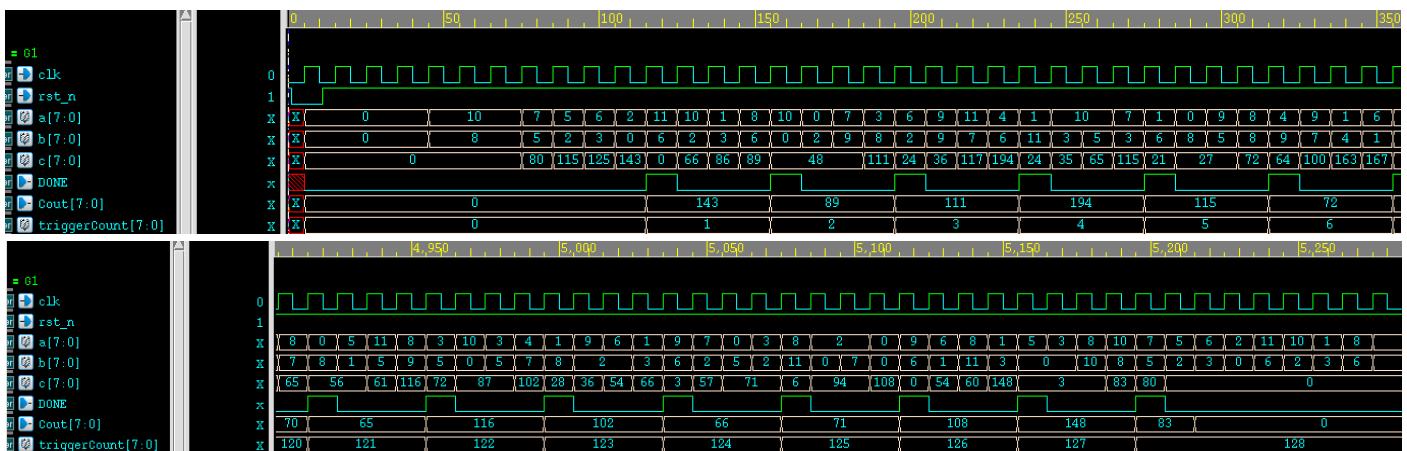
當TOP_PE的start訊號被設為1時，開始讀取SRAMB的資料存入BIN，並將其作為PE的輸入訊號存在PE的暫存器b中，透過波形圖（如圖五所示）與input檔做比較，可以得知訊號無不正常的現象發生，而且sram的位址皆正確。



圖五、讀取SRAMB之波形圖

III. 驗證PE₁₁的運算

在每一個矩陣的計算中，每一次的乘加結果都如預期地呈現，在進入下一個矩陣的運算前，也有正確地將上一個矩陣的值清除，當完成最後一個矩陣運算後，停在IDLE狀態。

圖六、PE₁₁運算之波形圖（上圖為前6個矩陣計算、下圖為最後8個矩陣計算之截圖）

clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
pe11/c_reg[7]/CK (DFFQX1)	0.00	10.00 r
library setup time	-0.26	9.74
data required time	9.74	9.74

data required time	9.74	
data arrival time	-4.27	

slack (MET)	5.48	

圖七、合成之時間分析截圖

B. Timing

如圖七所示，經過合成之後的時間分析結果，可以得知slack為正值，因此不會時間太慢而造成結果有問題。

C. Area

如圖八所示，組合電路所佔的面積為36249.674279，大約是7122個NAND；而非組合電路所佔的面積為37273.207399，大約是1156個DFF。此外，我使用了12個2048x8的single-port SRAM，若依比例得到一個2048x8的single-port SRAM的面積為86800，總共使用的SRAM總面積為1041600。

Number of ports:	2300
Number of nets:	7123
Number of cells:	4647
Number of combinational cells:	3226
Number of sequential cells:	1349
Number of macros/black boxes:	0
Number of buf/inv:	441
Number of references:	61
Combinational area:	36249.674279
Buf/Inv area:	1558.213176
Noncombinational area:	37273.207399
Macro/Black Box area:	0.000000
Net Interconnect area:	undefined (No wire load specified)
Total cell area:	73522.881678
Total area:	undefined

圖八、面積統計截圖

D. Problem

在模擬合成之後的design時，出現了Glitch suppression及Timing violation的警告（如圖九、十所示），但目前仍然不知道為什麼會出現這個問題，不過可以知道的是這個警告不會影響結果。

```
Warning! Glitch suppression
    Scheduled event for delayed signal of net "D" at time 5215825 PS was canceled!
      File: /theda21_2/CBDK_IC_Contest/cur/Verilog/tsmc13.v, line = 19639
      Scope: top.top_PE.\ADDRACount_reg[1][1]
      Time: 5215584 PS
```

圖九、Glitch suppression警告截圖

```
Warning! Timing violation
    $setuphold<setup>(& negedge G && (SandR == 1):5246060 PS, negedge D:5245959 PS, 0.102 : 102 PS,
    -0.083 : -83 PS );
      File: /theda21_2/CBDK_IC_Contest/cur/Verilog/tsmc13.v, line = 26241
      Scope: top.top_PE.\next_addrC_reg[24]
      Time: 5246147 PS
```

圖十、Timing violation警告截圖

3. Summary

這次的作業有點複雜，最需要花時間想的部分是如何與sram溝通，另外，每個PE在實作上並不會很困難，但要把這些PE都接在一起就顯得相當麻煩，必須要非常仔細，若一個不小心接錯一條線的話，就會花很多的時間找問題在哪裡。總而言之，這次的作業並不困難，主要是在考驗耐心及細心程度。